

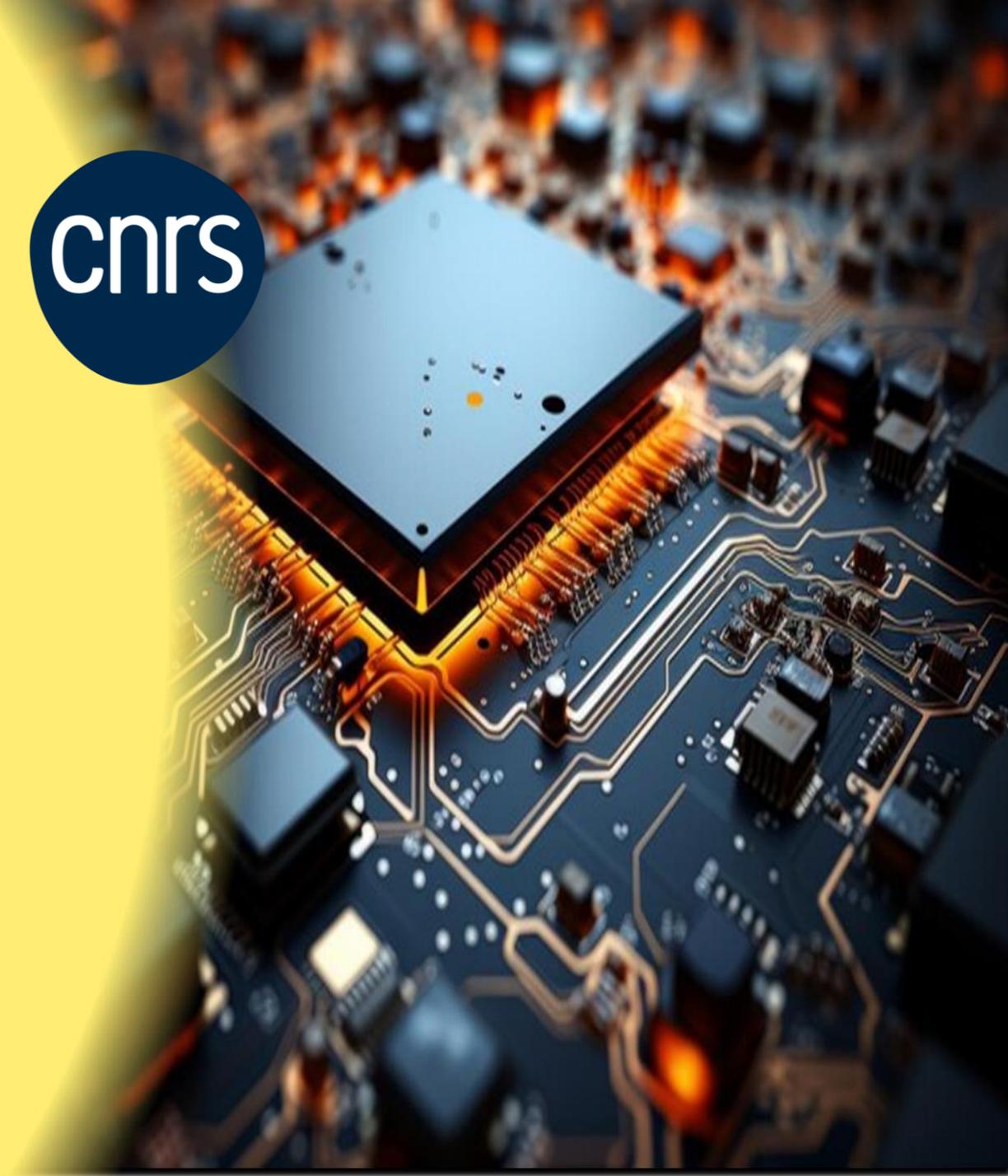


Groupe Electronique & Instrumentation

Tourniquet de la section 01

LLR

Bilan 2019-2024



Sommaire

Organisation du groupe

Compétences

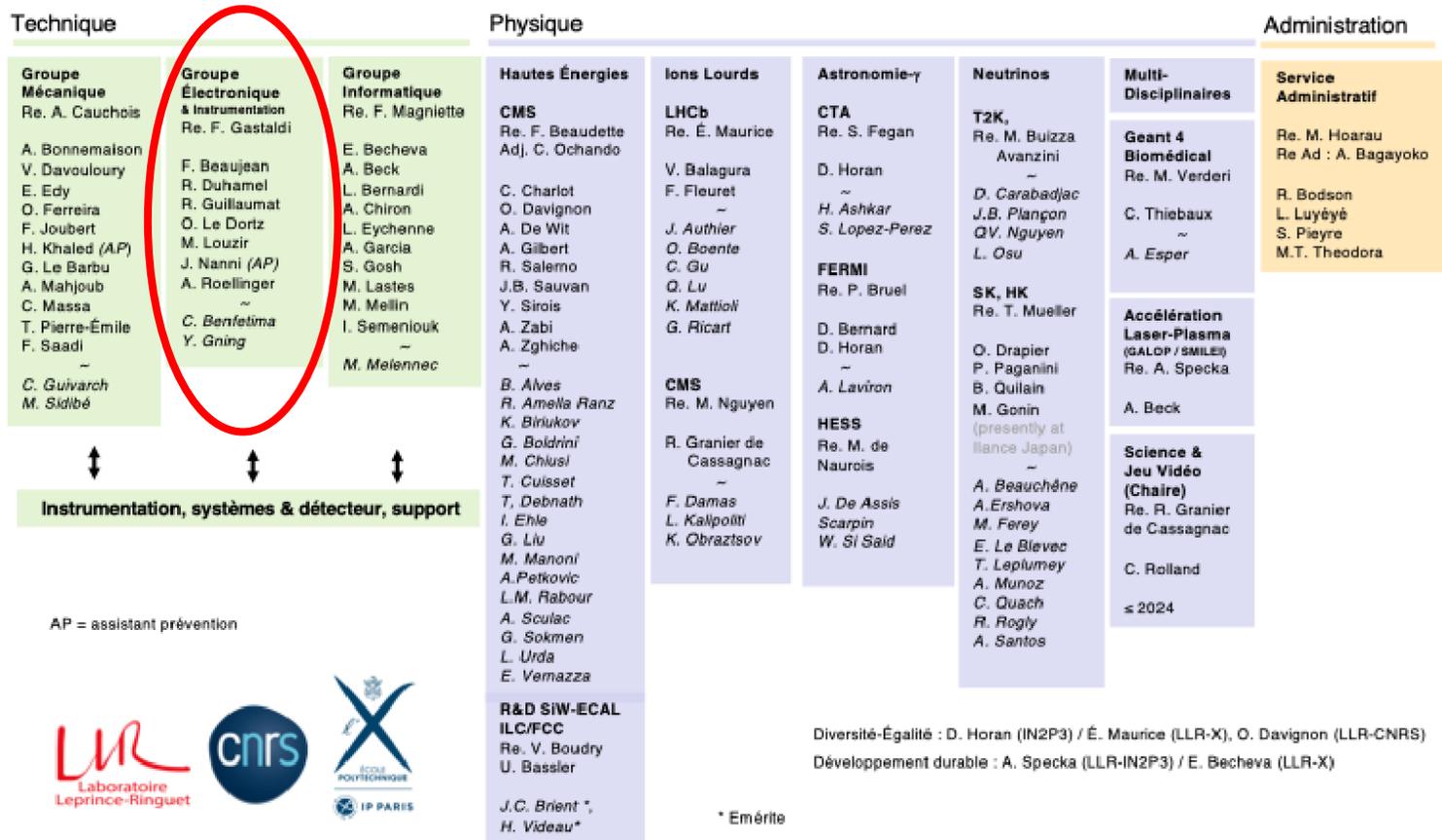
Projets et réalisations

Moyens

Fonctionnement

Evolutions

Organisation du groupe (organigramme laboratoire)



Organisation du groupe

Responsable de groupe: Franck Gastaldi

10 Agents

Etudes et développements des systèmes électroniques

Florence Beaujean-Delaune IRCN
Rémi Duhamel IRCN
Franck Gastaldi IRCN
Olivier Le Dortz IRHC
Jérôme Nanni IRCN
Axel Roellinger CDI_X

CAO de cartes électroniques

Rémi Guillaumat AI
Marc Louzir AI

Gestion inventaires/matériels

Rémi Guillaumat AI

Apprenti-Ingénieur

Cherif Benfetima Yaye Gning

Activités annexes

Assistant prévention

J. Nanni IRCN

Membre conseil d'unité

J. Nanni IRCN

Membre conseil scientifique

F. Beaujean IRCN

Correspondant formation

F. Gastaldi IRCN

Chargé de TP école polytechnique

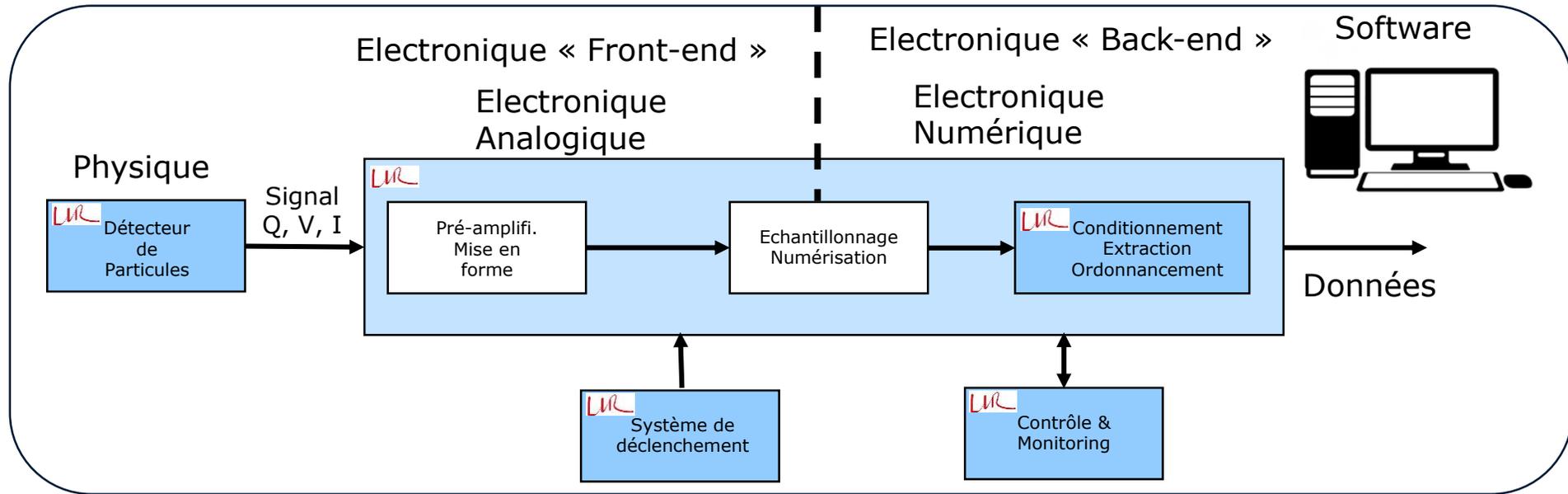
F. Beaujean IRCN

En collaboration avec le On-Line

Etude et développement du contrôle/commande des systèmes électroniques

Lorenzo Bernardi - Leo Eychenne

Compétences



- Electronique Générale
- Métrologie et caractérisation de composants, capteurs silicium
- Conception de cartes électroniques pour systèmes d'acquisition et de déclenchement
 - PCB complexes et de grandes dimensions
- Conception de banc test
- Création de fonctions électroniques en langage VHDL, intégration dans des circuits logiques programmables (FPGA).

- Gestion et coordination de projets

Projets et Responsabilités (1/7)

CALICE (fin 2021)



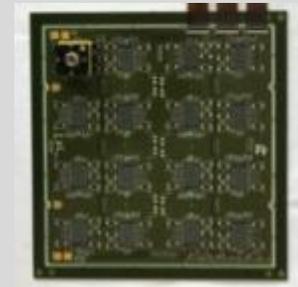
Caractérisation d'une structure de détection à base de diode PIN dans le cadre de la R&D pour les prochaines générations de détecteur auprès d'un futur collisionneur

- Suivi d'évolution des PCB ASU (Active Sensor Unit)
 - Implantation des ASICs, wafer silicium, interconnexion
 - Intégrité du signal
 - Amélioration routage

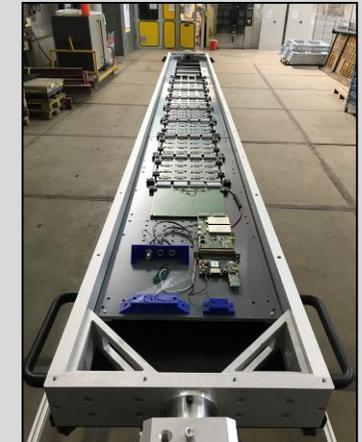
... Et CALICE-DRD6 , FCC (....)



Slab court (~500mm)/ structure mécanique



ASU



Slab Long (~1200mm)



Projets et Responsabilités (2/7)



CMS/HGCAL => (... 2027....)

- Trigger
Mise œuvre des tests sur plateforme hardware, du bloc algorithmique "TriggerCell Processor " développés au LLR.
Correspond à l'étage 1 du système de déclenchement de HGCAL. Cet algorithme sera évalué sur la carte « SERENITY» réalisée par la collaboration CMS
- Caractérisations/performances ASIC HGCROC
Support technique pour le développement de la plateforme robotisée pour valider la production des 120000 ASIC
- Conception et suivi routage cartes Wagon
3 variétés de carte Wagon (version HD)
Routage LPCA Clermont-Ferrand



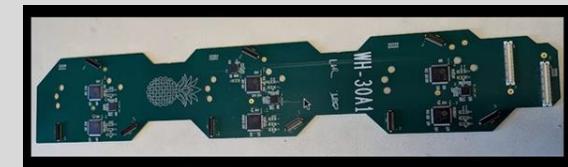
Carte Serenity



HGCROC : Chaîne unitaire de caractérisation



HGCROC : Plateforme de tests robotisée



Carte WAGON-HD Version Ananas

Projets et Responsabilités (3/7)

sFGD (2019 - 2024, ...)

Objectif: étude et développement d'une carte électronique 256 voies de lecture (MPPC)

Cette carte est réalisée dans le cadre de l'upgrade T2K auprès du détecteur sFGD super fine grain detector.

211 cartes équipent le détecteur (240 produites)

Le LLR a réalisé l'étude du PCB (14 couches) et a contribué à l'ensemble des tests de production puis installation sur site.



Carte FEB (Front-End-Board)



Carte FEB : partie analogique – Asics CITIROC



Carte FEB : partie power & numérique (ARRIA 10)



Projets et Responsabilités (4/7)



HK (2021-2023)

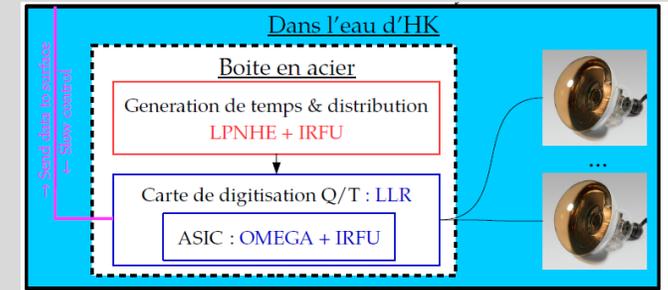
Objectif : Réaliser un système de lecture jusqu'à 40000 PMT

- Etude des caractéristiques et performances de l'ASIC HKRoc .
- Mise en œuvre du banc de tests de l'ASIC.
- Etude du contenu d'un FPGA Xilinx permettant le contrôle de l'ASIC
- Etude l'architecture de la carte accueillant l'Asic et le FPGA.

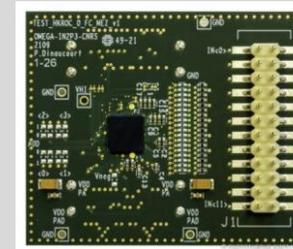
Et HK banc de tests (2024....)



PMTs HK



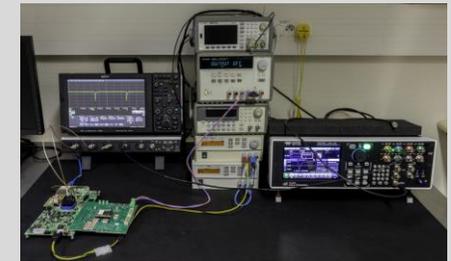
Topologie simplifiée du front-end



Mezzanine Asic HKRoc



Banc de tests Asic



Projets et Responsabilités (5/7)



PEPITES (2017)

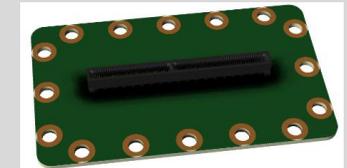
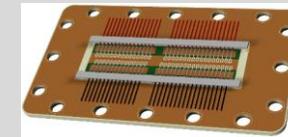
Objectif: Conception d'une chaine de lecture bas bruit (mesurer des courants de qqs fA à 10 nA)

- Participation au développement (firmware) de la chaine de détection
- Etude des interconnexions détecteur/carte ASIC avec la DAQ
- Instrumentation de la chaine d'acquisition

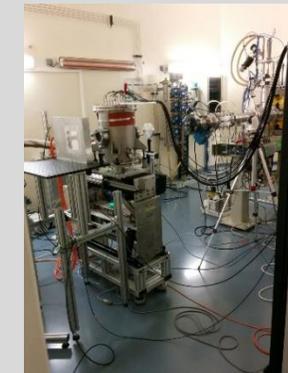
....et PUF, SPLASH (2023 ...)



Chaîne d'acquisition
Zedboard+Matisse+Pepitas (2 Asic Pepites)



PCB Bride



Instrumentation profileur faisceau
PEPITES



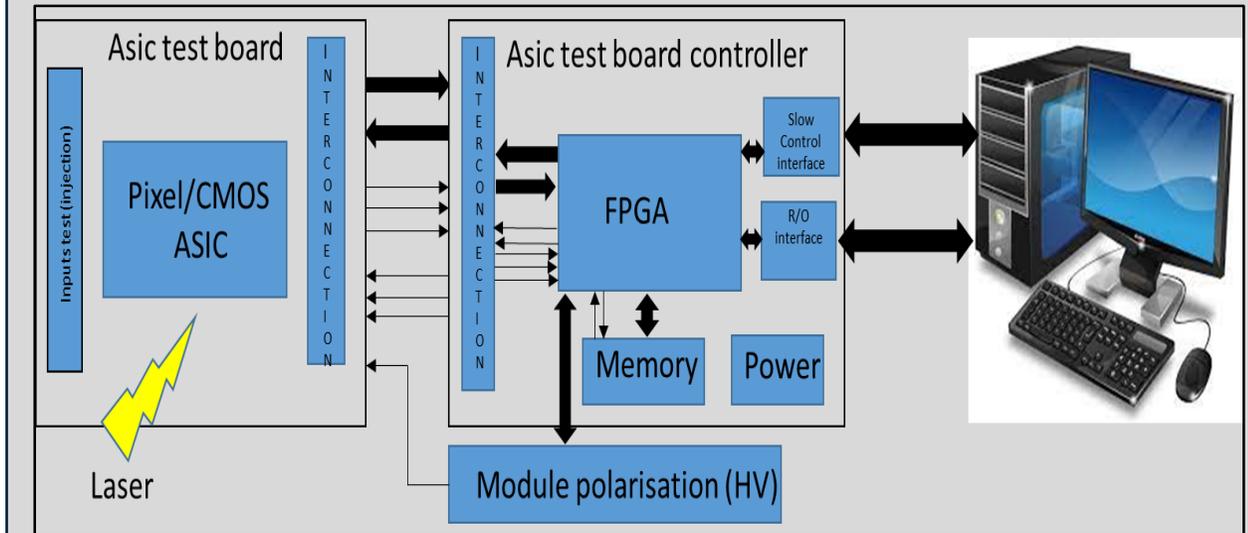
Projets et Responsabilités (6/7)



LHCb (2023, ... 2032)

Objectif : Réaliser un système de caractérisation du futur ASIC de front-end de l'Upper Tracker dans le cadre de l'upgrade de LHCb

- Mise en œuvre d'un banc de tests pour ASICs



Overview test bench



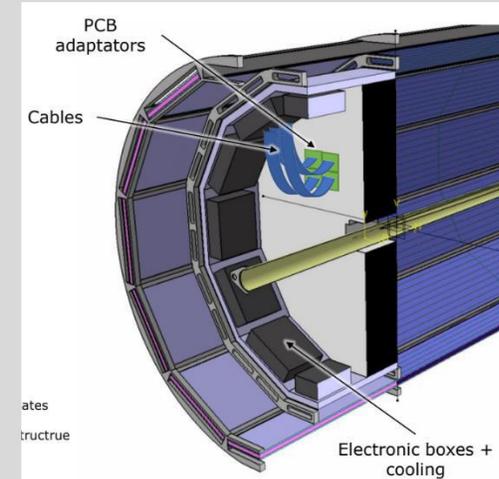
Projets et Responsabilités (7/7)



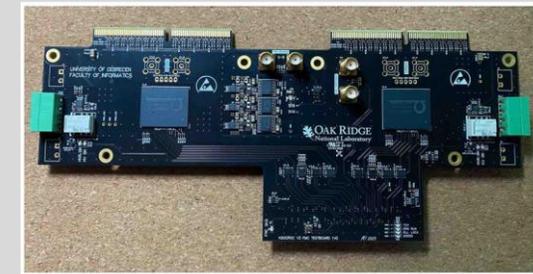
EIC (2024 ... 2030)

Contribution à l'électronique front-end du Backward ECAL de l'expérience EIC

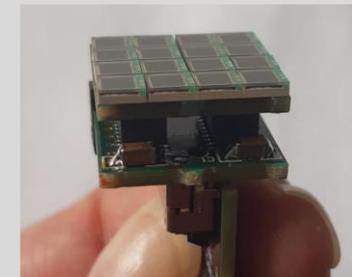
- Participation à l'évaluation de l'ASIC HGCROC pour EIC
En prévision d'un ASIC dédié CALOROC
- Contribution à la réalisation de carte interface pour test SiPM
- Réflexion en cours sur le niveau d'engagement
Carte Front-end pour ASIC
Contribution au firmware DAQ de control/readout ASIC
Tests de la production ASIC si solution ASIC retenue



Aperçu du Backward ECAL



Carte prototype : tests/performance HGCROC



Carte d'accueil SiPM & carte interface vers carte prototype



Projets transverses

ANR

Des membres de l'équipe s'investissent pour participer/contribuer de façon transverse sur des projets ANR

ANR OGECID : porteur LLR

Objectif : Optimisation par convolution graphique pour identification de particules

Développer et mettre en œuvre un algorithme de sélection efficace pour les environnements informatiques contraints

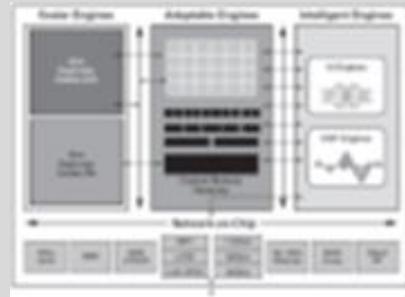
Permettre la distribution de la convolution de graphe sur plusieurs unités de calcul (CPU, GPU, FPGA...)

ANR OSCARI : (porteur : LP2IB) En phase de sélection

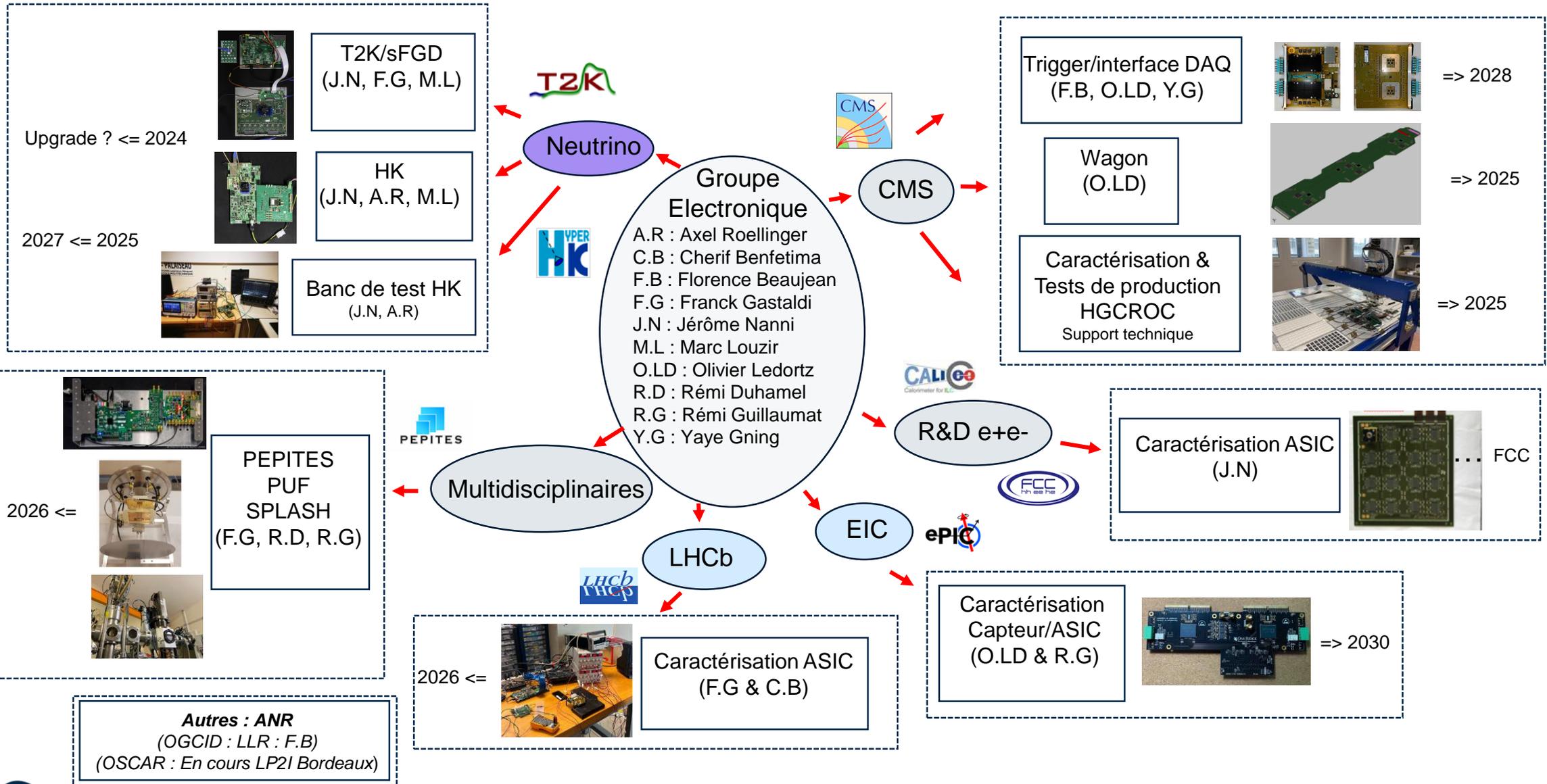
Objectif : Réaliser un system on chip pour lecture de détecteur

Traiter le signal par réseaux de neurones à travers un processeur

Etude d'un démonstrateur sur plateforme FPGA avant de cibler sur de l'ASIC

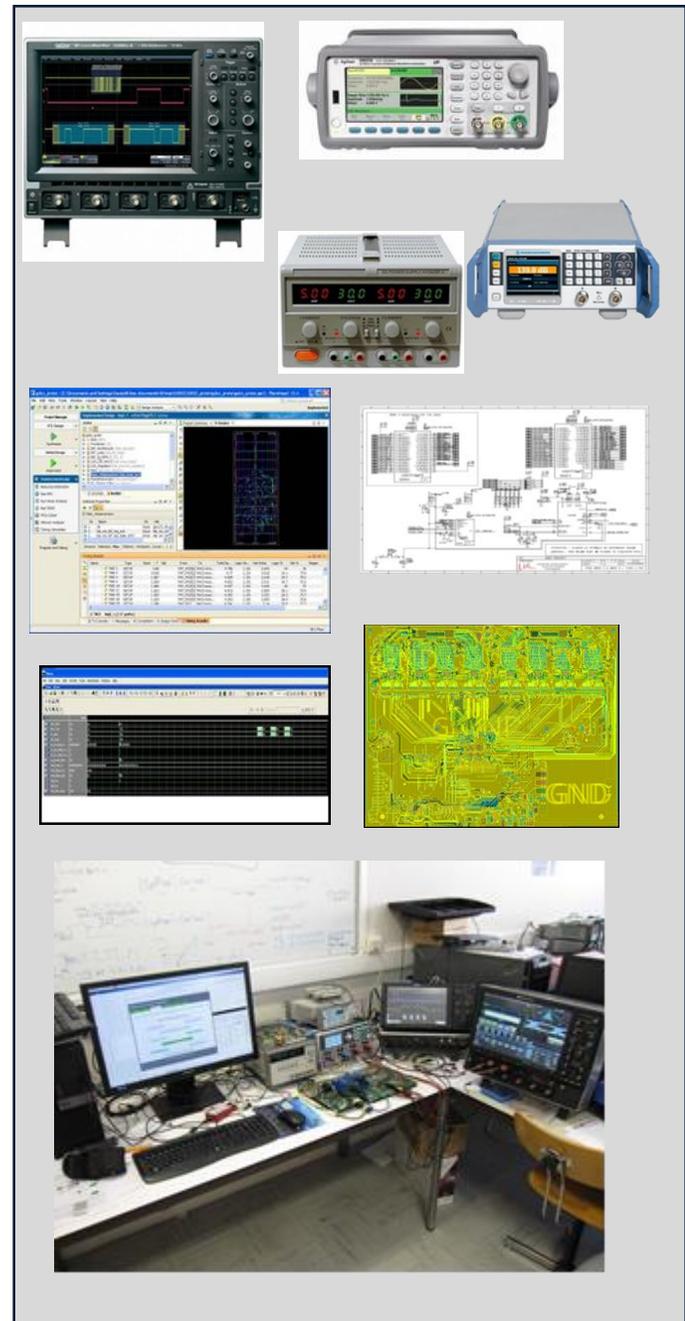


Pour résumer



Moyens

- **Moyens Financiers:**
 - 8000€ de fonctionnement
 - Charges récurrentes annuelle (licences ~1800€)
 - Synthétiseur/Simulateur & bloc IP
 - **Licences CAO/IAO annuelle: ~5600€**
 - Cadence/Xilinx/Altera
- **Moyens matériels:**
 - Chaîne logicielle CAO PCB Cadence
 - Chaîne logicielle IAO Xilinx (et Altera)
 - Matériel de mesures et tests (oscilloscope, SDA 16GHz, générateur de fonction, sources de tension,....)
 - Nécessaire de câblage et perçage
 - Enceinte Climatique (température, hygrométrie)
 - Banc laser (1055 nm)
 - Salle blanche ISO 7



Fonctionnement

- **Réunions du groupe**
 - « Statut» Projets
 - Partage informations (top/down)
- **Réunions de groupe projet**
 - Physiciens/IT
- **Réunion régulière responsables de groupe avec la direction**
 - Assemblée de direction / Bureau de direction
- **Comité de suivi de projet**
 - Responsable de service / agent(s) concernés par le projet
- **Interaction forte entre groupes techniques**
- **Formation**
 - Cadence pour la CAO
 - IN2P3 : Ecole (détecteur, DAQ, projet, électronique)
 - CNRS
 - Individuelle : technique spécifique (FPGA)
 - Collective : Technique spécifique/efficacité personnelle/management



Aujourd'hui et demain ...

- Rester flexible
- S'adapter aux nouvelles méthodologies de travail
- Rester attentif aux tendances émergentes
- Contribuer/participer au réseaux professionnels
- Se former et s'adapter aux évolutions technologiques

Point de vue RH

- **Un CDD en cours de recrutement**
- **Une NOEMI hiver 2024-2025**

PCB : Monde en mutation

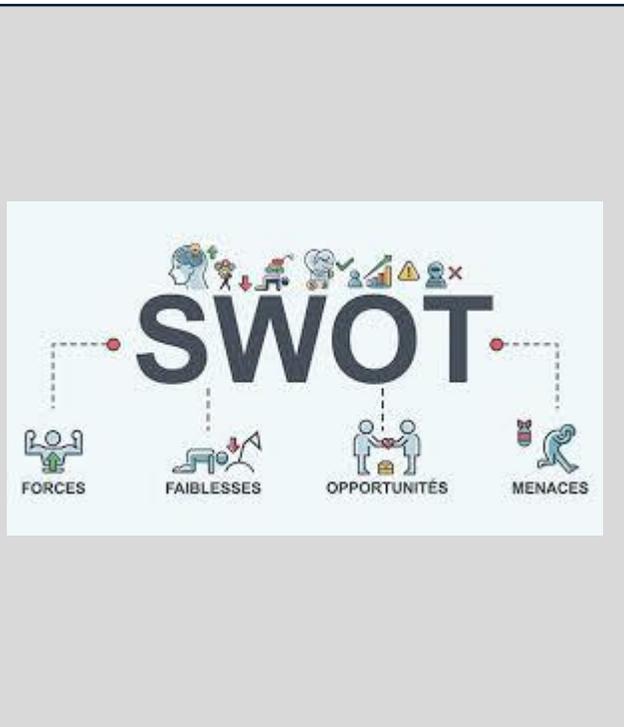
- PCB avec grand nombre de couches
- Pistes et isolements plus petits
- Précaution sur l'intégrité du signal
- **Une solution : La simulation**
 - Pour évaluer et optimiser le comportement des signaux inter-composant
 - Pour détecter et résoudre les problèmes en amont du cycle de conception

FPGA : Evolution de l'activité

Nos expériences: grandes quantité de données à des taux élevés

- Nécessite un traitement au plus proche du détecteur
- **Intégrer/utiliser un processeur** pour la flexibilité du traitement de données
 - RISC V pourrait offrir une architecture ouverte et modulaire
- **Utilisation de l'UVVM** (Universal VHDL Verification Methodology)
 - Vérification des algorithmes
- **Utiliser des langages de haut niveau (HLS)**
 - Réduction du temps de conception, portabilité du code, optimisation des performances

Auto-Analyse du groupe



Points forts

Diversité des compétences

- Maîtrise d'une chaîne d'acquisition de lecture de détecteur
- Compétence reconnues au niveau national et international
- Codage sur FPGA
- Intégration ASICs OMEGA/IRFU
- Contexte formateur pour de nouvelles recrues
- Suivie de formation pour s'adapter à l'évolution des métiers en électronique numérique (FPGA) et en conception de cartes (intégrité du signal)

Points faibles

Peu de temps pour la veille technologique

- Application des nouvelles méthodologies de design FPGA
- Suivi des évolutions technologiques

Déséquilibre moyens RH / demande projets

Fractionnement des équipes nombre de projets

Opportunités

Réutilisation du savoir-faire acquis pour de nouveaux projets

Approfondir nos savoir-faire et conception FPGA et simulation de cartes électronique

Valoriser nos savoir-faire auprès de nos partenaires (projets, institut, réseaux)

Gagner en visibilité de l'équipe pour ses compétences

Risques

Difficulté à recruter un électronicien ces dernières années

Difficulté à pérenniser les CDD

Salaires peu attractif pour l'IDF et situation géographique

Perte de motivation/ambition