

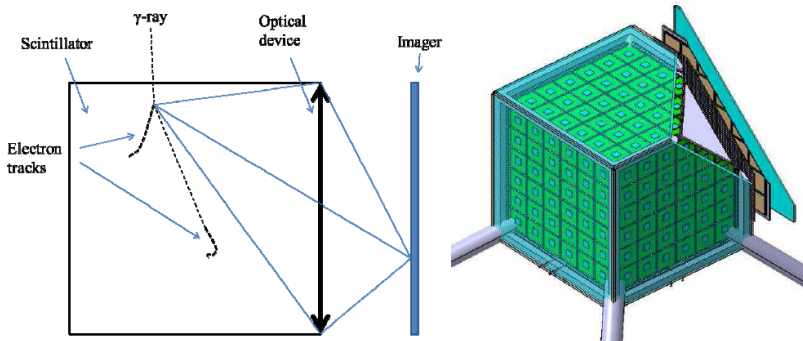
Imageur à SPAD

Le silicium pour la detection ET la lecture

SiPM/PMT
LPNHE 10 Nov. 2015

Gamma cube

There is a large gap (5-100 MeV) in between the Integral and Fermi spectral domains that is unobserved since the end of the CGRO mission and its Comptel experiment



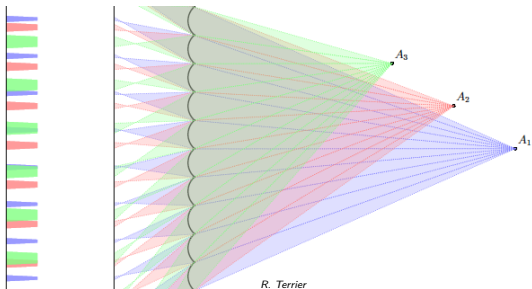
F. Lebrun, R. Terrier, D. Prêle, D. Pellion, D. Ginhac, R. Chipaux, E. Bréelle, P. Laurent, J.-P. Baronick, A. Noury, C. Buy, C. Olivetto, The Gamma Cube : a new way to explore the gamma-ray sky, PoS, 2015

F. Lebrun, R. Terrier, P. Laurent, D. Prêle, E. Bréelle, J.-P. Baronick, C. Buy, A. Noury, C. Olivetto, R. Chipaux, The Gamma Cube : a novel concept of gamma-ray telescope, Space Telescopes and Instrumentation : UV to Gamma Ray, SPIE Vol. 9144, 2014

Imagerie plénoptique

*Faible émission de lumière e.g. 10^4 photons @ 1MeV dans un plastique ;
Mesure du photoélectron individuel ; Interactions situées à différentes
distances dans le volume : grande profondeur de champ*

- ▶ *Difficulté : concilier faible luminosité et profondeur de champ*
- ▶ *Solution : l'imagerie plénoptique !*



Imageur pour gamma camera

- ▶ Sensibilité au photon unique
- ▶ Haute résolution ($100\mu m$)
- ▶ Haute efficacité de detection ($> 50\%$)
- ▶ Timing ($\approx \mu s$)
- ▶ Grande surface ($> 10cm$)

Coût modéré → techno. CMOS standard (proto. AMS .35 → $2.6k\text{€}/\text{cm}^2$)

D. Pellion, K. Jradi, N. Brochard, D. Prêle, D. Ginjac, Single-Photon Avalanche Diodes (SPAD) in CMOS 0.35 μm technology, NIMA, 2015

Technologie CMOS ⇒ Detecteur + **Lecture**

Imageur à SPAD

► Single-Photon Avalanche Diode (SPAD)

⇒ détecteur compatible CMOS, sensible au photon unique
 ≡ PhotoDiodes à Avalanche (APD) en mode Geiger.

Gain e-/photon $> 10^4$.

Détecteur "tout ou rien" quasi **binaire** (1 photon à la fois)

► Développement actuels de matrices monolithiques à SPAD :

SiPM, DigitalSiPM ... ⇒ **"spectrométrie"** (pas

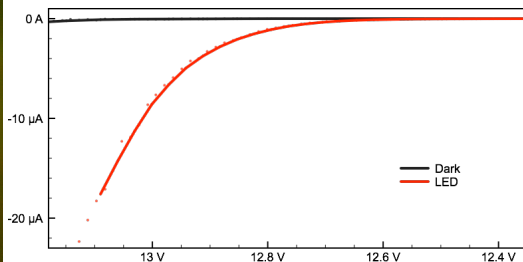
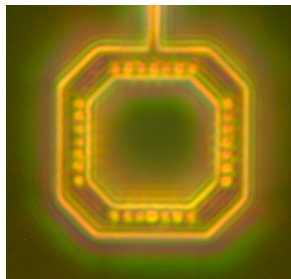
d'imagerie).

SPADNET ⇒ **"TOF"** (facteur de remplissage $\ll 50\%$).

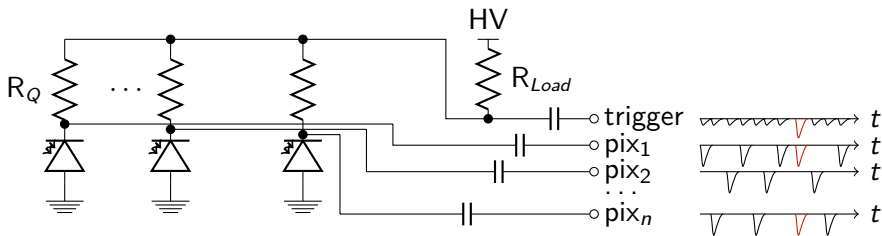
SPAD CMOS

SPAD de $10\mu\text{m}$ en technologie CMOS 350 nm AMS.

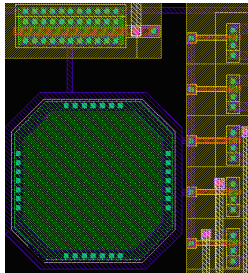
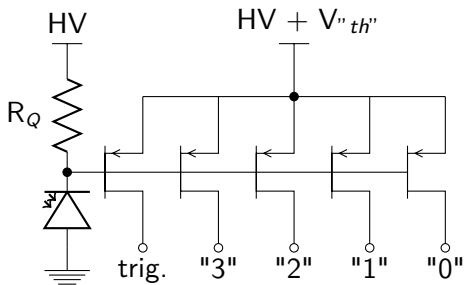
$V_{BR} \approx 12\text{V} \rightarrow$ pas de haute tension



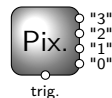
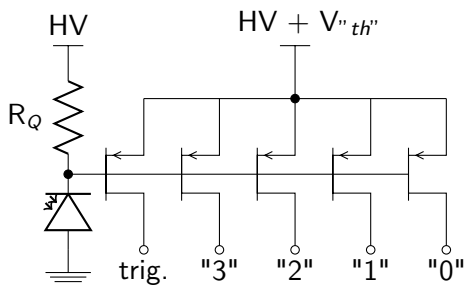
Imagerie à SPAD = Lecture de chaque pixel



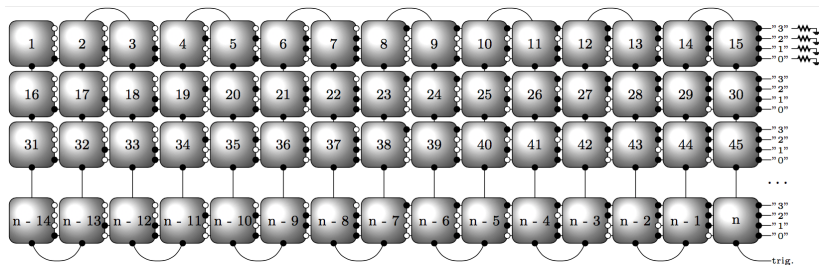
Multiplexage / codage



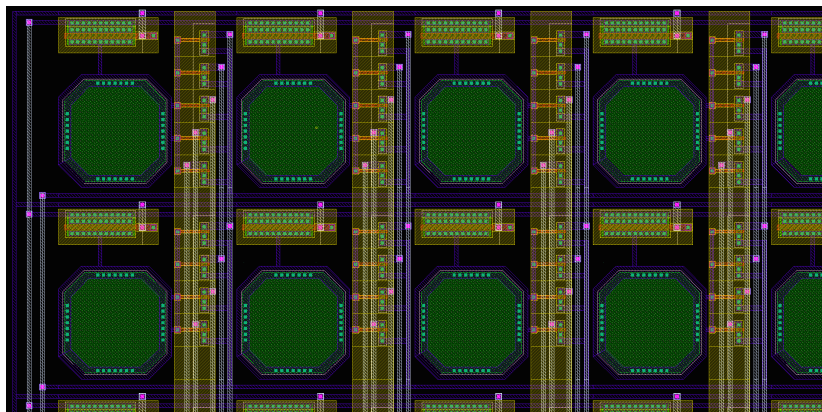
Multiplexage / codage



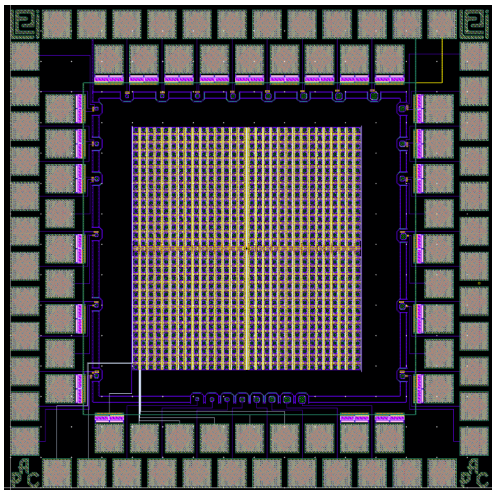
Imageur à SPAD codés



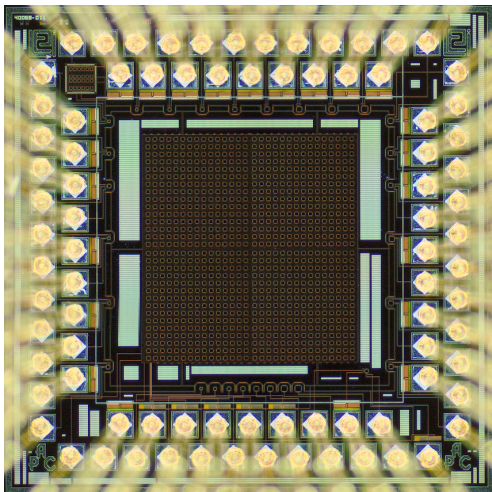
Layout du prototype de codeur de SPAD



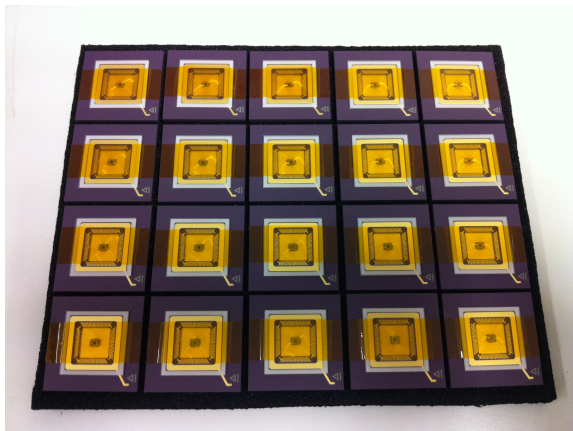
Imageur à SPAD codés - 900 pixels (1mm²)



Microphotographie du prototype de codeur de SPAD



IMACUP1 - Chips



Pixel, ADC et multiplexer **intégrés** - Tech. CMOS

Les trois briques de base réalisées en technologie standard CMOS 350 nm AMS :

1. **Pixel** : APD et transistor de "quenching" (10 à 24 μm)
2. **ADC** : Comparateur/buffer
3. **Multilexage** : Codage binaire ($2^n - 1$ bits).

⇒ **Originalité du développement** : Intégrer à une matrice de SPAD une électronique de numérisation de multiplexage permettant d'imager les événements détectés.