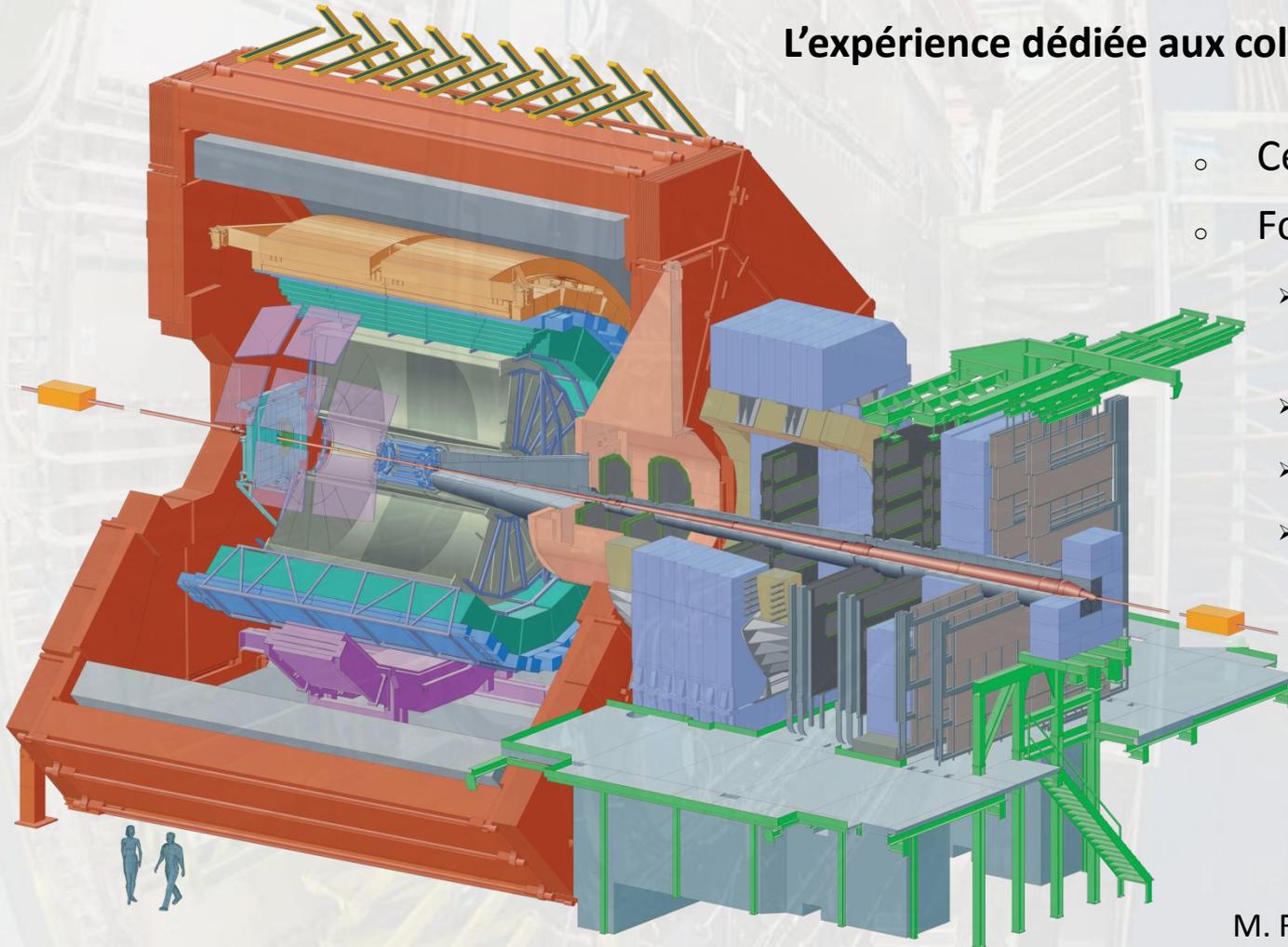


ASIC FEERIC et cartes d'électronique front-end pour l'identificateur muon d'ALICE au LHC

Jonathan Elias, Baptiste Joly, Samuel Manen,
Marie-Lise Mercier, Richard Vandaële
Université Blaise Pascal, CNRS/IN2P3,
Laboratoire de Physique Corpusculaire (LPC) de Clermont-Ferrand, France



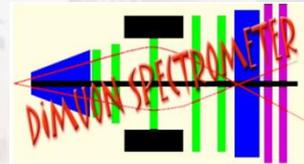
L'expérience dédiée aux collisions d'ions lourds au LHC



- Central Barrel
- Forward muon spectrometer
 - Muon Tracking : 5 stations de Cathode Pad Chambers
 - Aimant dipolaire
 - Absorbeurs
 - **Muon Trigger à base de RPC**
 - Muon haut p_T issus de désintégrations de saveurs lourdes et quarkonia
 - 2 stations de 2 plans chacune, 6x6 m²
 - Total: 72 RPC

M. Fontana, *Performance of the ALICE muon trigger RPCs during LHC Run I*, Proceedings of RPC 2014 Conference, submitted to JINST

Upgrade de l'électronique du trigger muons



- Buts

- Supporter l'**accroissement de luminosité** du LHC après 2019
- Nouvelle stratégie de lecture
 - Lecture de toutes les collisions Minimum Bias (MB) à taux élevé sans temps mort
 - Plus de coupure p_T hardware: Trigger Muon => Identificateur
 - Mais le détecteur garde un rôle crucial de sélection des traces

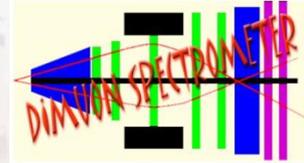
- Implications

- Détecteur RPC
 - Charge intégrée jusqu'à 100 mC/cm² attendue si les conditions de fonctionnement des RPC sont maintenues (RPC le + irradié)
 - Taux de comptage jusqu'à 100 Hz/cm² (RPC le + irradié)
 - => A la limite des capacités du détecteur
 - **Le détecteur doit fonctionner à plus faible gain**
- Electronique Frontale : l'**amplification du signal** est requise au niveau électronique pour réduire le gain du détecteur
- Electronique de Readout : **taux d'événements accru** (jusqu'à 100 kHz en collisions Pb-Pb, x100 au-dessus du design actuel)

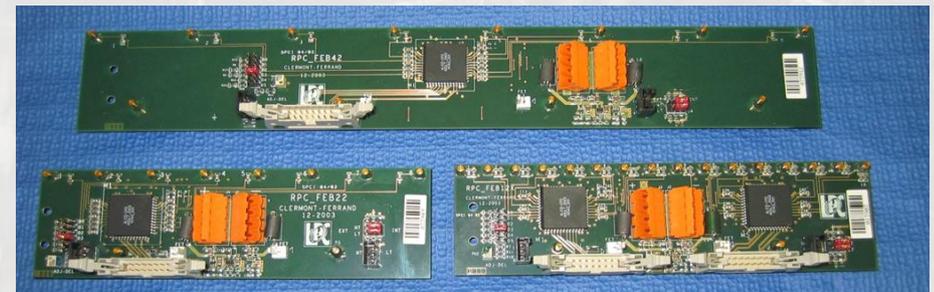
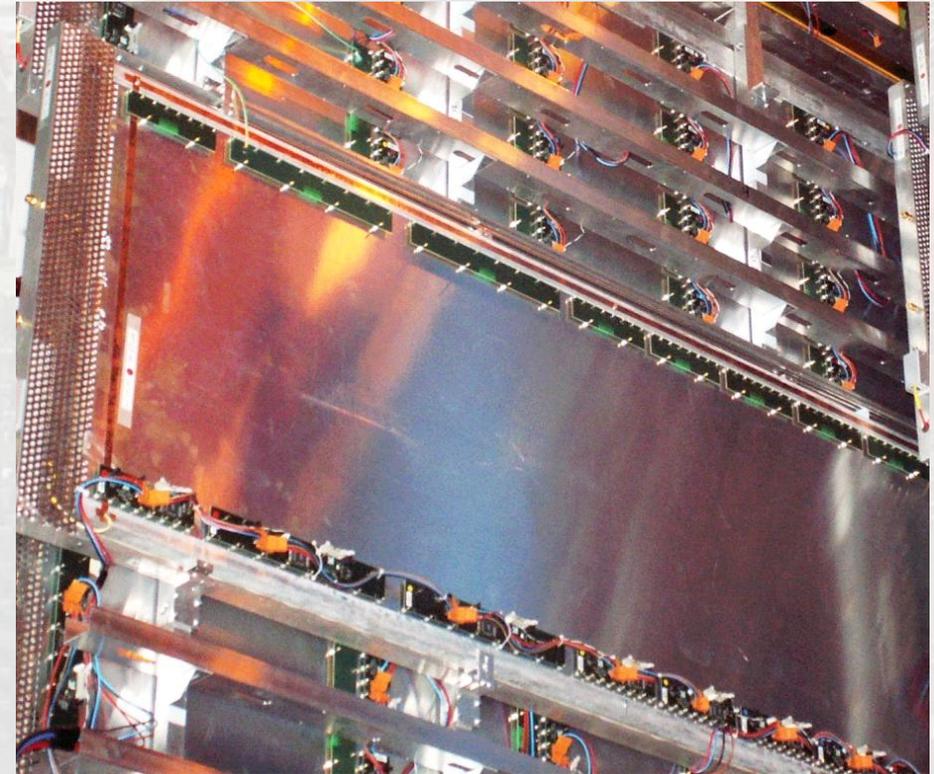


ALICE

Upgrade de l'Électronique Frontale (EF)

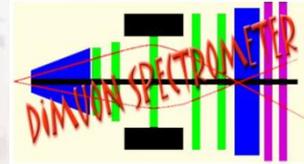


- 20992 strips, 2384 FE cartes (+rechange)
- EF actuelle : ASIC "ADULT"
 - Conçu pour le mode **streamer**
 - 2 seuils discrimination
 - **Pas d'amplification**
- EF future : **ASIC "FEERIC"**
 - *"Front End Electronics Rapid Integrated Circuit"*
 - **Avec amplification**, pour le mode **avalanche**
 - Charge tot / pulse $Q \sim 10-30$ pC (vs. $Q \sim 100$ pC actuellement)
 - Limite le vieillissement des RPC (x3-5)
 - Augmente le taux de comptage max. de 50-100 Hz/cm² à 200 Hz/cm²
 - Seuil pour charge rapide $q \sim 100$ fC
 - Programme R&D démarré en 2012





Aperçu de l'ASIC FEERIC

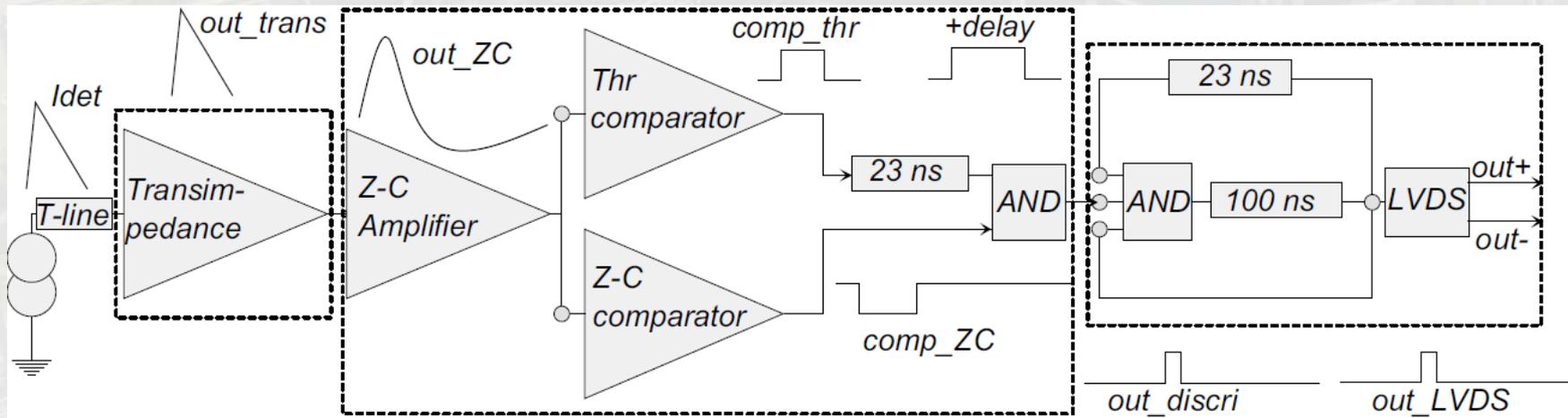


ALICE

FEERIC main specifications	
ASIC technology	0.35 μm CMOS
nb of channels	8
input polarity	+ / -
power supply	3 V
power cons.	< 100 mW/ch
input impedance	< 50 Ω
dynamic range	20 fC < q ¹ < 3 pC
one shot	100 ns
discriminator	zero-crossing
output format	LVDS, 23 \pm 2 ns
jitter rms for q>100 fC	< 1 ns
time walk for 100fC<q<3pC	< 2 ns

1. « Fast » charge

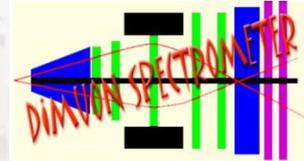
- Amplificateur transimpédance
- Discrimination dans les 2 polarités, zero-crossing (pour réduire le *time walk*)
- One-shot : pas de double déclenchement à moins de 100ns
- Sortie LVDS





ALICE

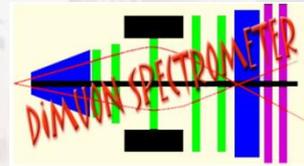
Carte FEERIC v1



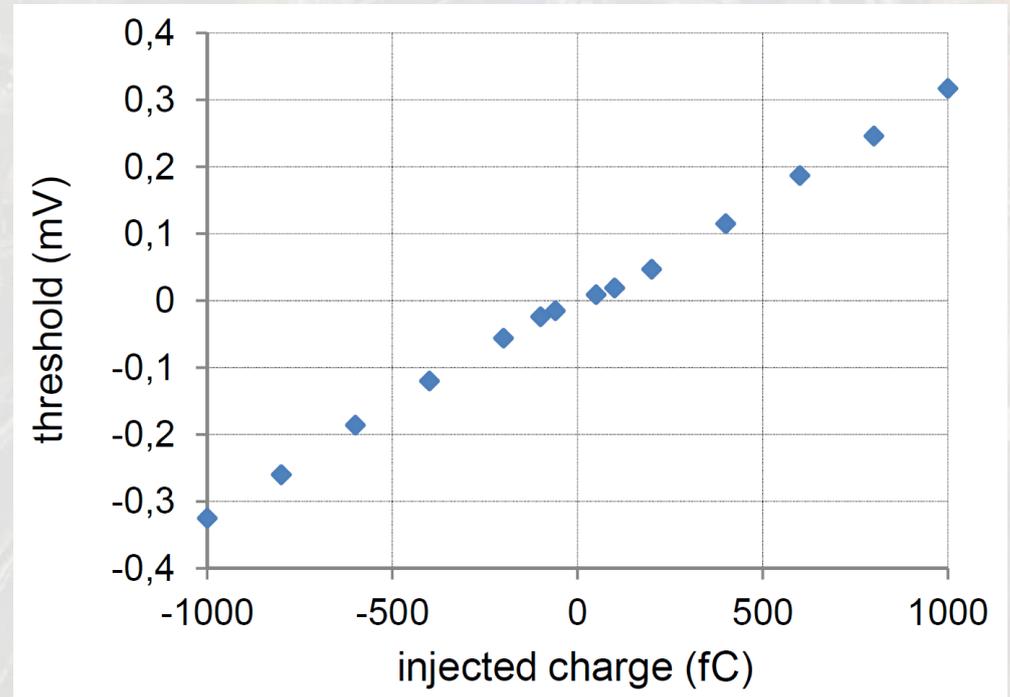
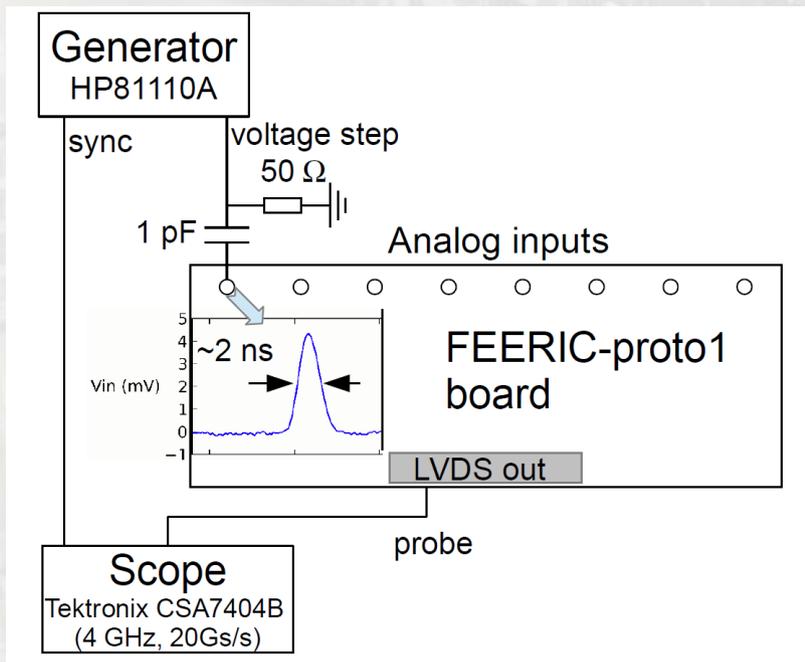
- Nbx points de tests intermédiaires (sortie ampli)
- Voir d'injection
- Seuil réglé manuellement ou piloté par bus I²C



Tests fonctionnels FEERIC v1 : seuil vs. charge

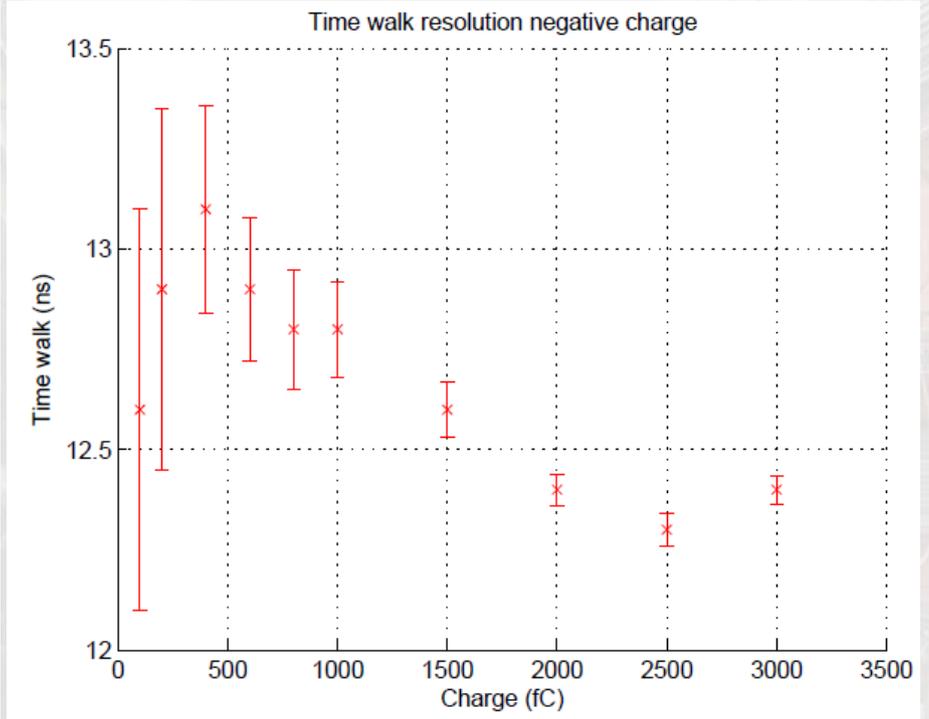
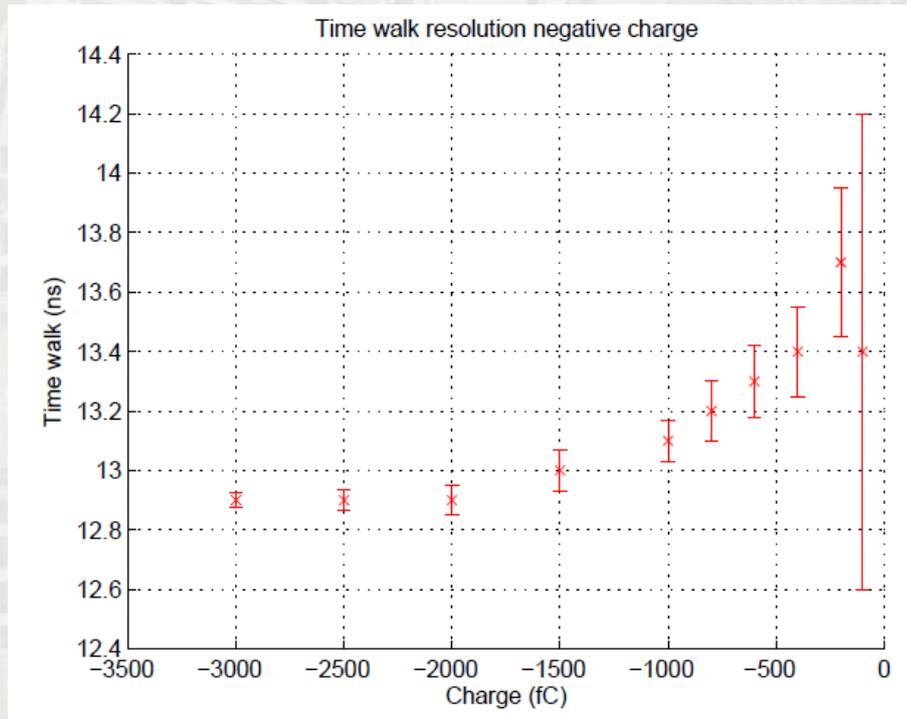
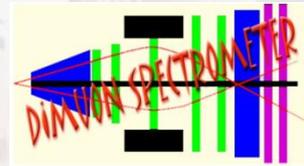


- Injection d'impulsion de charge connue (générateur créneau V \rightarrow C=1 pF)
- Seuil limite varie linéairement avec la charge, 0.33 mV / fC
- Seuil de bruit : 8 mV (24 fC)



Seuil limite de déclenchement
vs. charge injectée (dans les 2 polarités)

Tests fonctionnels FEERIC v1 : time walk et jitter



Temps de réponse moyen et dispersion vs. charge injectée
En polarité négative (gauche) et positive (droite). Seuil = 20 mV (~60 fC)

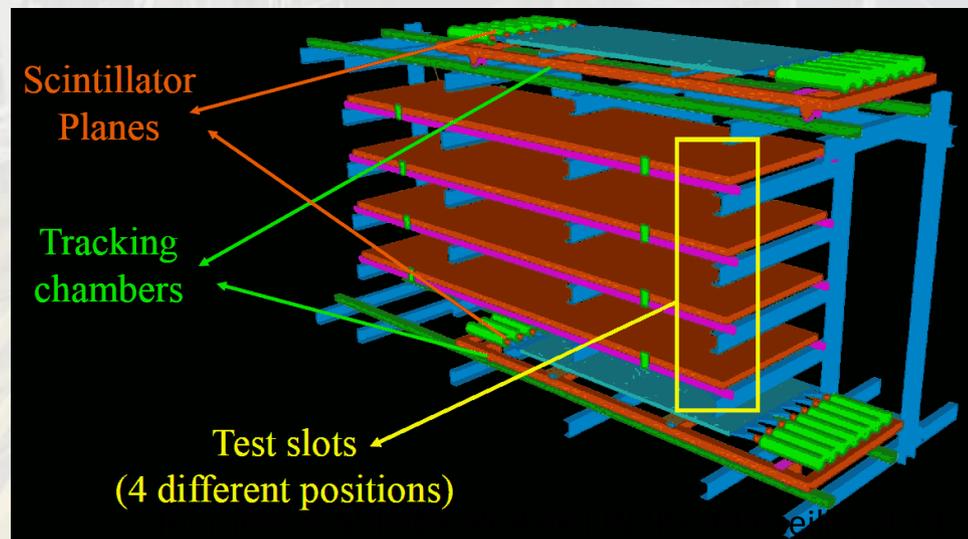
Mesure du temps entre l'impulsion en entrée et la sortie LVDS

- *Jitter* (dispersion aléatoire) < 500 ps (rms) ($q > 100$ fC)
- *Walk* (variation avec la charge) < 1.8 ns (200 fC < $q < 3000$ fC)
- Dispersion entre voies < 1.1 ns

Tests en cosmiques FEERIC v1 (préliminaire)



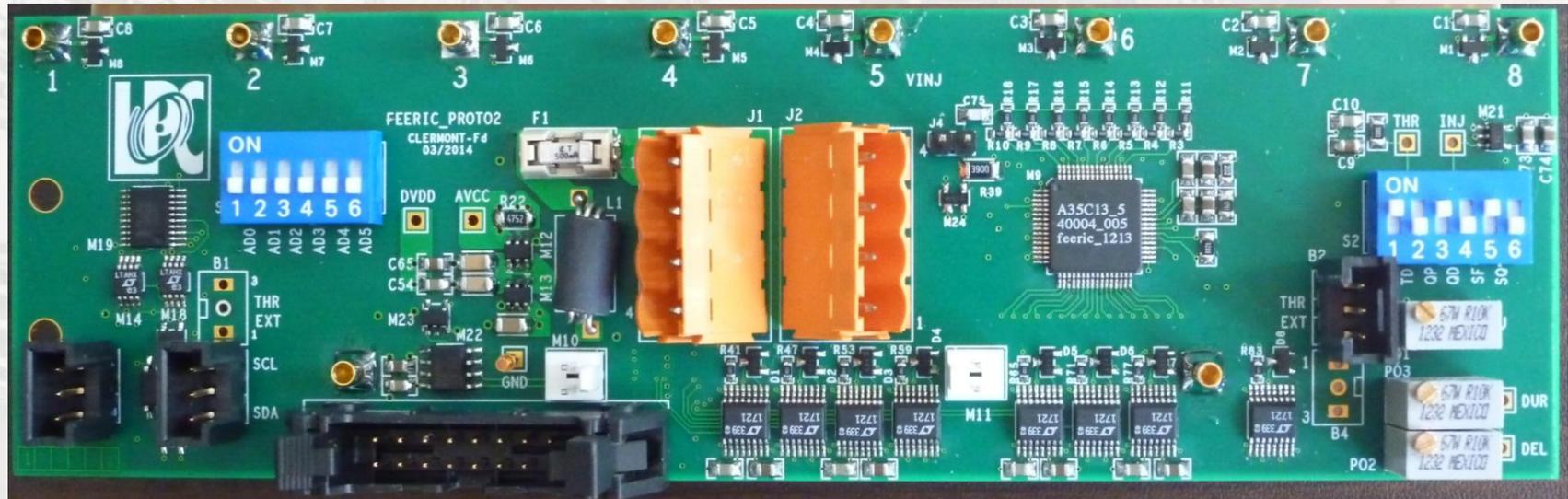
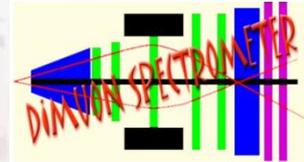
- Banc de test en cosmiques (INFN Turin)
 - RPC à tester entre des plans de trigger (scintillateur + tracker)
 - Mesure d'efficacité vs HT et seuil, « cluster size » (# de strips contigus touchés)...
- Seuil limite au-dessus du bruit : 40 (70) fC mesuré sur un RPC avec des strips de 2 cm de largeur et 50 (150) cm de longueur
- HT à 80% d'efficacité
 - ADULT, seuil=7 mV, $V_{RPC}=10200$ V
 - FEERIC, seuil = 64 mV (~ 200 fC), $V_{RPC}=9800$ V
 - Diminution de HT au moins 400 V possible
 - Courant moyen à mesurer lors des tests en caverne





ALICE

FEERIC v2



o ASIC

- Gain transimpédance augmenté (1 mV/fC simulé)
- Anti-saturateur en entrée
- Layout amélioré

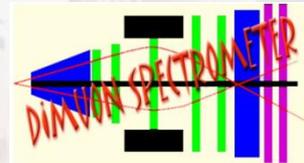
o Carte

- Conçue en vue d'équiper une RPC (47 cartes) en caverne ALICE pendant le run 2 LHC (2015-2018)
- Routage : blindage pistes d'entrée, plans d'alim séparés analogique / numérique
- Injecteur de charge intégré à la carte
 - Test fonctionnel pendant l'exploitation
 - Niveau de charge réglable (au tournevis ou par I²C)
- Pilotage des seuils : deux modes au choix
 - Distribution analogique (système existant)
 - Pilotage par bus I²C chaîné sur max 26 cartes (à tester)



ALICE

Tests fonctionnels FEERIC v2

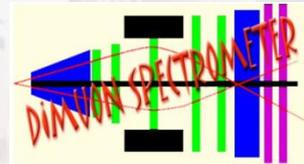


- Gain mesuré **0.57 à 0.68 mV/fC** selon voie (vs. 1 mV/fC simulé)
- Seuil de bruit **23 à 40 fC**
- **L'impédance d'entrée** « effective » pour les signaux type RPC (durée ~ns) est hors spec (estimée à 160 Ω)
 - lié à l'augmentation du gain
 - => réflexion aux interfaces strip-carte (charge transmise estimée à 30% à 50%)
 - pas rédhibitoire pour les tests à long terme en caverne
- La réponse temporelle
 - voie par voie : **meilleure que les specs** (jitter : 500 ps, walk : 1.1 ns)
 - dispersion entre voies <3.3 ns pour 200 fC < q < 1 pC, 3.8 ns pour q=100 fC
- *Piste* d'explication des 2 problèmes (gain et temps de réponse inégaux) : capa parasite des pistes de longueurs inégales
- Tests prévus en couplage avec des strips de RPC
- Tests à long terme sur un RPC en caverne



ALICE

Bilan tests fonctionnels



	ASIC specs, reqs	tests	
		proto 1	proto 2
dynamic range	$20 \text{ fC} < q^1 < 3 \text{ pC}$	$25 \text{ fC} < q < 3 \text{ pC}$	$40 \text{ fC} < q < 3 \text{ pC}$
power cons. (supply = 3.5 V)	$< 100 \text{ mW/ch}$	70 mW/ ch (board)	130 mW/ ch (board)
amplification		0.33 mV/fC	0.6 mV/fC
jitter rms ($q > 200 \text{ fC}$)	$< 1 \text{ ns}$	$< 500 \text{ ps}$	$< 500 \text{ ps}$
time walk ($200 < q < 1000 \text{ fC}$)	total $< 2 \text{ ns}$	$< 1.8 \text{ ns}$	$< 1.1 \text{ ns}$
inter-channel time dispersion ($200 < q < 1000 \text{ fC}$)		$< 1.1 \text{ ns}$	$< 3.3 \text{ ns}$

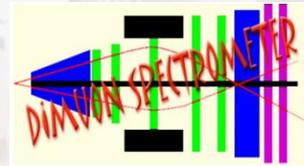
1. « Fast » charge

- Résultats proches des spécifications
- Pas de problème rédhibitoire
- Points à comprendre et améliorer : impédance d'entrée, gain, dispersion temporelle entre voies
- Conditions de test différentes des conditions de fonctionnement (couplage des entrées, bruit)



ALICE

Conclusions

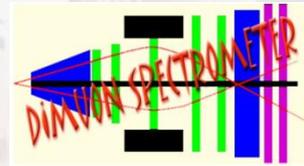


- R&D upgrade électronique frontale Trigger (Identificateur) Muons d'ALICE débutée en 2012
- FEERIC: nouvel ASIC, 2 prototypes testés
 - Amplification, discriminateur zero-crossing fonctionnant dans les 2 polarités
 - Les tests fonctionnels valident le circuit
 - Gamme dynamique, consommation, précision temporelle => conformes ou proches
 - Mesures systématiques commencées sur banc de test RPC en cosmiques
- Test à long terme sur 1 RPC en caverne durant le run 2 LHC (2015-2018)
- 3^{ème} fonderie prévue
 - Comprendre les écarts de gain avec la simulation
 - Réduire gain et impédance d'entrée pour améliorer le couplage avec les strips (études en cours, simulation et mesures)
- Production ~3000 cartes en 2015-2017
- Installations pendant le Long Shutdown 2 du LHC (en ~2019).

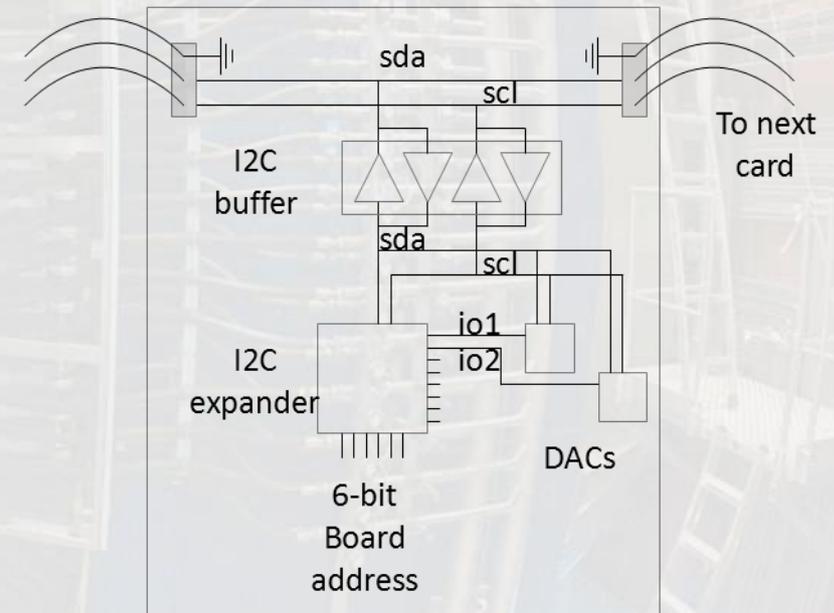


ALICE

Annexe : Bus I²C étendu



- Contrôle numérique envisagé pour l'upgrade : plus flexible et fiable
- De nb composants commerciaux (e.g. DACs) sont programmables par I²C,
- Bus série simple et robuste
- Efforts pour chaîner 26 cartes frontales (max sur un côté de RPC) sur le même bus
 - Limitation électrique
 - Capacité de la ligne trop grande et résistance trop faible selon spec standard
 - Interface ("extender") pour augmenter le courant en écriture
 - Limitation logique d'adressage
 - La plupart des CI : 3 bits d'adresse externe => chaînage de 8 cartes max
 - Interface I²C ("expander") avec 6 bits d'adresse externe



I2C bus interface and board chaining