

# Systeme d'acquisition pour caracterisation d'un imageur à multiplication électronique intra-pixel emCMOS

Remi Barbier, Timothée Brugière, David Chaize, Sylvain Ferriol, Cyrille Guérin, William Tromeur, Lionel Vagneron

1. **Situation et objectifs**
2. **Caractéristiques de la matrice de pixels**
3. **Caractéristiques du système d'acquisition**
4. **Détails partie électronique**
5. **Présentation des cartes**
6. **Mécanique**
7. **Informatique**
8. **Conclusion**

# 1. Situation et objectifs

## Projet dans le cadre d'une collaboration E2V / IPNL

E2V  
ESA

<http://www.e2v.com>

- Développement de matrices de nouveaux pixels avec multiplication électronique intra-pixel (emCMOS)



IPNL  
IBMG

- Conception du système d'acquisition

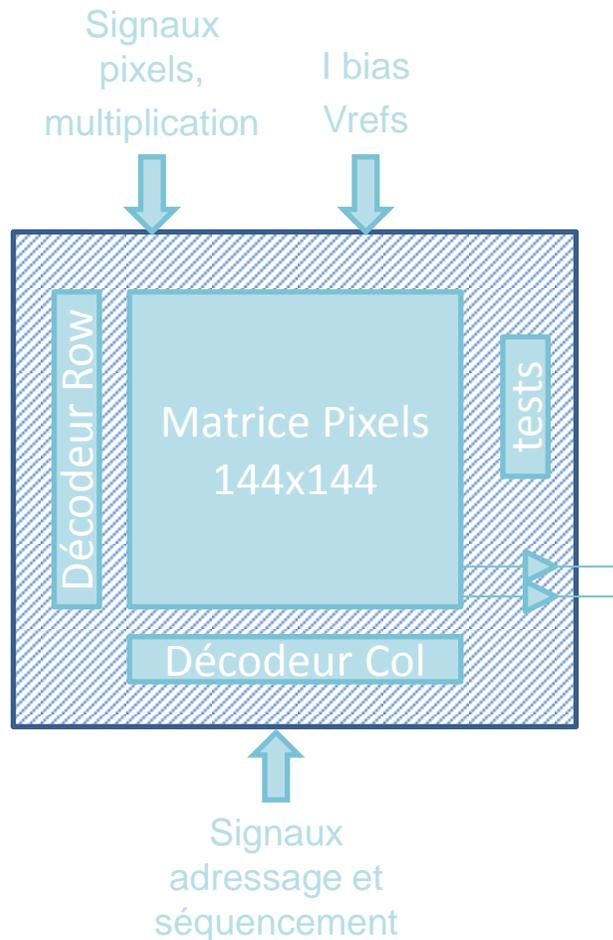


- Validation et caractérisation du système



- Caractérisation des matrices de nouveaux pixels sur banc optique

## 2. Caractéristiques de la matrice de pixels (1)



- Matrice de pixels, pitch  $8\mu\text{m}$ ,  $144 \times 144$  avec adressage X,Y
- Entrées de courants de Bias, pour véhiculer les charges correctement jusqu'aux buffers de sorties
- Entrées de tensions de référence pour le pixel et le système de multiplication
- Les signaux d'adressage et de logique (type **numérique** 3.3V ou 5V)
- Les signaux de mise en œuvre pixels et de multiplication (type **analogique**  $-2\text{V} < V_l < 0\text{V}$  ;  $1\text{V} < V_h < 7,5\text{V}$ )
- 2 signaux de sorties analogiques par matrice (Vor : Valeur du pixel après « reset », Vos : Valeur « signal » du pixel )

## 2. Caractéristiques de la matrice de pixels (2)

- 3 structures différentes de pixels à caractériser  
(3 matrices différentes A, B, C)
- 3 chronogrammes de séquençement différents
- Chaque structure possède 15 variantes (géométrique, technologique...)
- 4<sup>ème</sup> matrice (Z) intègre des sous matrices de différentes structures et variantes

A <sub>1</sub>	B <sub>3</sub>	C <sub>1</sub>	B <sub>1</sub>	A <sub>9</sub>	C <sub>3</sub>
C <sub>11</sub>	B <sub>5</sub>	A <sub>3</sub>	B <sub>13</sub>	C <sub>14</sub>	B <sub>7</sub>
B <sub>8</sub>	C <sub>10</sub>	B <sub>4</sub>	A <sub>4</sub>	A <sub>11</sub>	B <sub>10</sub>
C <sub>9</sub>	A <sub>2</sub>	A <sub>7</sub>	C <sub>15</sub>	B <sub>12</sub>	C <sub>12</sub>
A <sub>10</sub>	B <sub>6</sub>	C <sub>7</sub>	B <sub>2</sub>	C <sub>5</sub>	A <sub>13</sub>
C <sub>2</sub>	B <sub>9</sub>	C <sub>6</sub>	A <sub>8</sub>	C <sub>4</sub>	B <sub>13</sub>

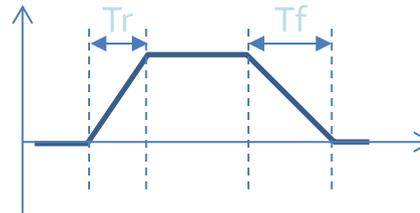
Sous matrice  
type, variante

**Exemple de  
Matrice Z**

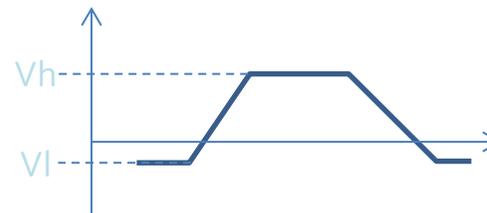
### 3. Caractéristiques du système d'acquisition

#### ➤ Points clés du cahier des charges (1)

- Alimenter l'emCMOS en +5V ou +3.3V.
- Génère des courants de bias ajustables en ligne (10-250 $\mu$ A / pas de 10 $\mu$ A)
- Fourni 3 tensions de référence ajustables en ligne (0,5-5V / pas de 100mV)
- Possibilité de régler en ligne, les pentes (Trising, Tfalling) des signaux de mise en œuvre pixels (100ns-1 $\mu$ s)



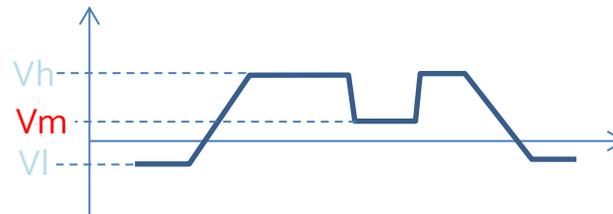
- Possibilité de régler en ligne, les niveaux haut et bas (Vh, Vl) des signaux de mise en œuvre pixels.



## 3. Caractéristiques du système d'acquisition

### ➤ Points clés du cahier des charges (2)

- Possibilité de créer et d'ajuster en ligne un troisième niveau analogique ( $V_m$ ) sur certains signaux de mise en œuvre pixels.



- Tensions négatives possibles pour le niveau bas  $V_l$  (jusqu'à -2V)
- Possibilité de régulation en température du capteur emCMOS (0°C – 20°C)

🔧 **Tous ces paramètres doivent être ajustables facilement, pour faciliter l'étude et trouver le point de fonctionnement optimum de la matrice de pixels.**

## 3. Caractéristiques du système d'acquisition

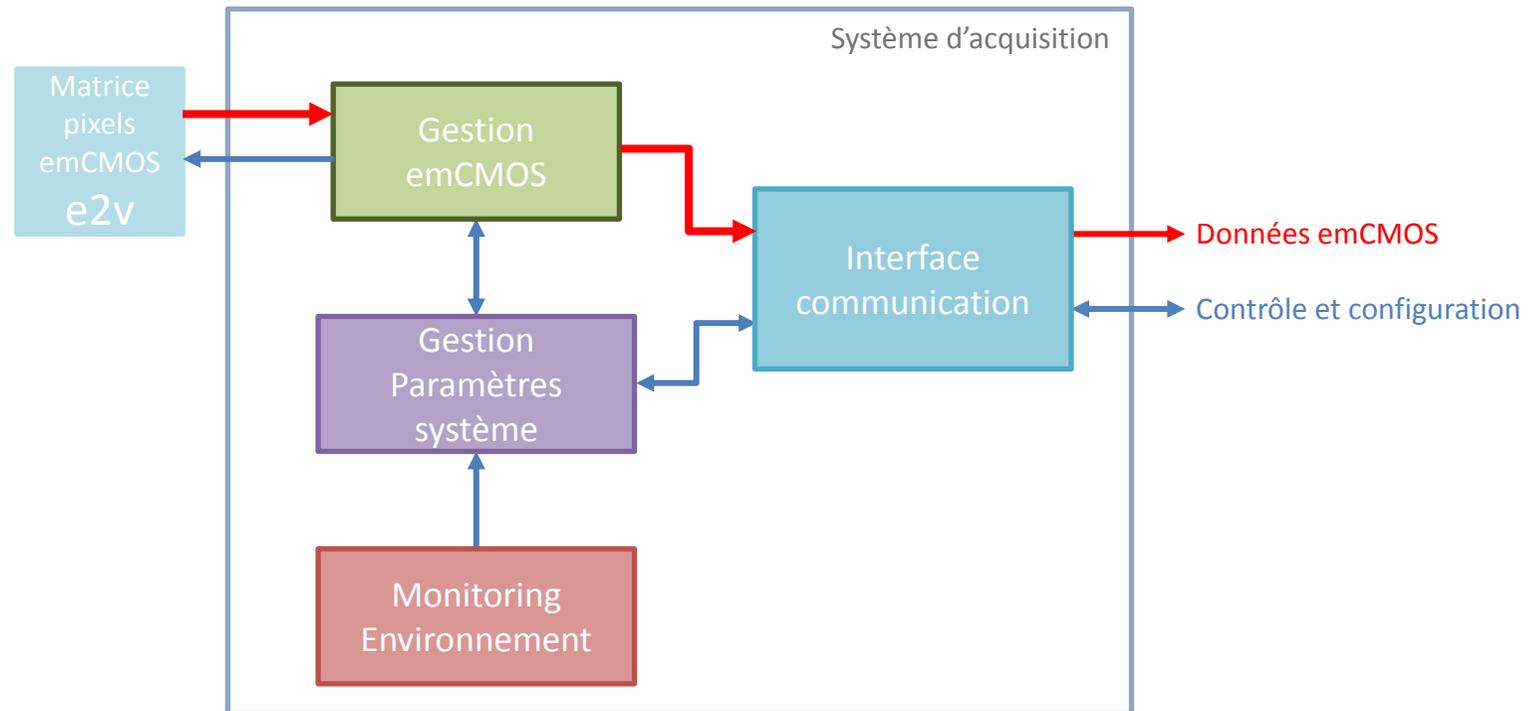
### ➤ Autres fonctionnalités proposées pour le système

- Lien de communication haut débit (10GbitE) sur fibre optique
- Système reconfigurable (FPGA)
- Possibilité de stocker et sélectionner différents firmwares pour le FPGA (mémoire Flash avec bootloader)
- Modules Mémoire DDR2 (2\*1Gbit) interfacés au FPGA
- Monitoring du système (températures, hygrométrie)
- Numérisation des 2 voies analogiques par des ADC 12 bits@20Mhz

### 3. Caractéristiques du système d'acquisition

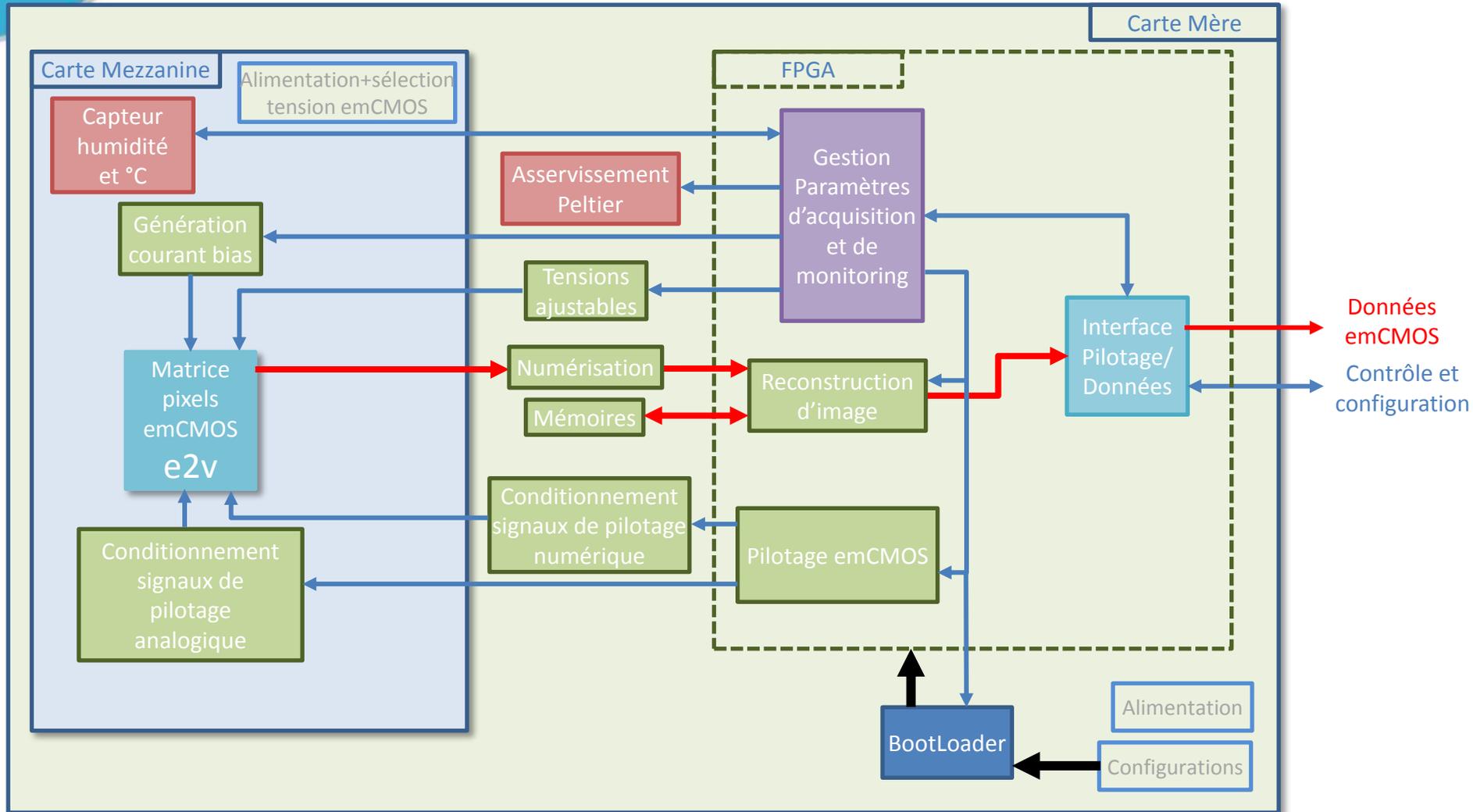
#### ➤ Synoptique général des fonctionnalités

Interface communication : - Véhicule les informations de contrôle et de configuration  
- Remonte les données emCMOS vers l'IHM



1. Situation et objectifs
2. Caractéristiques de la matrice de pixels
3. **Caractéristiques du système d'acquisition**
4. Détails partie électronique
5. Présentation des cartes
6. Mécanique
7. Informatique
8. Conclusion

### 3. Caractéristiques du système d'acquisition



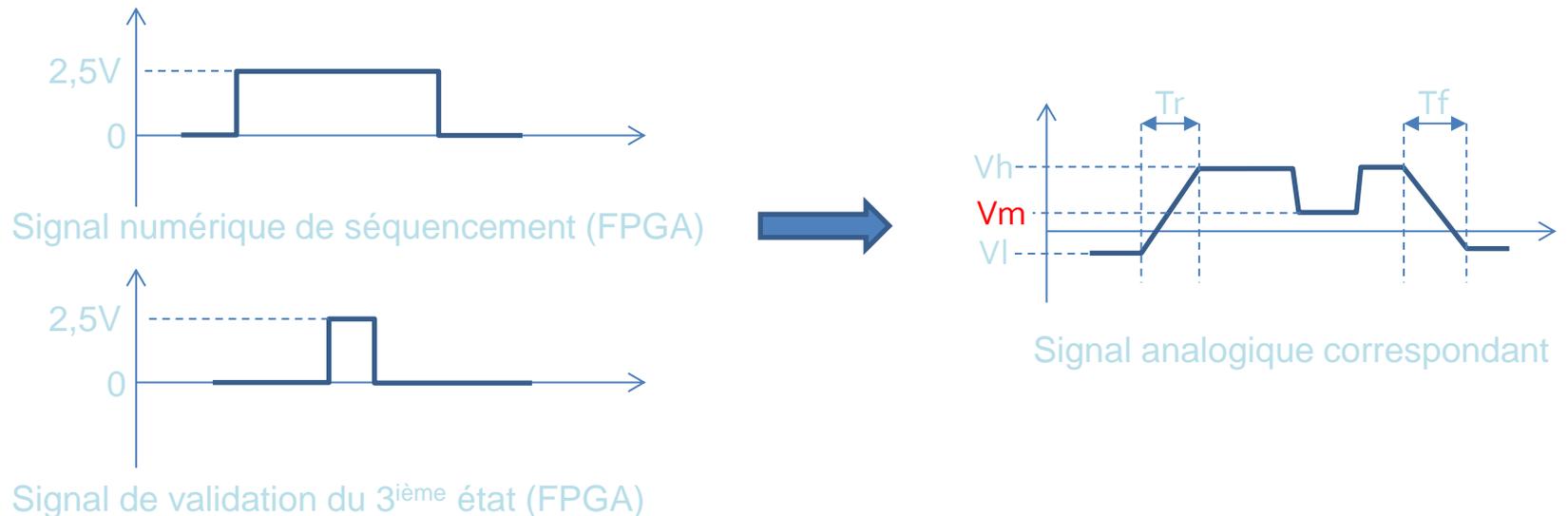


## 4. Détails partie électronique

### ➤ Conditionnement des signaux de pilotage analogiques

#### ➤ Rappel

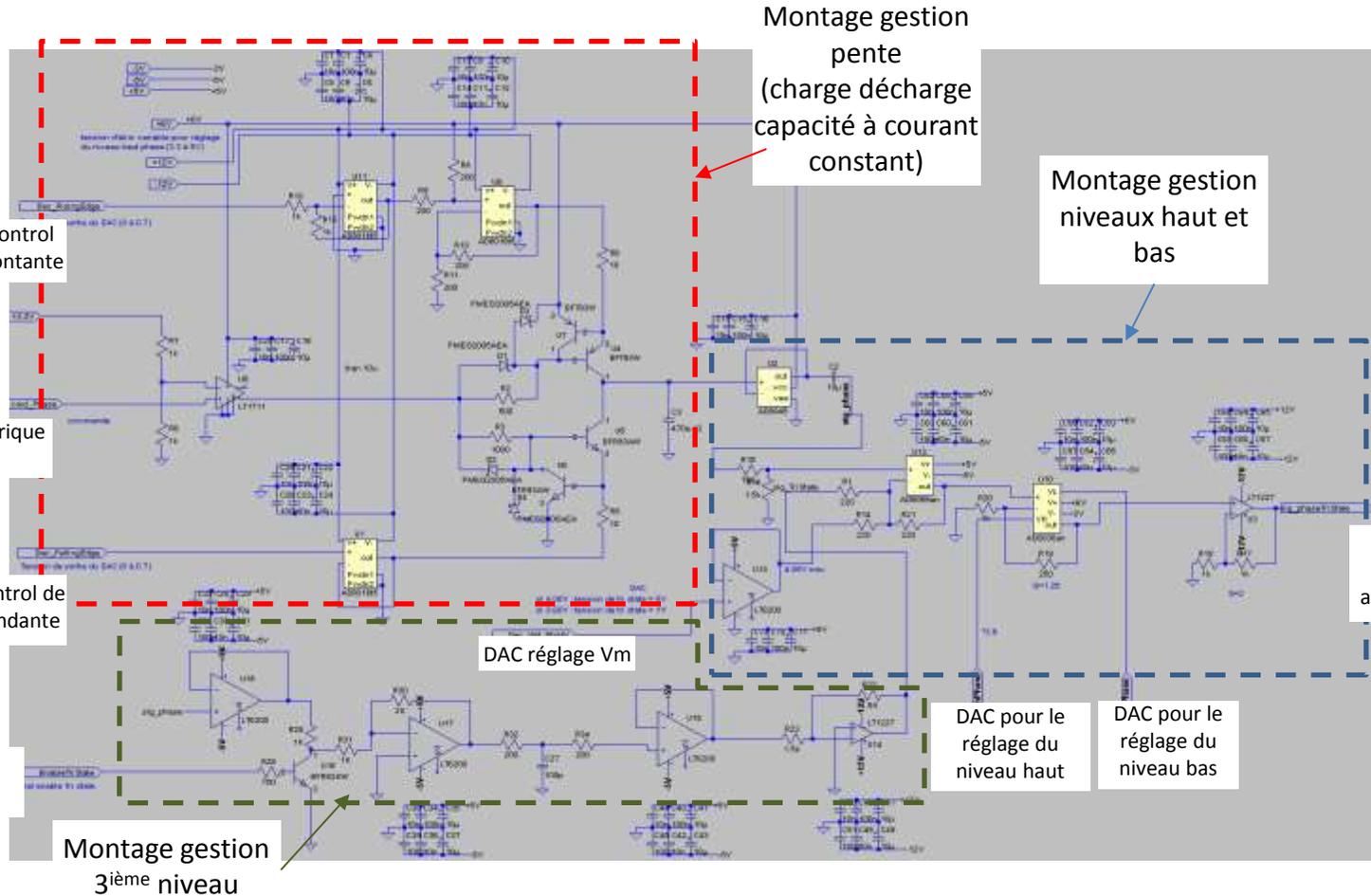
- Transforme un signal numérique (0V-2,5V) en un signal analogique dont le niveau bas ( $V_l$ ) peut être fixé entre -2V et 0V et le niveau haut ( $V_h$ ) entre 1V et 7,5V.
- Permet de contrôler les pentes des signaux.
- Possibilité de créer un troisième niveau analogique (tri-state)  $V_m$  qui peut être fixé entre 1V et 5V.



1. Situation et objectifs
2. Caractéristiques de la matrice de pixels
3. Caractéristiques du système d'acquisition
4. **Détails partie électronique**
5. Présentation des cartes
6. Mécanique
7. Informatique
8. Conclusion

# 4. Détails partie électronique

## ➤ Montage avec 3<sup>ème</sup> état

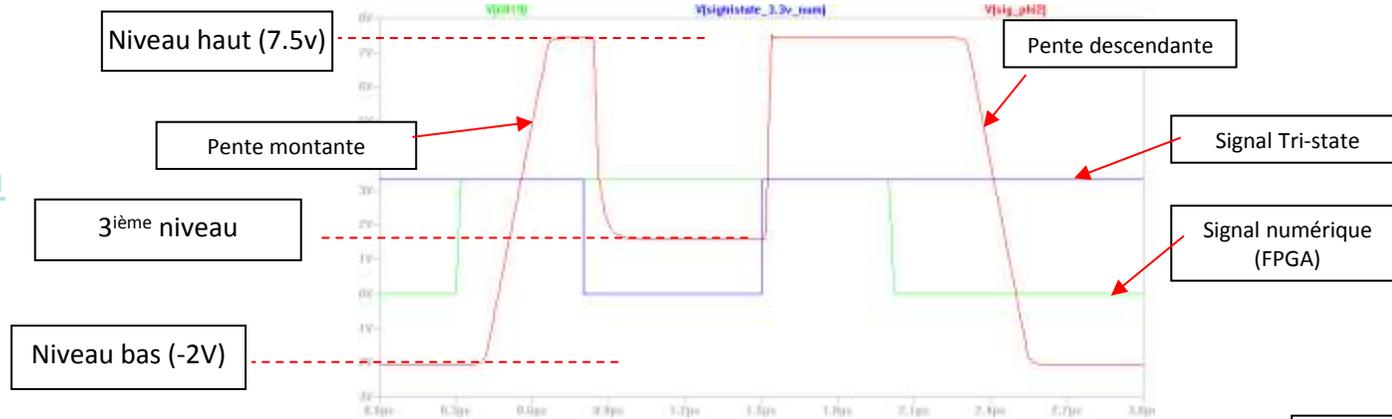


1. Situation et objectifs
2. Caractéristiques de la matrice de pixels
3. Caractéristiques du système d'acquisition
4. **Détails partie électronique**
5. Présentation des cartes
6. Mécanique
7. Informatique
8. Conclusion

# 4. Détails partie électronique

## ➤ Résultats

### Simulation



### Mesures physiques



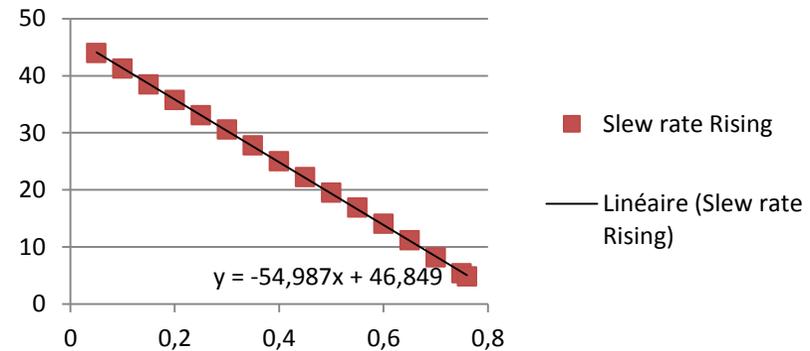
## 4. Détails partie électronique

### ➤ À l'utilisation

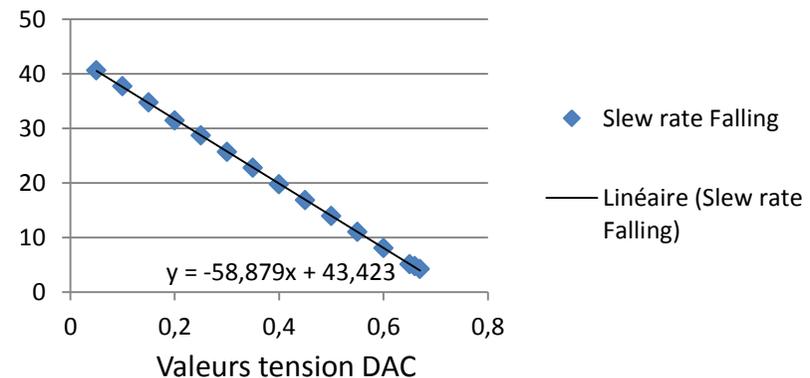
- Réalisation d'abaques (Slew rate vs tension DAC)
- Le slew rate est fixe quelque soit les niveaux haut (Vh) et bas (Vl) choisis



### Slew rate Rising

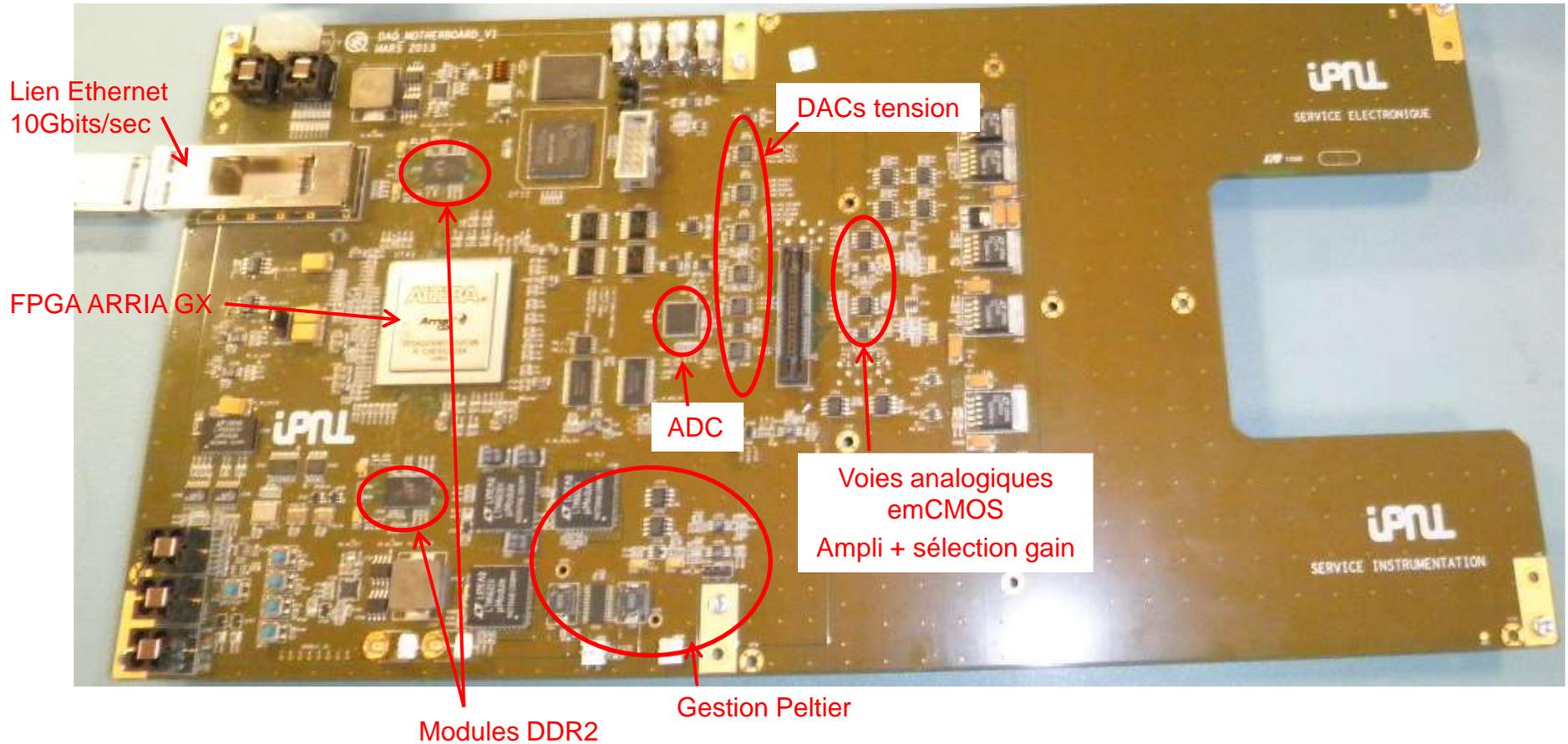


### Slew rate Falling



## 5. Présentation des cartes

### ➤ Carte mère



1. Situation et objectifs
2. Caractéristiques de la matrice de pixels
3. Caractéristiques du système d'acquisition
4. Détails partie électronique
5. **Présentation des cartes**
6. Mécanique
7. Informatique
8. Conclusion

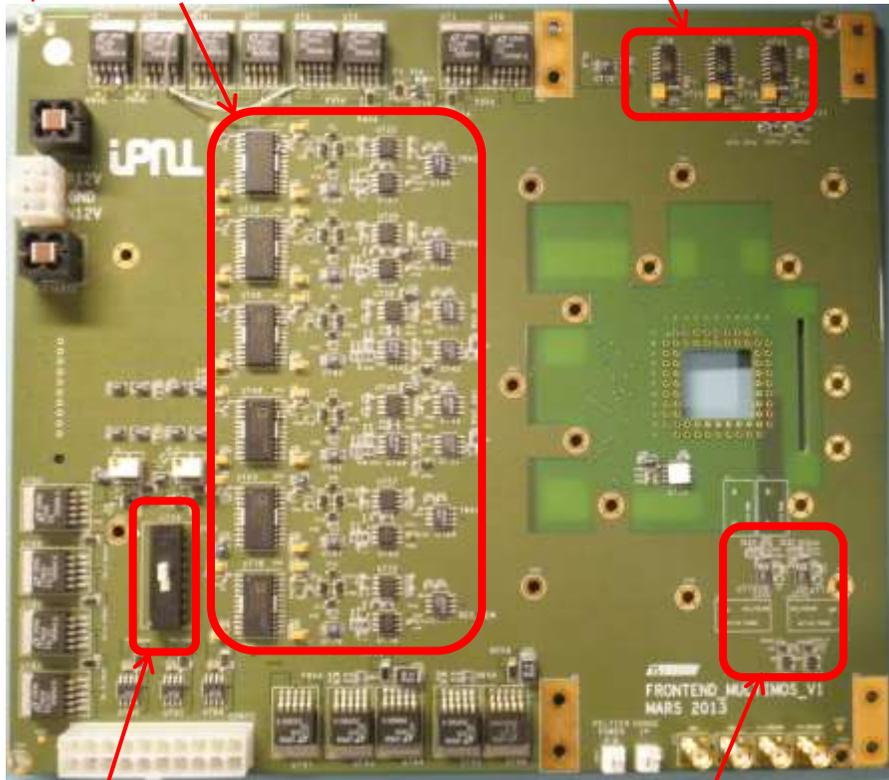
## 5. Présentation des cartes

### ➤ Carte mezzanine

TOP

Montage gestion pentes + niveaux

Tensions de références emCMOS

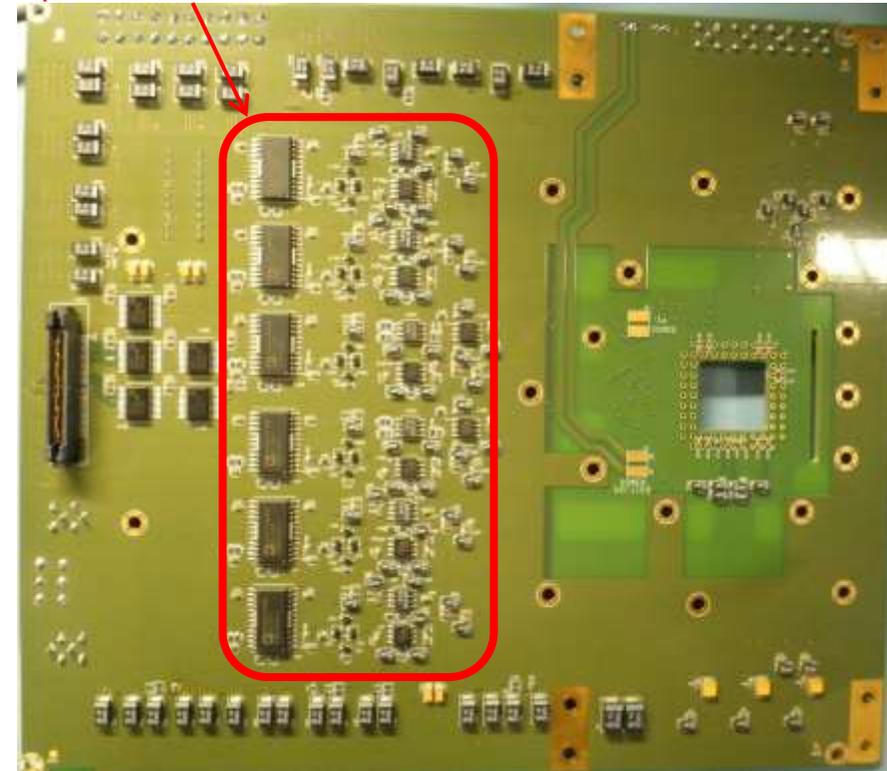


Sélection tension  
+5V, 3,3V

Sorties analogiques  
emCMOS  
offset + pré-ampli

BOTTOM

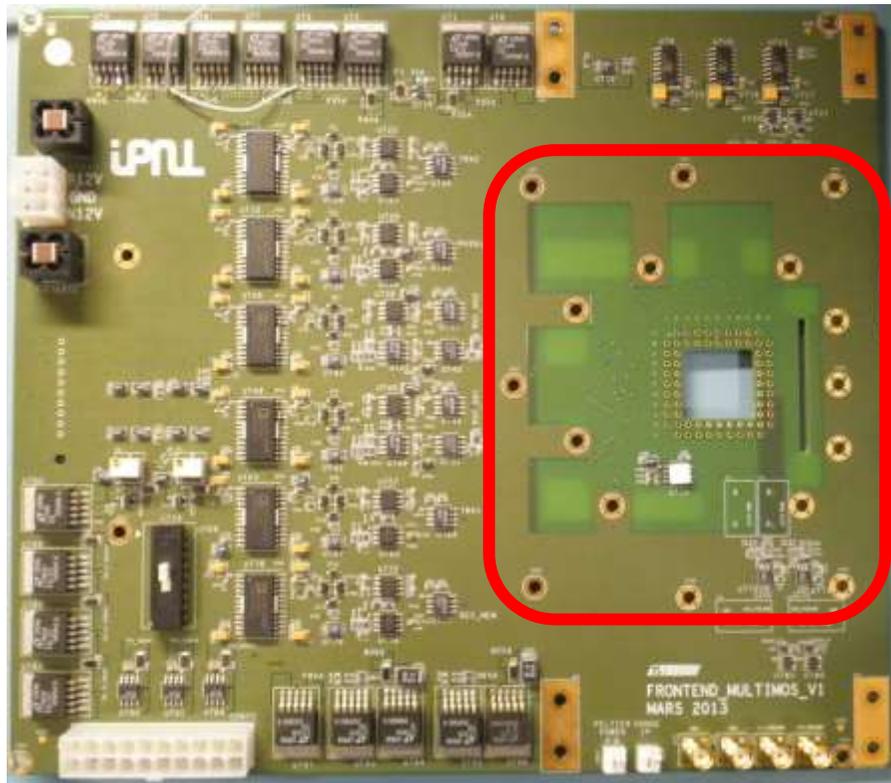
Montage gestion pentes + niveaux



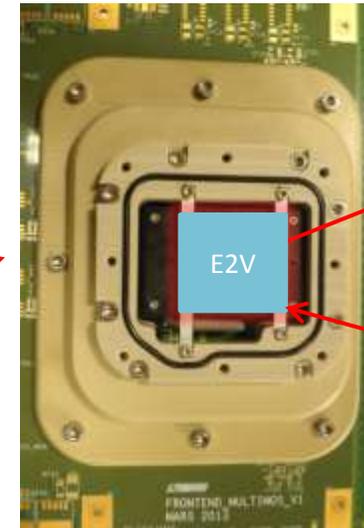
1. Situation et objectifs
2. Caractéristiques de la matrice de pixels
3. Caractéristiques du système d'acquisition
4. Détails partie électronique
5. Présentation des cartes
6. Mécanique
7. Informatique
8. Conclusion

## 6. Mécanique

- Maintien en température du capteur emCMOS
- MontureC ou vitre possible



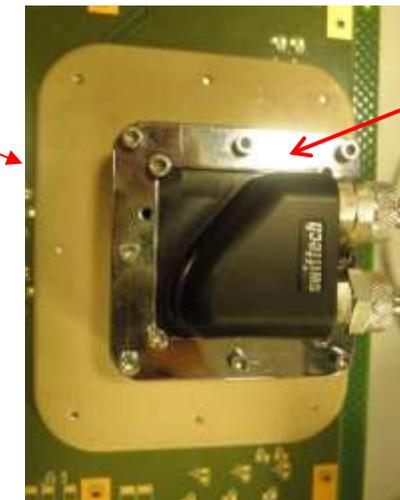
TOP



Radiateur cuivre  
refroidi par module  
Peltier

TOP

Emplacement du  
capteur emCMOS



Calories du module  
Peltier évacuées par  
un système water-  
cooling

BOTTOM

## 7. Informatique

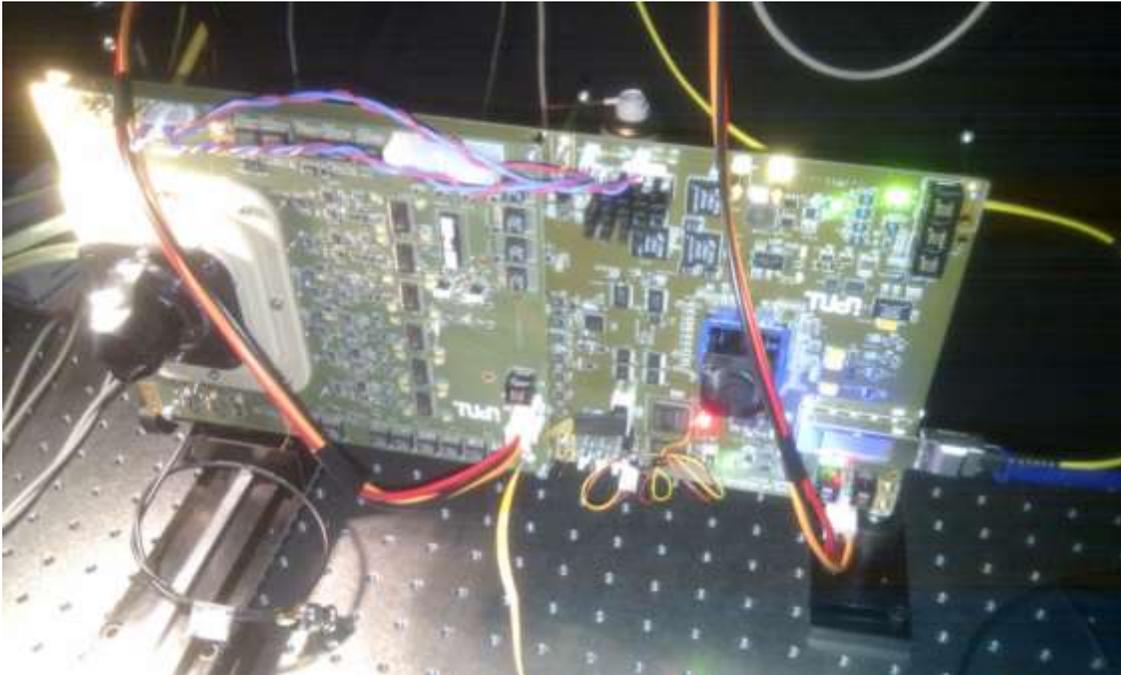
- Travail en collaboration avec un informaticien pour le développement d'outils informatique bas niveau
  - Test de connexion réseau avec la carte
  - Mise en place des fonctions d'écriture/lecture des registres de la carte
  - Écriture d'outils nécessaire aux tests et debug du système
  - ...
  
- Logiciel de caractérisation des pixels développé par la personne en charge de l'analyse
  - Acquisitions successives en jouant sur les tous paramètres
  - Analyse des données
  - Mise en forme et génération de pages html détaillant toutes les mesures effectuées et les résultats associés

## 8. Conclusion

- Réalisation d'un système complet répondant au cahier des charges.



- Tests et caractérisation complète du système avant utilisation sur banc optique
  - abaques pour les correspondances  $V_{dac}$  vs Valeurs Physiques
- Caractérisation des matrices de pixels en cours d'achèvement
- Nouveau partenariat envisagé pour un emCMOS\_2 suite aux premiers résultats prometteurs



Système sur banc optique pour la caractérisation de l'emCMOS

Merci

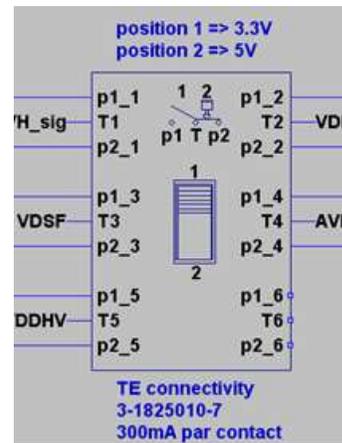
# Backup

---

- Tension sélectionnable
- Génération des courants de bias
- Génération des tensions de référence
- Montage conditionnement analogique (sans 3<sup>ème</sup> état)
- Régulation température (module Peltier)
- Offset – préampli – gain variable – ampli diff

# Détails partie électronique

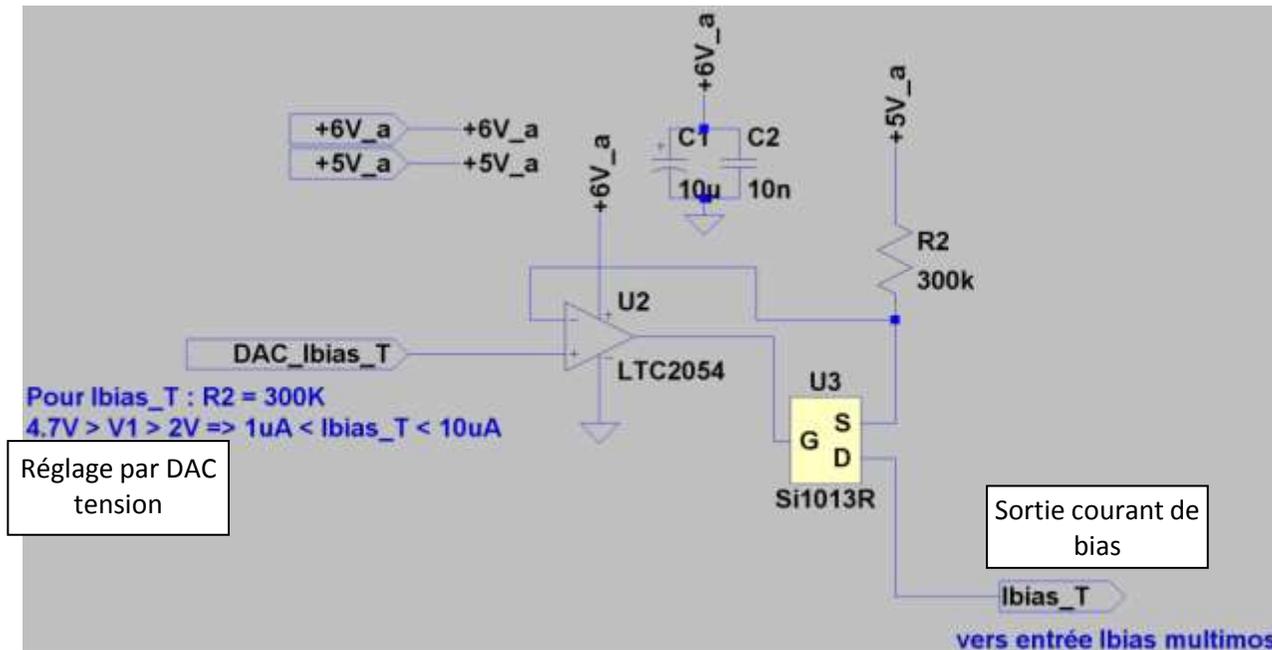
- Alimenter l'emCMOS en +5V ou +3.3V



- ✓ utilisation d'un switch à glissière pour la sélection de la tension de fonctionnement

# Détails partie électronique

- Génère des courants de bias ajustables en ligne (10-250 $\mu$ A / pas de 10 $\mu$ A)



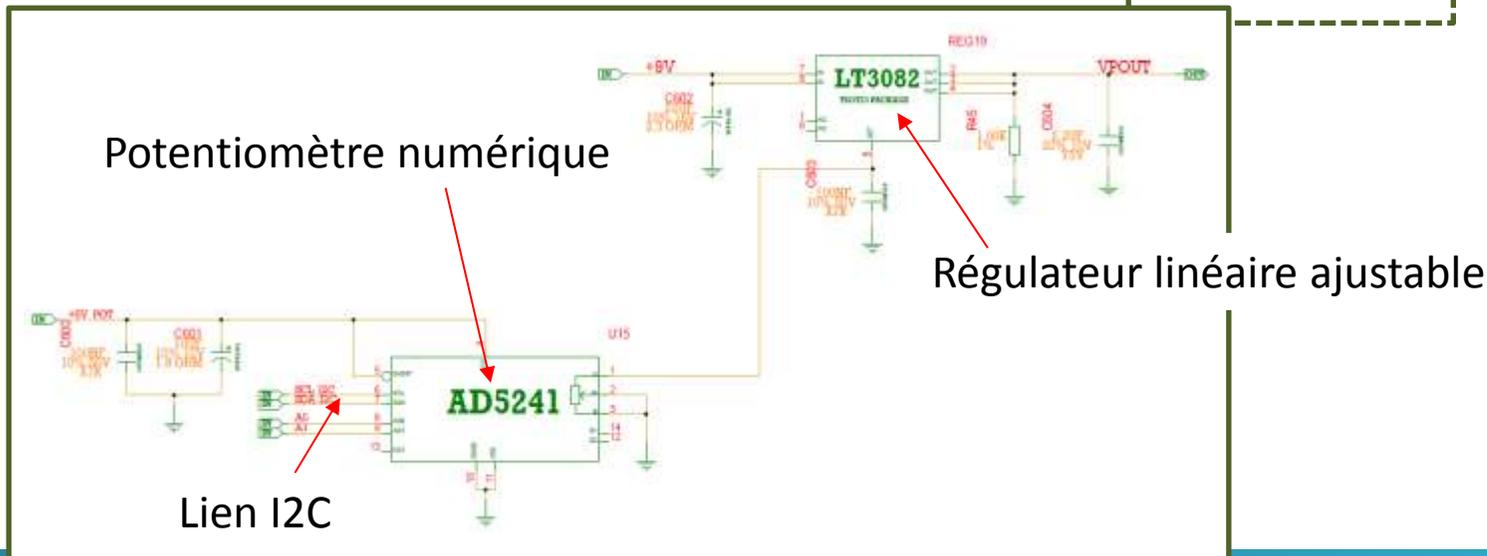
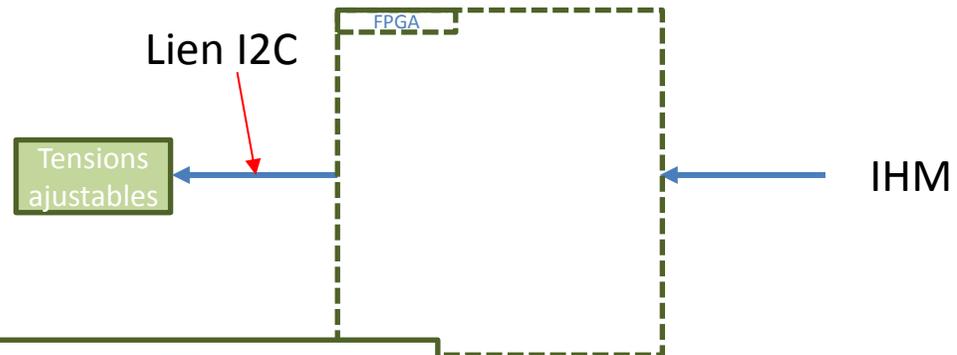
- ✓ Utilisation d'un montage ampli-transistor
- ✓ Réglage de la valeur souhaitée par un DAC tension

# Détails partie électronique

## ➤ Points clés du cahier des charges (1)

- Fourni 3 tensions de référence ajustables en ligne (0,5-5V / pas de 100mV)

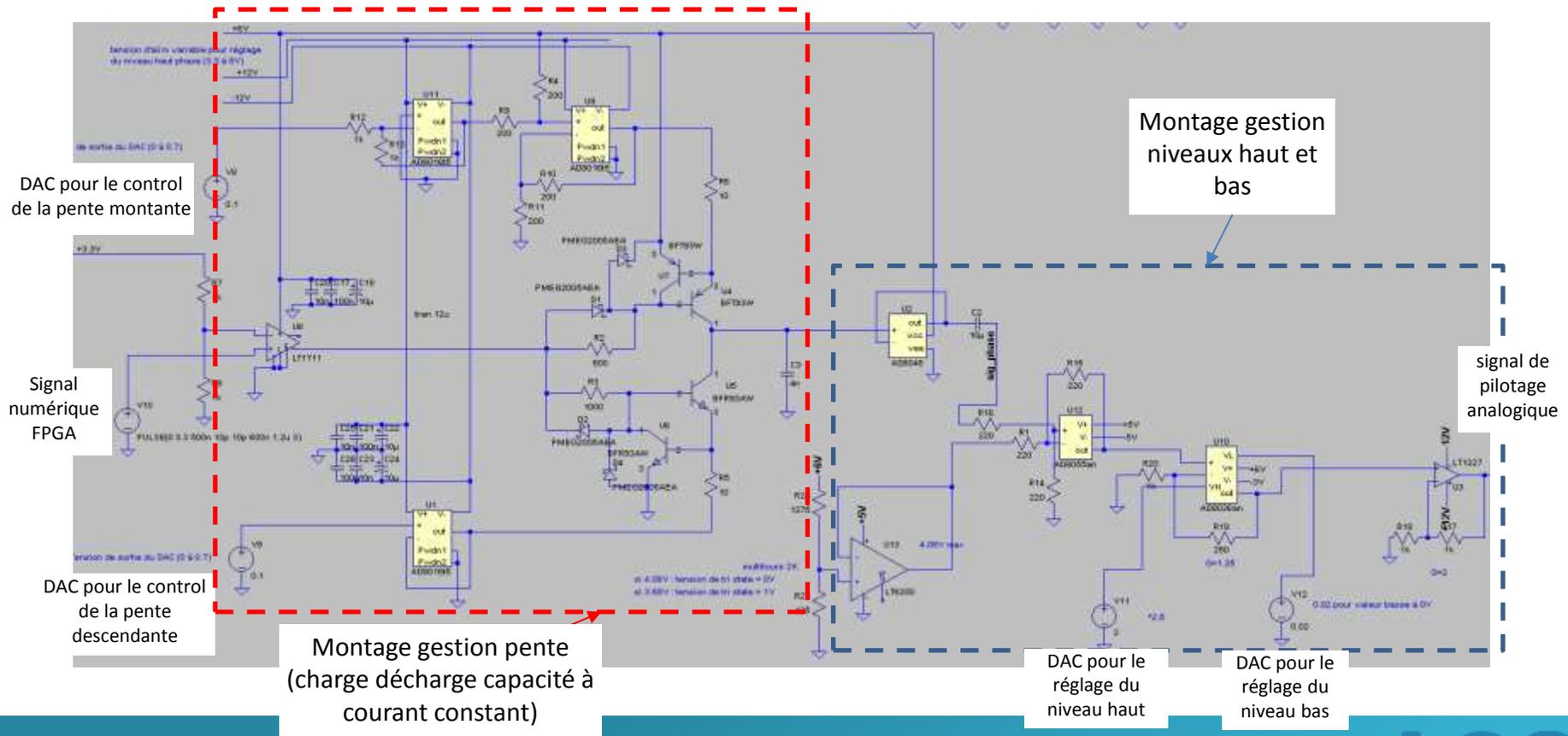
- ✓ Régulateur linéaire ajustable + potentiomètre numérique commandé par lien I2C



# Détails partie électronique

## ➤ Montage sans 3<sup>ème</sup> état

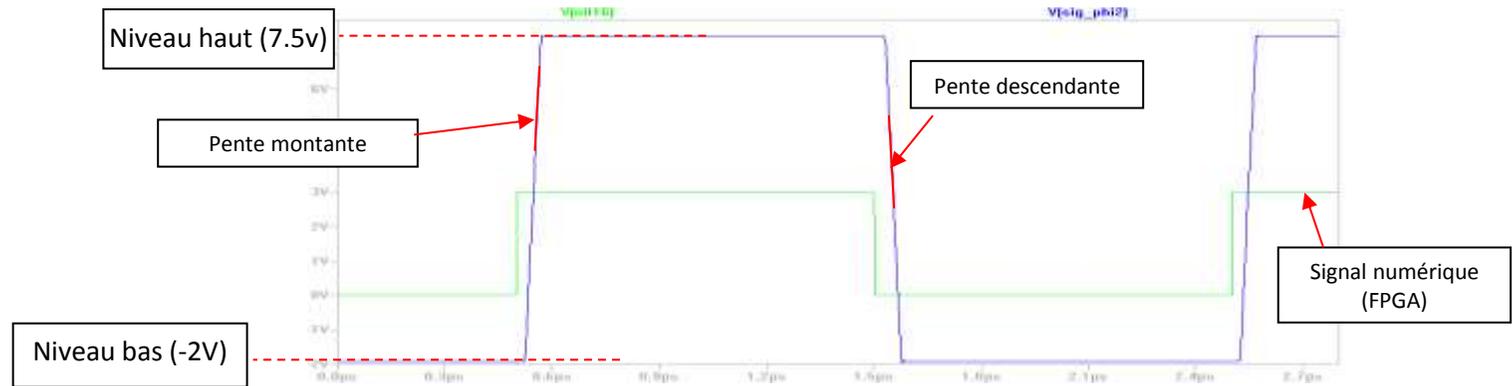
- Réglage des pentes par DAC tension (charge et décharge d'une capacité à courant constant)
- Les DAC de tensions pilotés par lien I2C piloté par le FPGA



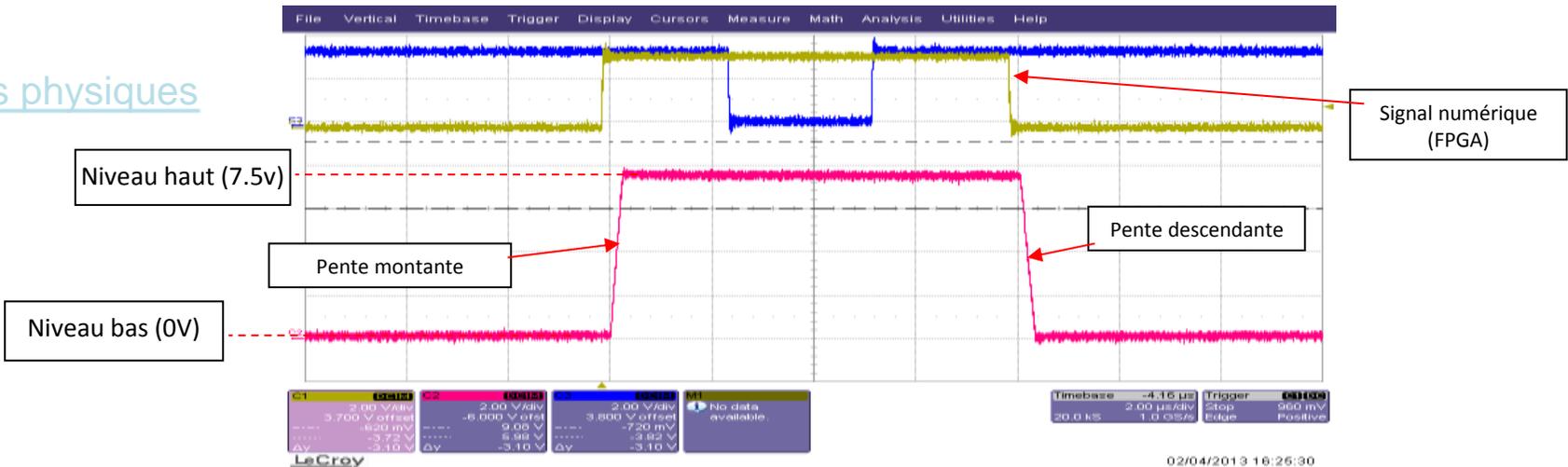
# Détails partie électronique

## ➤ Montage sans 3<sup>ème</sup> état

Simulation

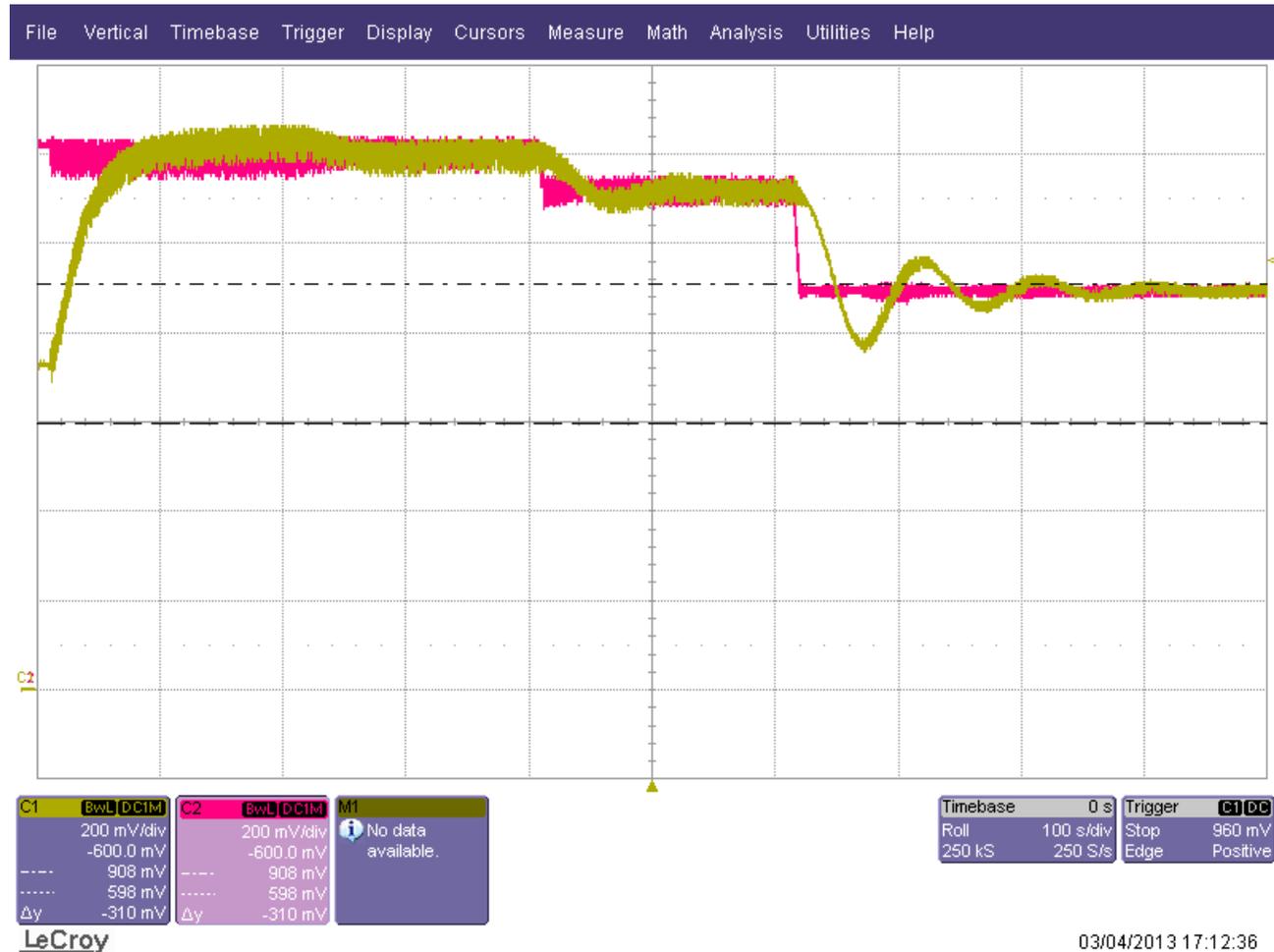


Mesures physiques



# Détails partie électronique

## ➤ Test régulation du module Peltier



# Détails partie électronique

## ➤ Offset – préampli – gain variable – ampli diff

- Offset + amplification des signaux de sorties analogiques du Multimos
- Offset réglable par DAC tension piloté par lien I2C
- 8 gains d'amplification différents
- Gains sélectionnable en ligne (via le FPGA)

