

Trajectomètre au Silicium, Collaboration SiLC



*A. Savoy-Navarro, LPNHE UPMC/IN2P3-CNRS
Réunion ILC France, 30 Juin 2008, au LPNHE*

SYNOPSIS

- AVANCEES depuis le dernier ILC France (Juin 2007)
 - ➔ Collaboration SiLC
 - ➔ R&D sur les détecteurs Silicium
 - ➔ R&D en électronique
 - ➔ R&D en mécanique
 - ➔ Bancs de tests et tests en faisceaux
- CONTRIBUTION aux LOIs:
 - ➔ Simulations et optimisations
 - ➔ Intégration
- DEMANDES pour 2009
- PERSPECTIVES

SYNOPSIS

- AVANCEES depuis le dernier ILC France (Juin 2007)
 - ➔ Collaboration SiLC
 - ➔ R&D sur les détecteurs Silicium
 - ➔ R&D en électronique
 - ➔ R&D en mécanique
 - ➔ Bancs de tests et tests en faisceaux
- CONTRIBUTION aux LOIs:
 - ➔ Simulations et optimisations
 - ➔ Intégration
- DEMANDES pour 2009
- PERSPECTIVES



SiLC R&D Collaboration (LPNHE coordination)



U.S.A

Michigan U.
SCIPP-UCSC



Close connections:

- **FNAL** (DOE prop 05 funded) UCSC, FNAL, LPNHE
- **SLAC** (DOE prop 03: funded): UCSC, SLAC Michigan U, LPNHE **and meetings SiD**
- **CERN** (microelectronics Bonding Lab and t.b.)
- **DESY** (t.b and simus)



Europe

IMB-CNM/CSIC, Barcelona (SP)
(eudet ass.)

Uni of Barcelona (SP)

Helsinki U. and VTT (Fi) *(eudet)*

IEKP, Karlsruhe U. (D)

Uni of Liverpool, (UK)

Moscow St. U. , Moscou(Ru)

(eudet ass.)

Obninsk St. U., Obninsk (Ru)

(eudet ass.)

LPNHE, Paris (Fr) *(eudet)*

Charles U. , Prague (CZ) *(eudet)*

IFCA, Santander(Sp) *(eudet)*

Torino U., Torino -INFN(IT)

IFIC-CSIC Valencia (Sp) *(eudet ass.)*

HEPHY, Academy Sci., Vienna (Au)

(eudet ass.)

Asia

Kyungpook U. Taegu, Ko

Yonsei U., Seoul, Ko

Korea U. Seoul, Ko

Seoul Nat. U., Seoul, Ko

SungKyunKwan U. Seoul

Tokyo U. (Japan)

HAMAMATSU (Japan)

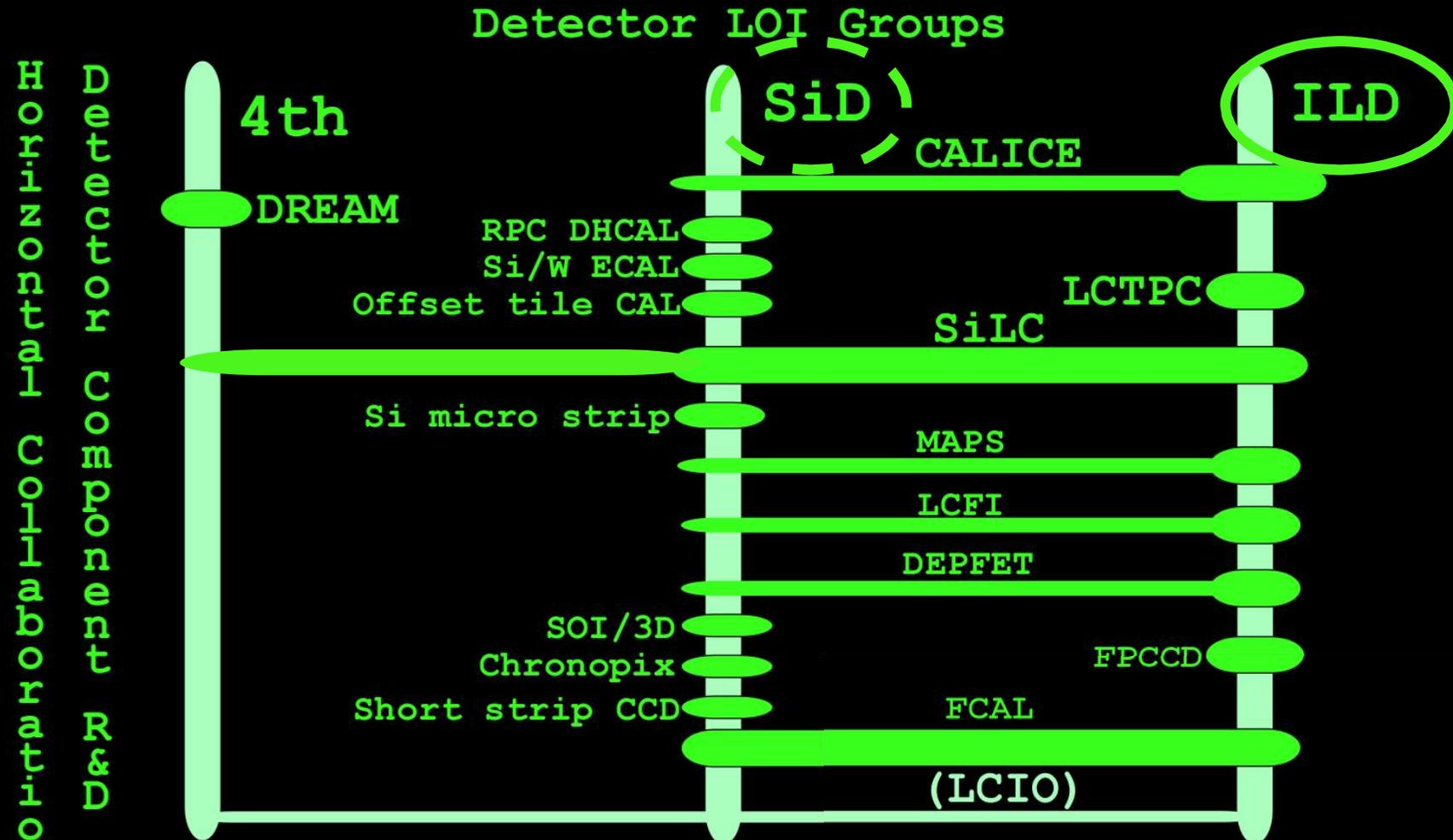
Connection KEK (FJPPL)

SITRA= sub sample of SiLC but SiLC partners are joining tests beam & related efforts (EUDET)}

Launched end 2001, Proposal to the PRC May 2003, Report Status May 2005, ILC tracking R&D Panel at BILCW07 February 2007, **PRC Status report April 08**

En 2007: Contribution et signature du DOD LDC et SiD pour le LPNHE

THE
MATRIX
reloaded



SYNOPSIS

- AVANCEES depuis le dernier ILC France (Juin 2007)
 - Collaboration SiLC
 - ➔ R&D sur les détecteurs Silicium
 - R&D en électronique
 - R&D en mécanique
 - Bancs de tests et tests en faisceaux
- CONTRIBUTION aux LOIs:
 - Simulations et optimisations
 - Intégration
- DEMANDES pour 2009
- PERSPECTIVES

R&D Détecteurs Silicium au LPNHE

Le groupe ILC-LPNHE a établi des contacts avec Firmes industrielles sur nouveaux détecteurs à micropistes au Silicium: plus grandes dimensions, moins épais et à pitch de 50 (ou 25 effectif) μm :

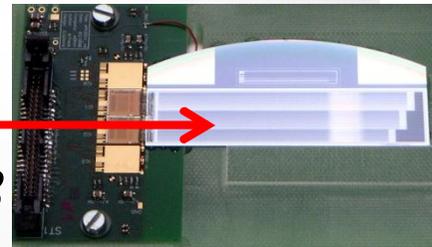
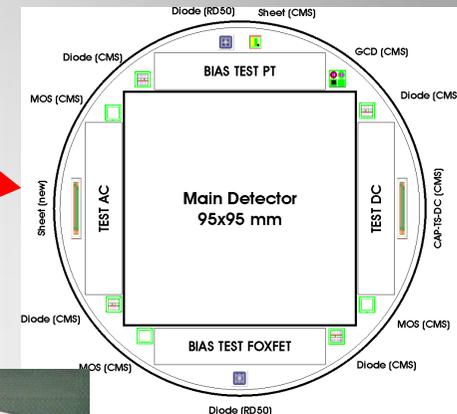
- ❖ **HPK**: Achat de 30 nouveaux HPK + 5 traités pour alignement avec HEPHY-Vienna, IFCA, CU Prague (NdA HPK-IN2P3-LPNHE) Caractérisés par HEPHY et IEKP (**structures de tests**)

HPK utilisés pour tests CERN 07 et 08

et avec LCTPC (08 et 09) et FNAL 2009. Plus protos connection directe

- ❖ **CANBERRA S.C.** : contact en cours sur SSD et DSSD plus possibilités de collaboration (Mai 2008); détecteurs “edgeless”
- ❖ **COREE**: à l’étude, visite en Septembre 2008.

EVITER aussi MONOPOLE HPK!



R&D Détecteurs Silicium au LPNHE

Le groupe ILC-LPNHE poursuit ouverture vers nouvelles technologies en
Coopération avec industries et des Laboratoires spécialisés: CNM et VTT

❖ VTT: 3D planar detector = microstrips et
actifs jusqu'aux bords (edgeless)
Intérêt de firmes industrielles (en cours étude)



❖ Connection directe microspistes/ASIC de
lecture (LPNHE-HPK avec NdA plus MTA)
Voir section électronique

❖ Effort 3D: avec SiLC (gros effort en cours de développement) et dans
cadre français avec CPPM, IPHC et LAL aussi sur interconnection 3D.

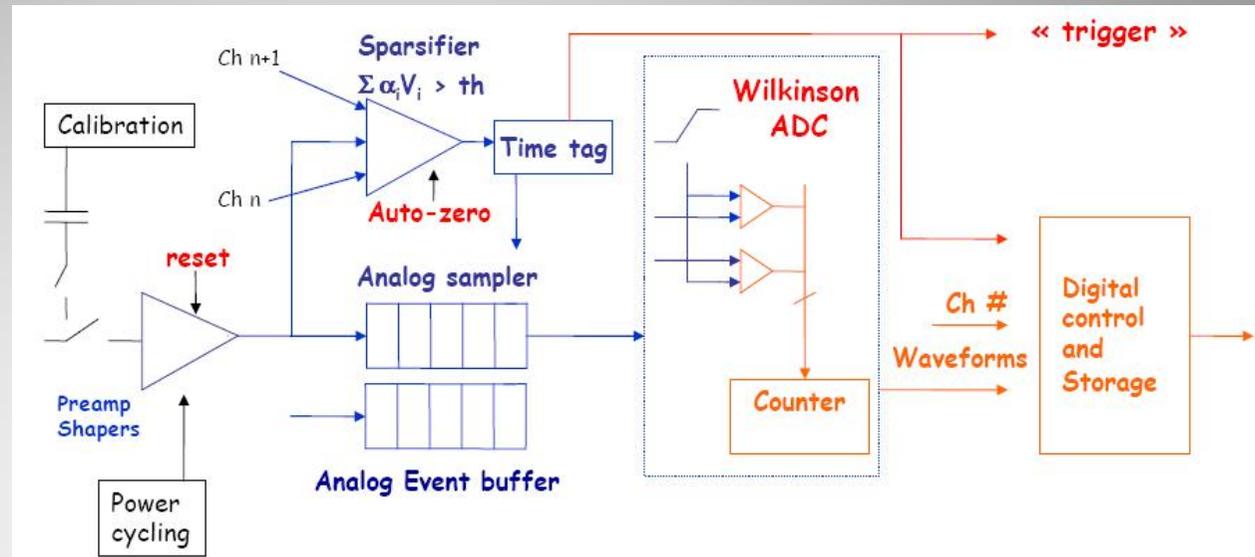
❖ Poursuite du développement du banc de test pour caractérisation de
nouveaux détecteurs Silicium strips ou pixels.

SYNOPSIS

- AVANCEES depuis le dernier ILC France (Juin 2007)
 - Collaboration SiLC
 - R&D sur les détecteurs Silicium
 - ➔ R&D en électronique
 - R&D en mécanique
 - Bancs de tests et tests en faisceaux
- CONTRIBUTION aux LOIs:
 - Simulations et optimisations
 - Intégration
- DEMANDES pour 2009
- PERSPECTIVES

R&D en Electronique (*LAPP, LPNHE, U.Barcelone*)

1) *Traitement signal sur détecteur*



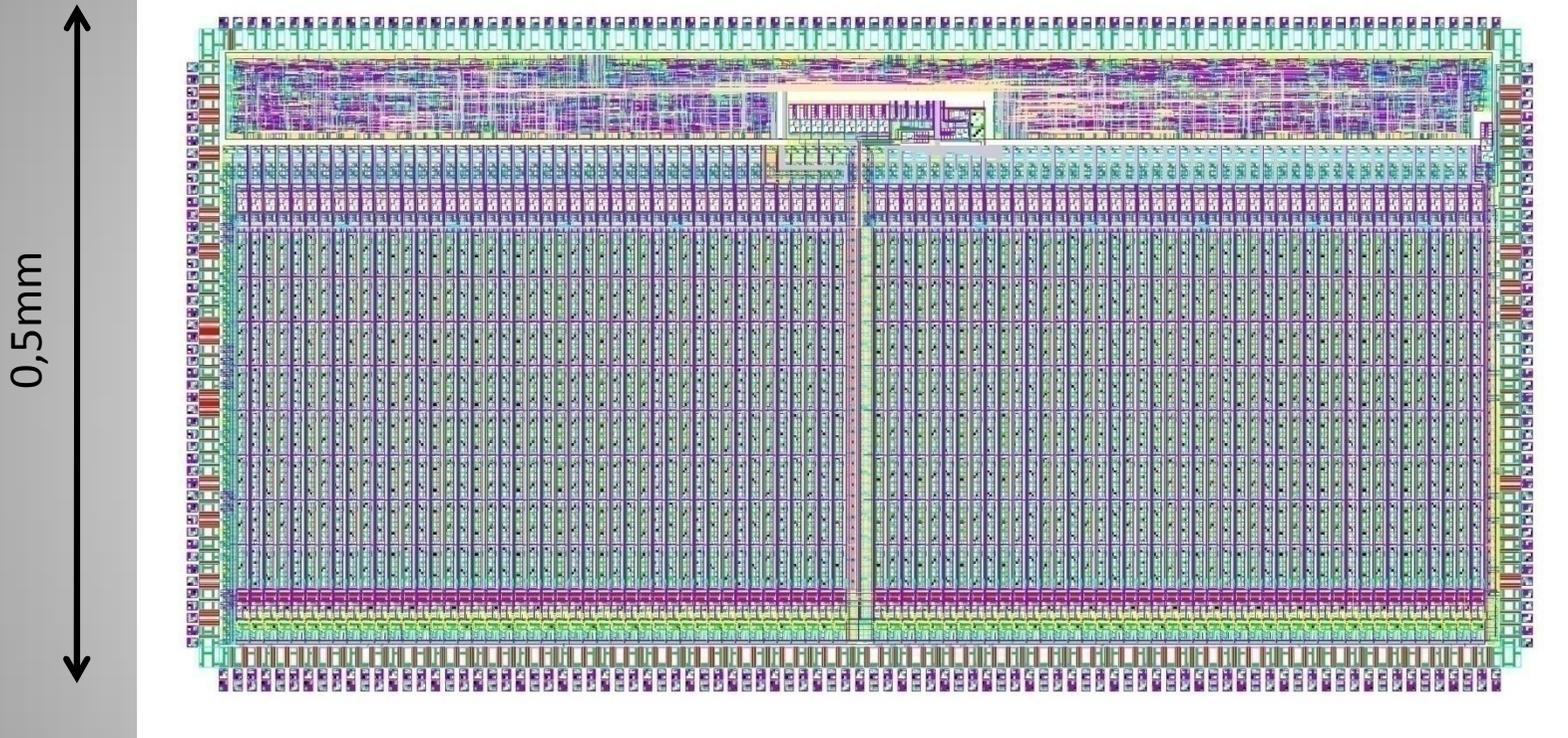
Goal: Full readout chain integration in a single chip, 512 or 1024 ch in 90nmCMOS

- Preamp-shaper
- Sparsification Trigger decision on analogue sums (3 or 5 adjacent channels)
- Sampling 8-deep sampling analogue pipe-line (pulseheight reconstruction)
- Analogue event buffering: Occupancy: 8 deep event buffer
- On-chip digitization 12-bit ADC (highly multiplexed)
- Buffering and pre-processing: Centroids, χ^2 fits, lossless compression & error codes
- Calibration and calibration management
- Power switching (ILC duty cycle)
- Digital control: operation fully programmable (all settings of chip operations), fault tolerance, robustness, reliability, flexibility.

R&D en Electronique (U.B. LPNHE, IMEC)

PIECE de BASE et CRUCIALE du DAQ du trajectomètre Silicium: tout (ou presque) en un!!

91 I/O digital (power supplies, clock, tests, serial I/O)
1 mm

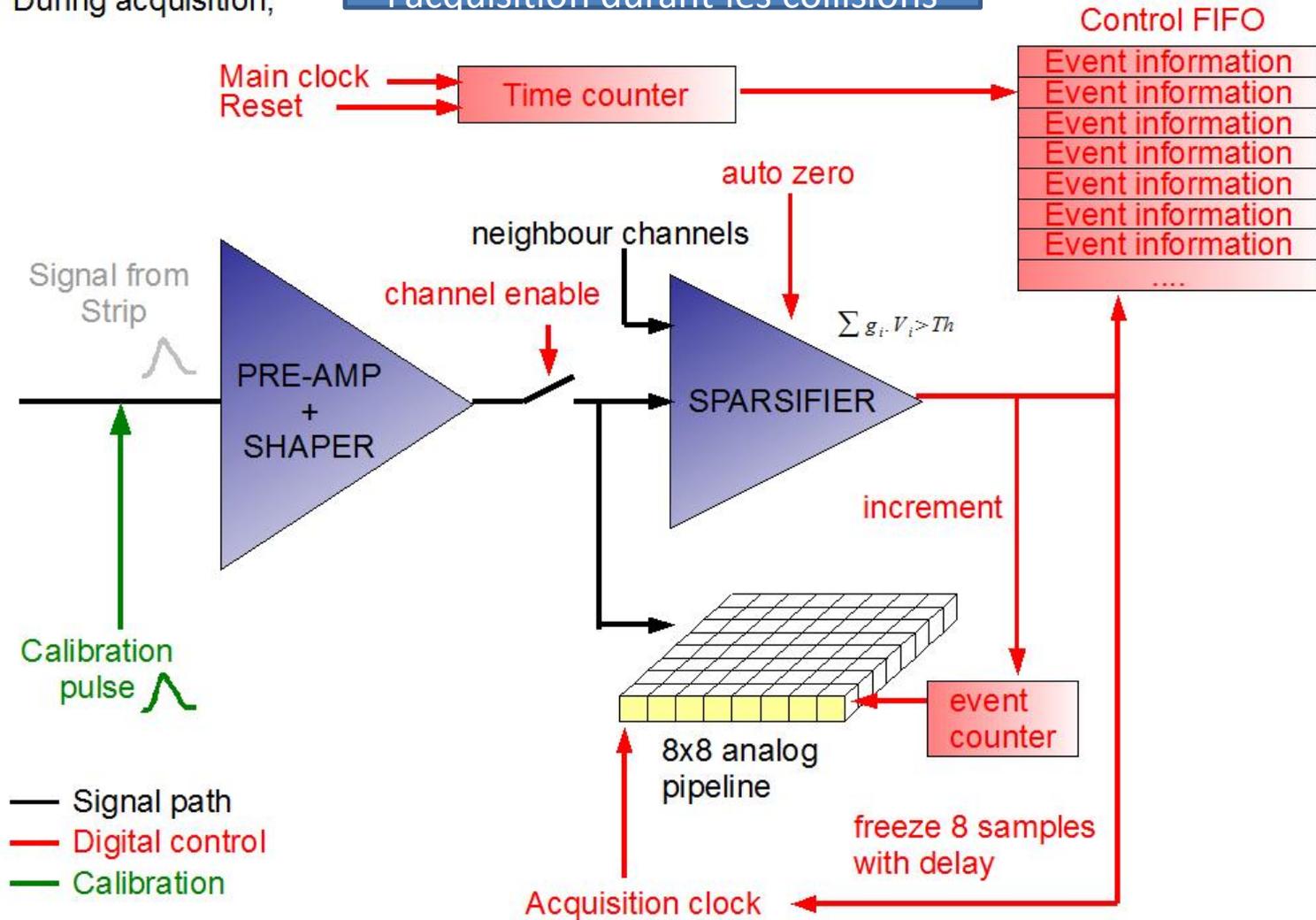


88 strip inputs +2 power supplies + one ground

Première réalisation de l'ensemble des fonctionnalités précédemment citées sur 88 voies en CMOS UMC 130 nm (2 blocs en multiprojet de 0,5mm x 0,5mm; Vient juste de partir en fonderie.

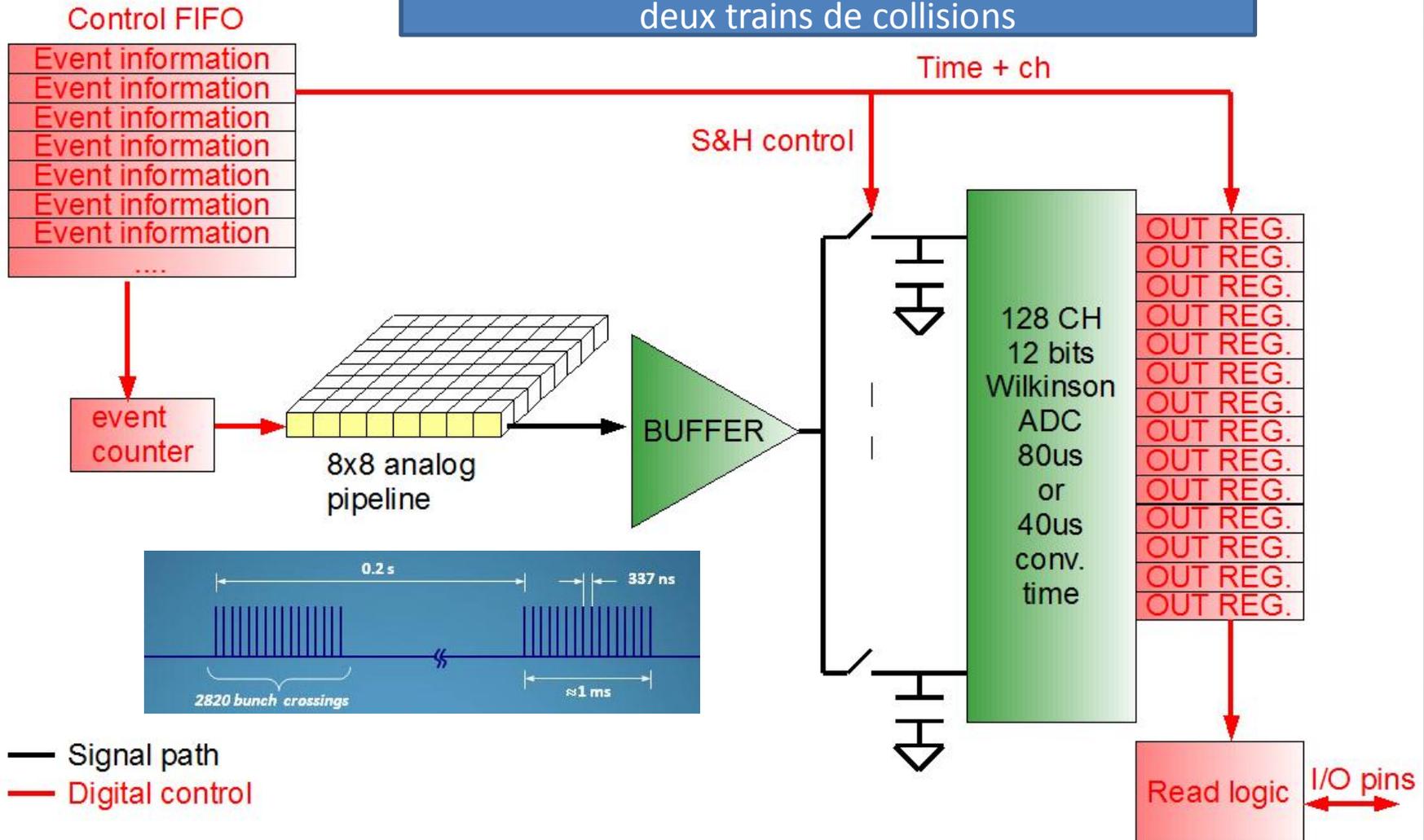
Quelques mots sur la gestion de l'acquisition durant les collisions

During acquisition;



During IDLE time;

Quelques mots sur la gestion de l'acquisition entre deux trains de collisions



What's next...

1) Préparation des tests du nouveau SiTR_130-88

En cours:

- Nouvelle carte hybride pour 4 x SiTR_130-88
Total 352 voies/carte
- Nouvelle carte FPGA-USB pour SiTR_130-88
Cette carte peut lire 2 cartes hybrides pour VA1' (ref) et 3 cartes SiTR_130-88
- Développement du nouveau soft DAQ (linux + ROOT) +
gestion VHDL du FPGA
Tout devrait être prêt pour Septembre/Octobre

2) Caractérisation en fonctionnalité du SiTR_130-88:

dès réception (2eme moitié de Septembre)

3) Etudes des performances avec détecteur:

- Sur banc de test puis faisceau dédié à DESY (1er trimestre 2009)

SiTR_130-88: what's next... (suite)

4) Design de la nouvelle version: Mini série (EUDET)

- Multiplexage 256:1***
- Mini wafer production***
- Technologie: à l'étude avec SiLC et autres
et quelques autres possible aspects***

***Le SiTR_130-88 nous a permis d'acquérir une expérience
uniquaue tant sur l'analogique que sur le numérique***

***Et ce malgré les difficultés dûes au départ d'un IR en charge de
ce chip au début du design du SiTR_130-88***

L'électronique au delà du FE chip: les préliminaires...

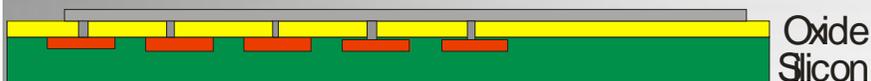
Connexion et câblage



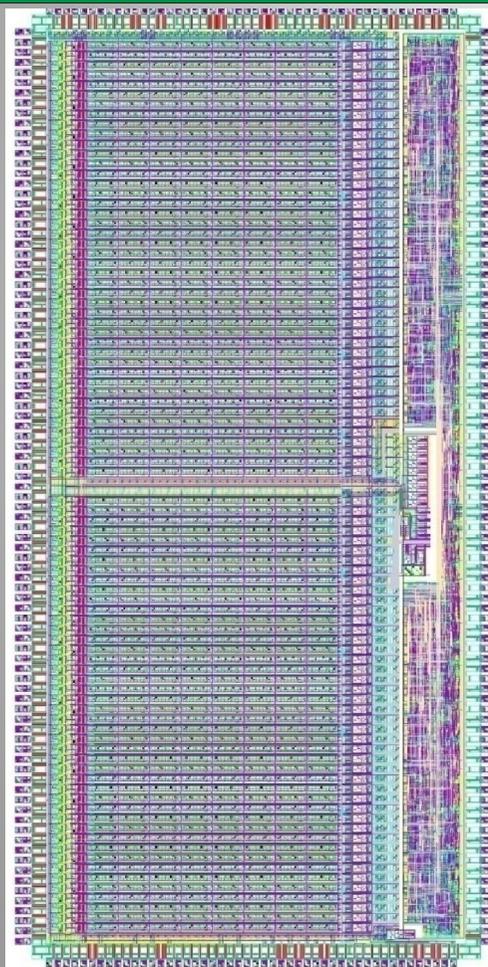
BUT: développer une nouvelle technique de routage et connectivité directe du chip FE sur les micropistes (idem aux pixels); Premier essai avec ASIC SiTR_130-88 et détecteurs HPK (NdA + MTA)

Va (DC coupling)

AL routing & pad area



COLLABORATION HPK/LPNHE-IN2P3



Diminution % X_0 : PAS d'hybride ni de pitch adapter 1^{er} approche (2008-2009):

Chip directement connecté sur les pistes par soudure de microbilles (bump bonding)

HPK: détecteur + micro-soudure du chip

IN2P3: chip 88 voies, envoi de l'empreinte (now!)

Envoi de quelques chips dès réception (mi Septembre)

tests des performances en comparant: nouvelle connexion/hybride

Démonstrateur: fin 2008, production 2009

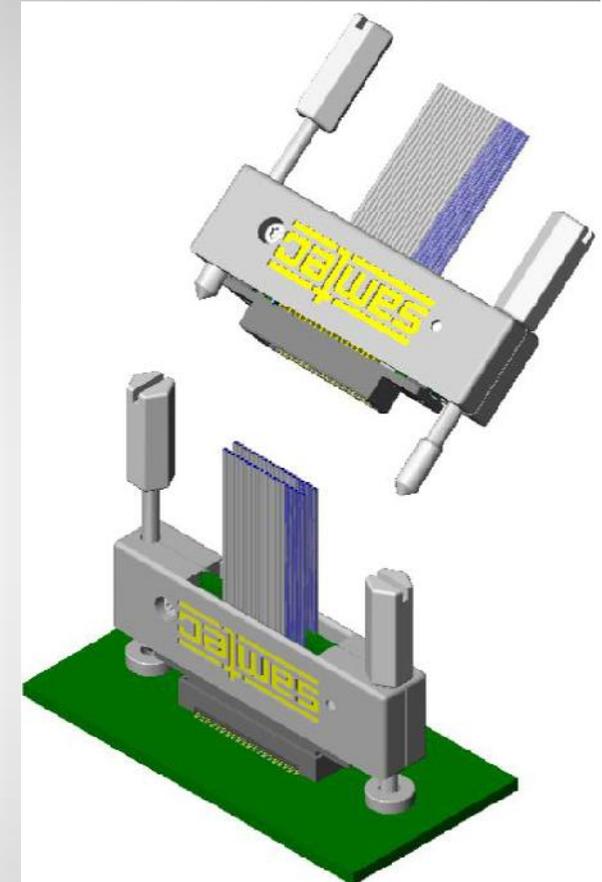
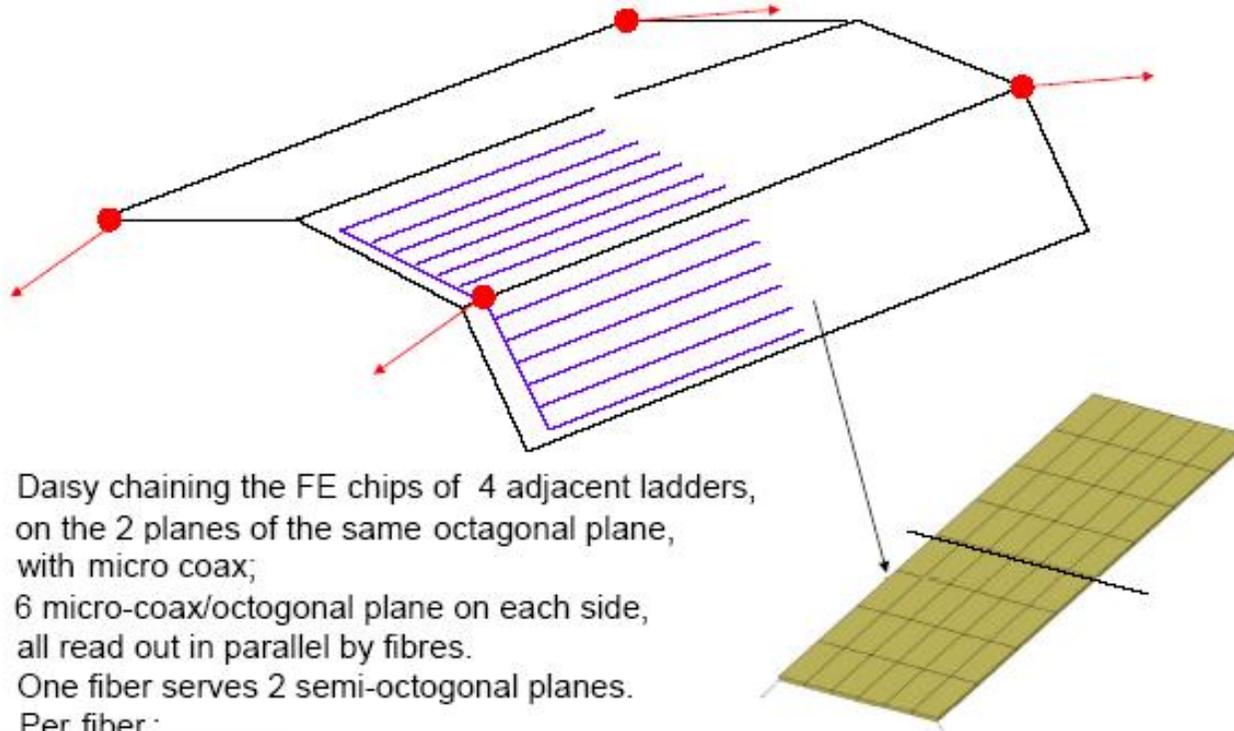
Détecteur avec chip monte au prix d'un détecteur.

Futur: interconnexion 3D chip/ μ strips (rejoint effort conjoint FNAL-IN2P3)

30/06/2008 **Chip 88 voies**

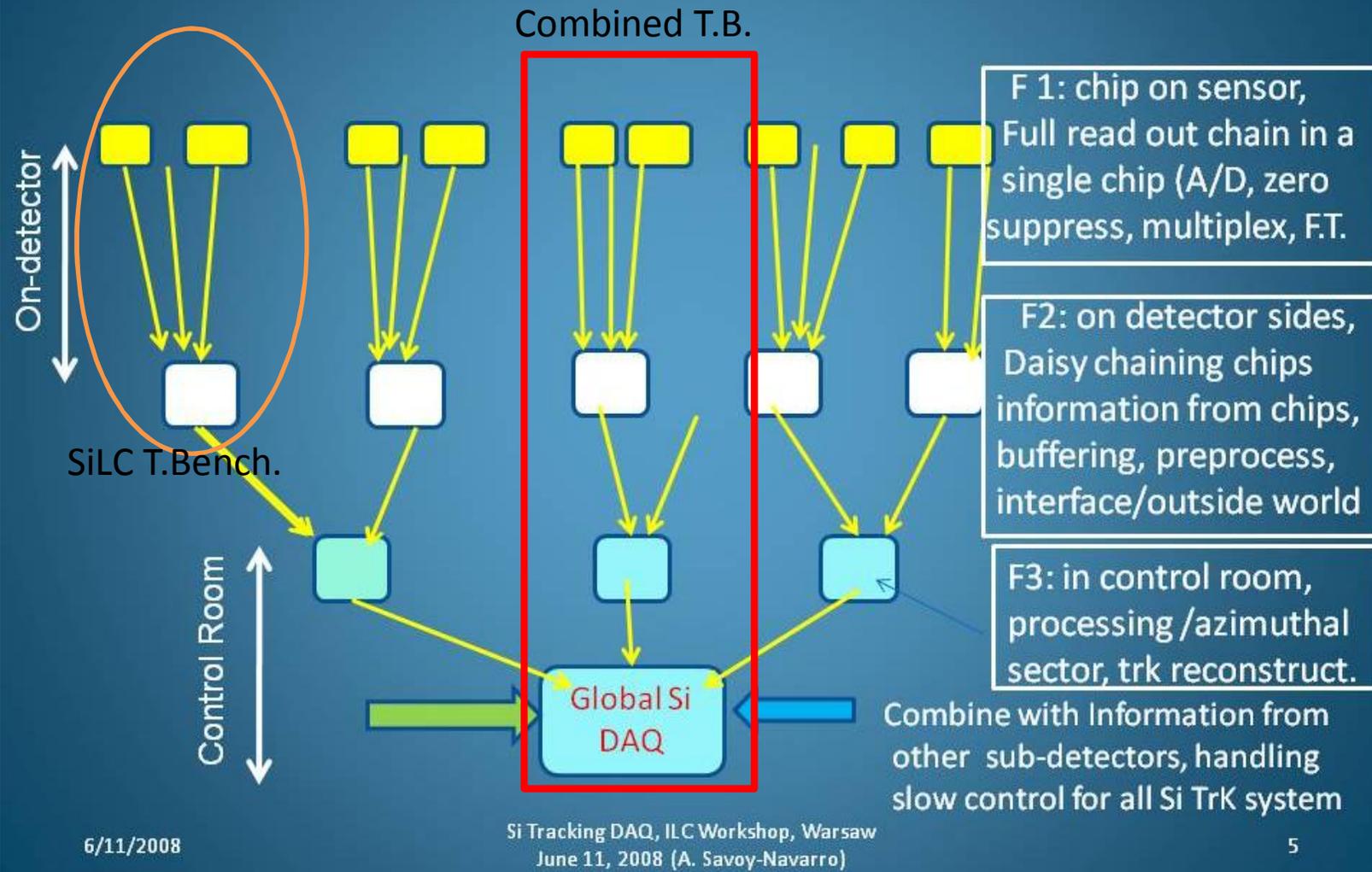
Connexion et câblage (suite)

Exemple câblage sur couche Silicon externe (SET)



Le LPNHE commence à rechercher les solutions de câblage kapton et micro-coaxes câblage sur le détecteur (daisy chaining)

Si Tracking DAQ architecture into 3 floors



Les bancs de test au Labo et en faisceau (seuls et combines avec d'autres detecteurs) sont essentiels pour developper les differentes parties du DAQ



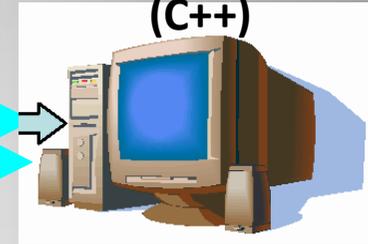
PC linux
(Labview) for
slow control

DAQ

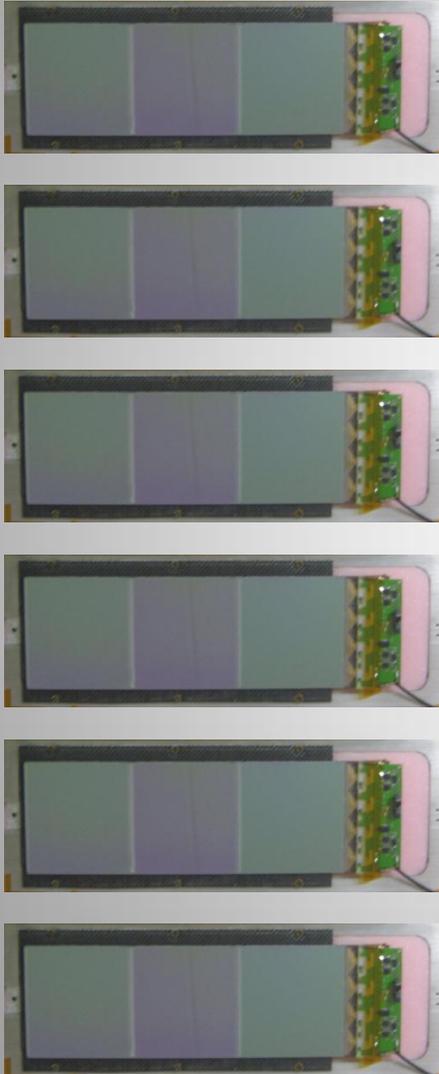
USB Connexion

Next step: Ethernet connexion

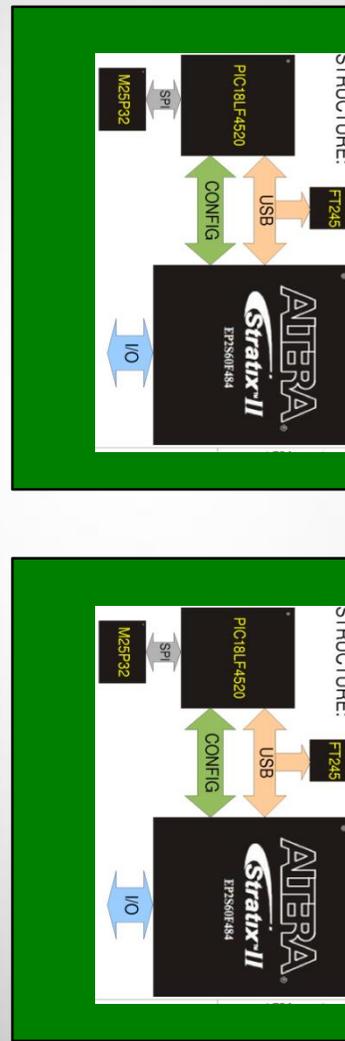
PC linux for acquisition
(C++)



VA1 / SiTr130-88

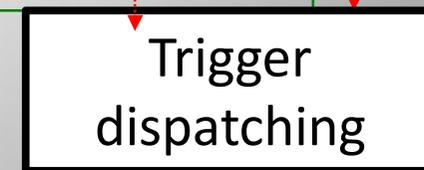


Mother board FPGA/USB



trigger

VETO



SYNOPSIS

- AVANCEES depuis le dernier ILC France (Juin 2007)
 - Collaboration SiLC
 - R&D sur les détecteurs Silicium
 - R&D en électronique
 - R&D en mécanique
 - ➔ Bancs de tests et tests en faisceaux
- CONTRIBUTION aux LOIs:
 - Simulations et optimisations
 - Intégration
- DEMANDES pour 2009
- PERSPECTIVES

Nouvelle salle de test avec banc de test au LPNHE



(Ambiance salle presque propre)

*Amenagement poursuivie pour
caracterisation nouveaux
detecteurs*

Cage de Faraday avec

– Table 3D equipee de:

- Laser IR
- Source radioactive

– PM + Scintillateur

• PC avec LabView pilotage:

- Polarisation
- Laser pulse height
- Motorisation table 3D
- ADC pour le VA1



SiLC Test Beam au CERN combine avec telescope EUDET (MAPS), Octobre 2007



30/06/2008

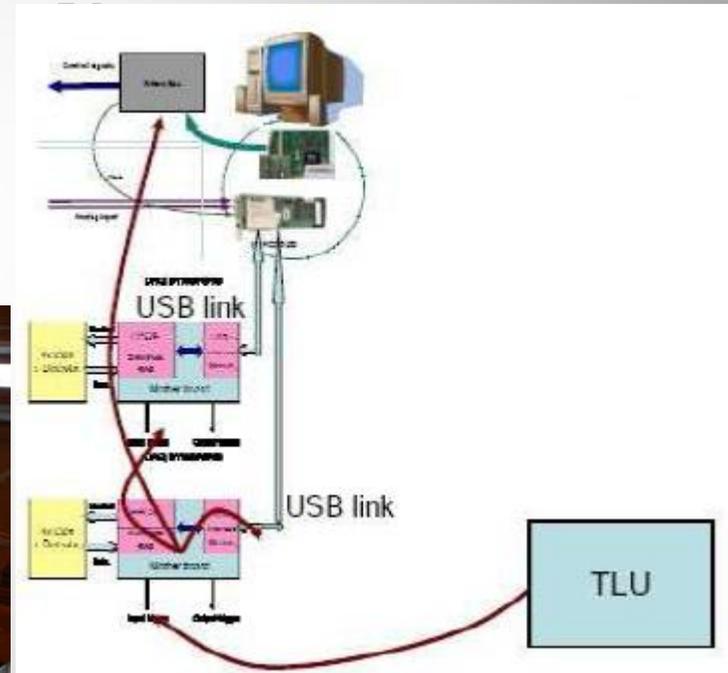
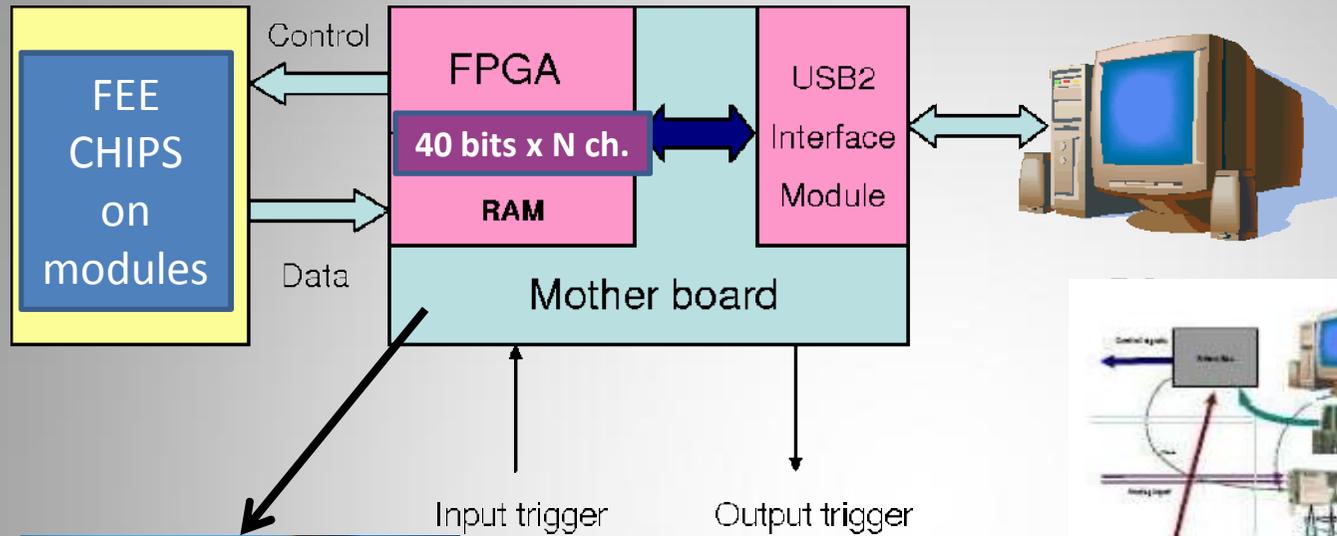
Trajectometre au Silicium, Collaboration SiLC

23

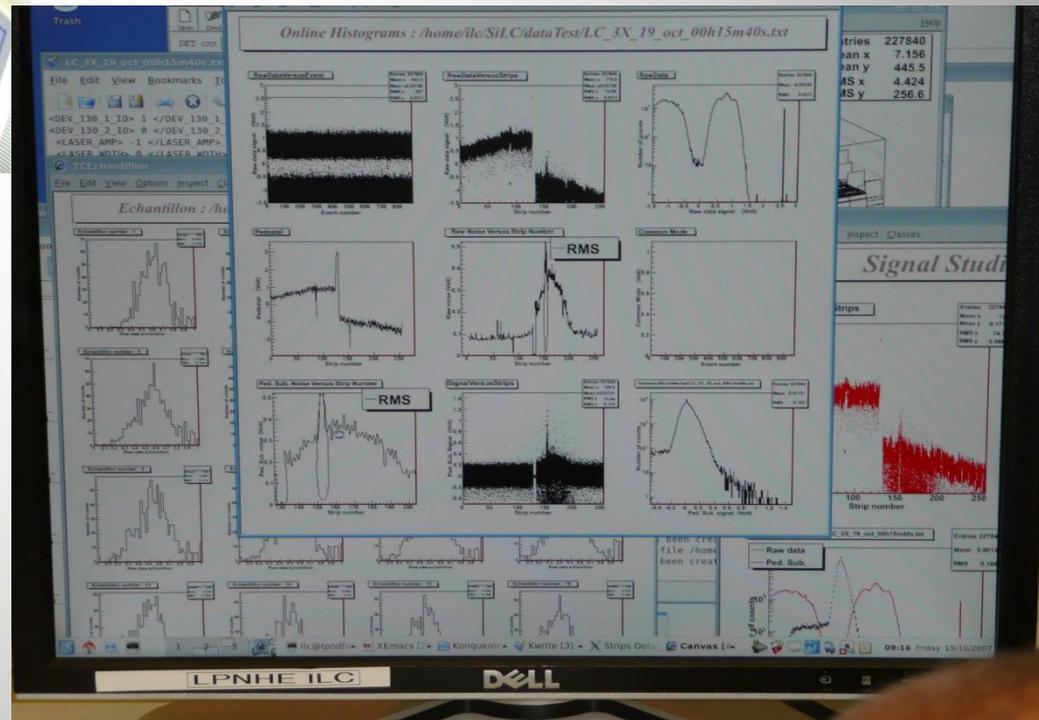
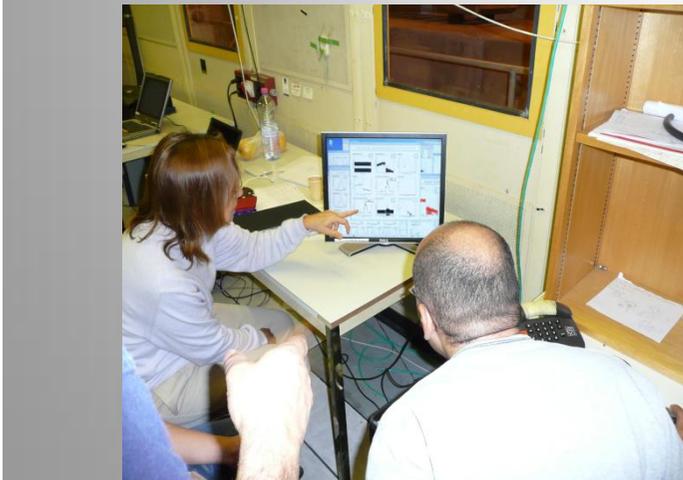


First DAQ prototypes: test beam DAQ set-ups

(within also EUDET framework)



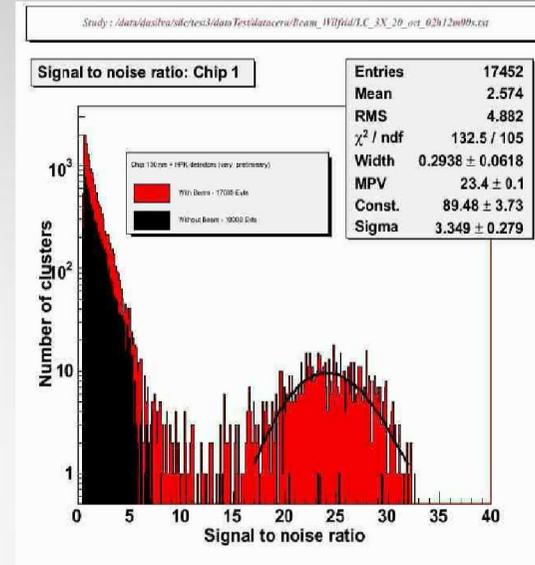
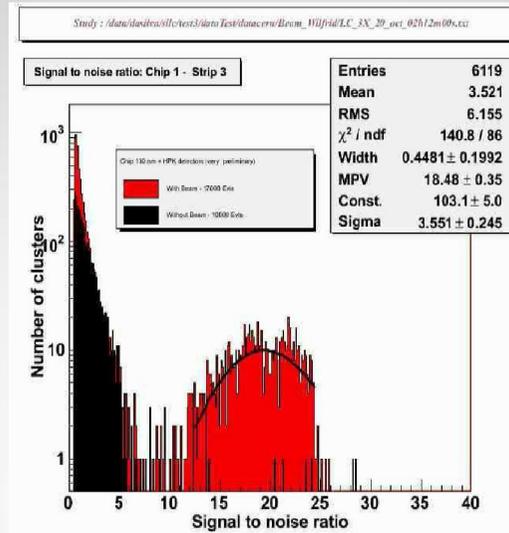
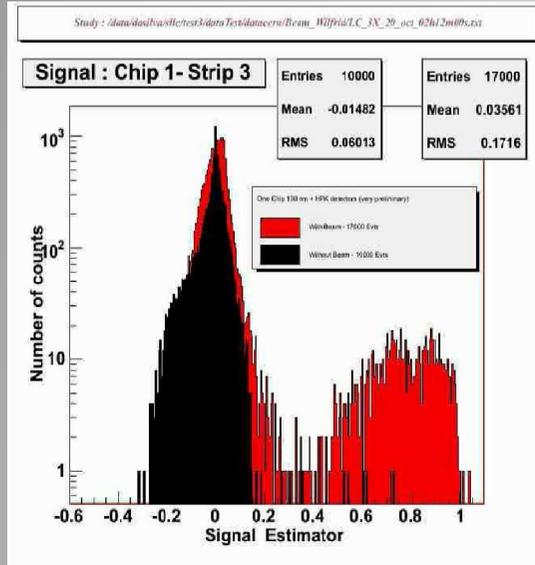
Prise de donnees au test beam au CERN



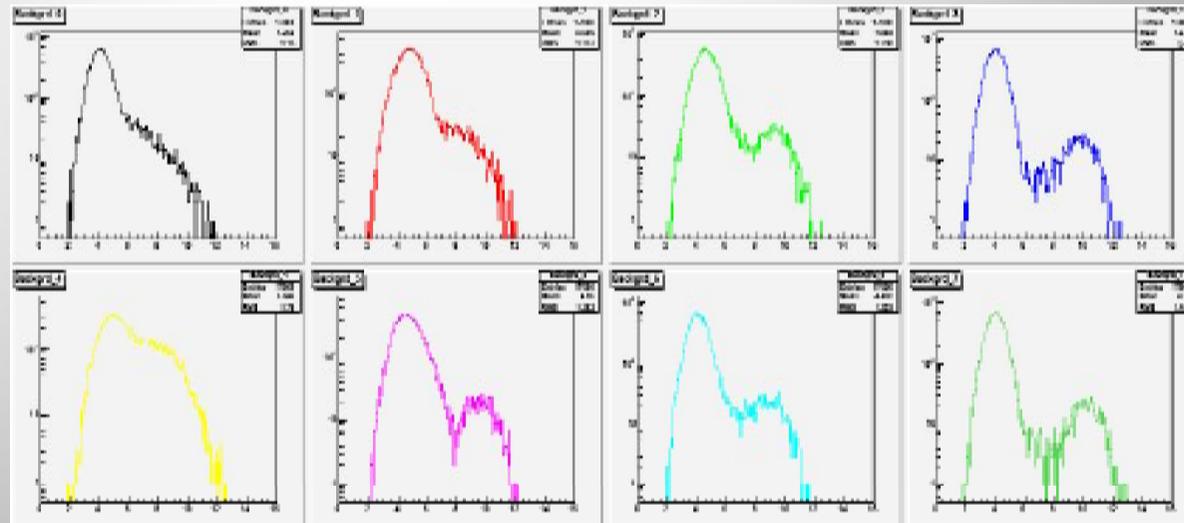
Trajectometre au Silicium, Collaboration SiLC

Test beam : Results

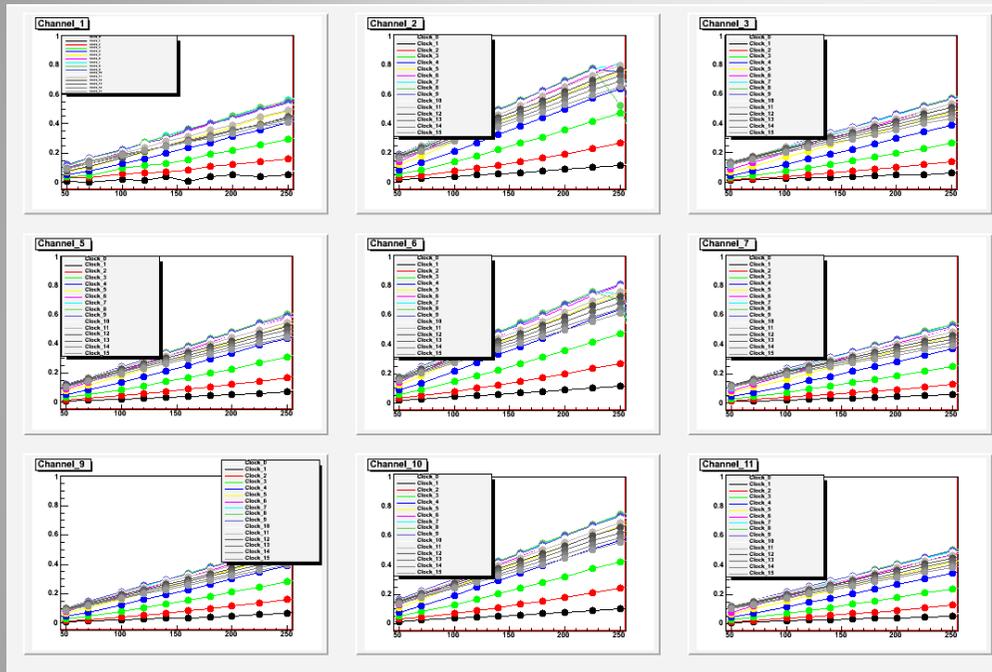
Black – No beam, red beam on, S/N ratio 18-24



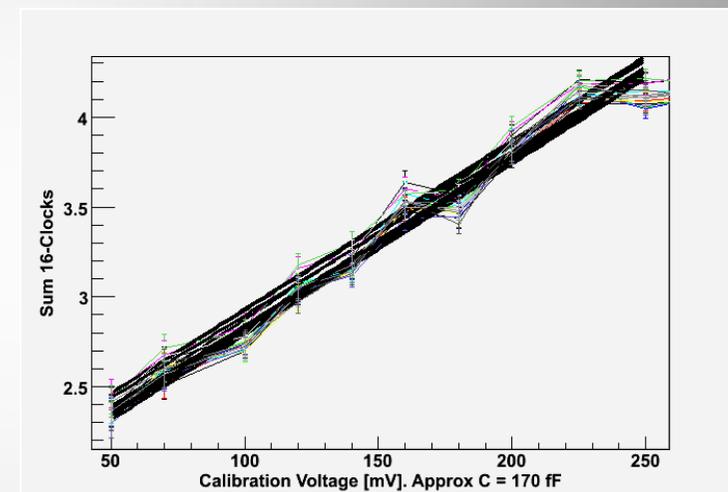
Strip length 18.5 cm

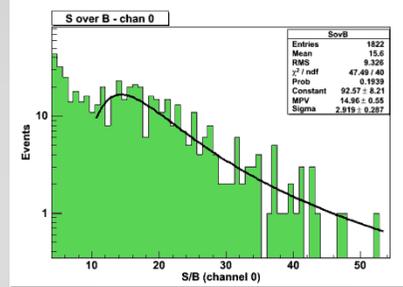
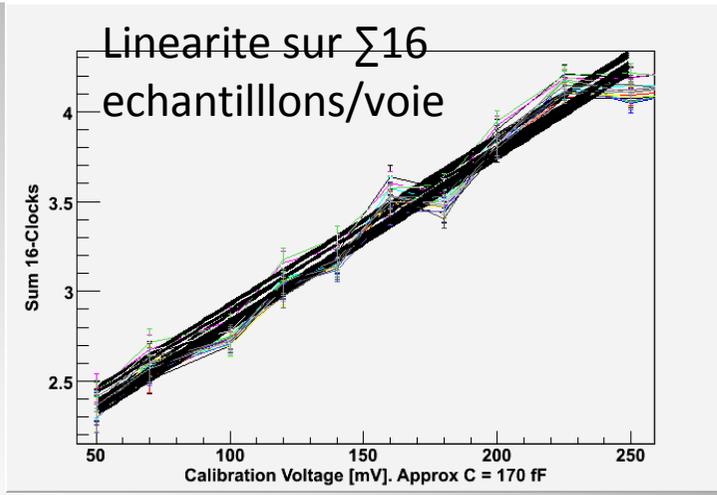
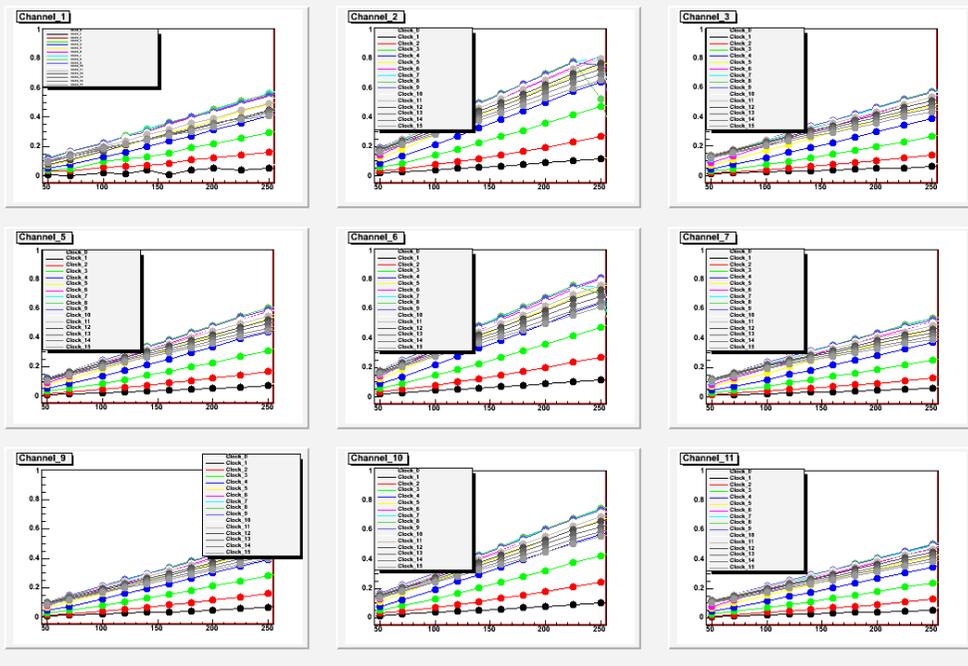


Etude extensive des performances du SiTR_130-v1 sur banc de test + Sr90

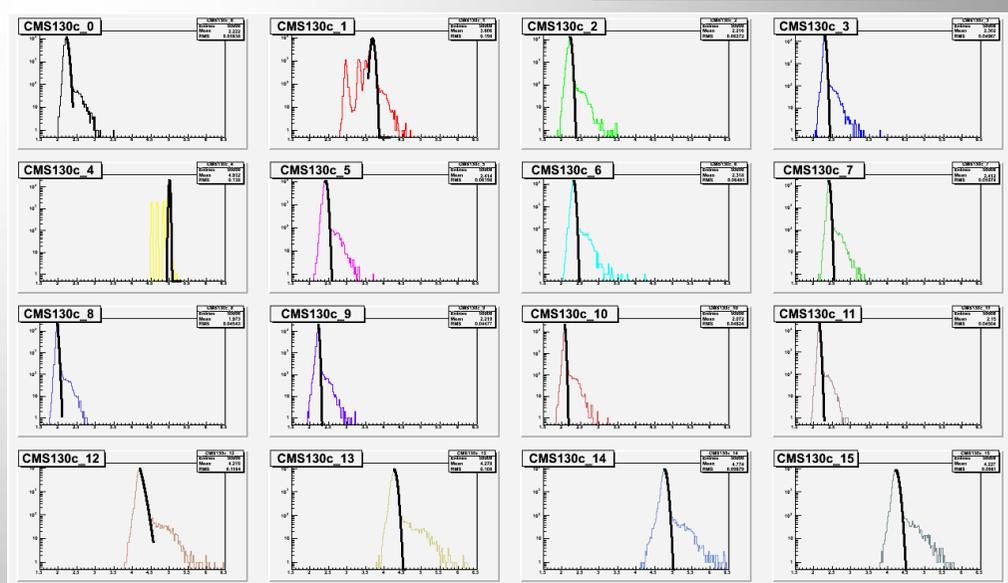
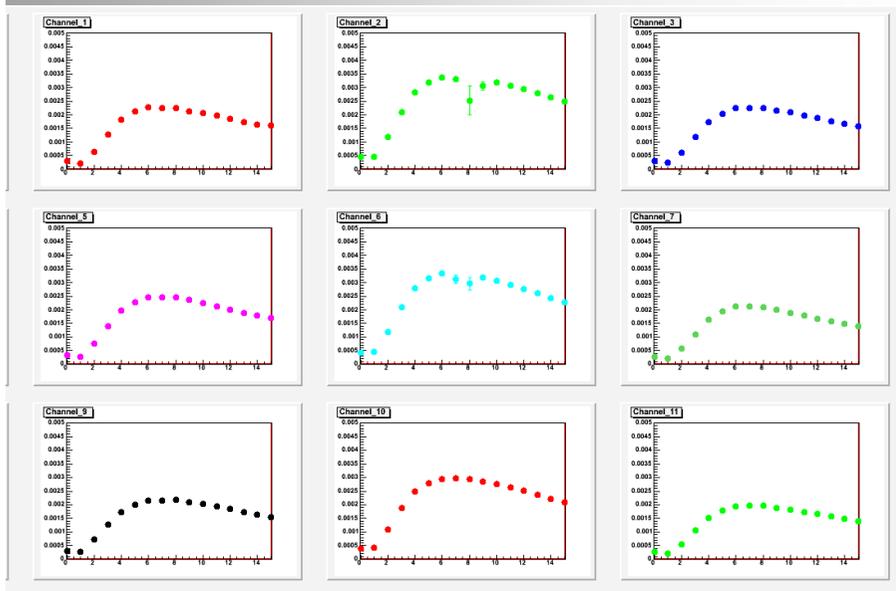


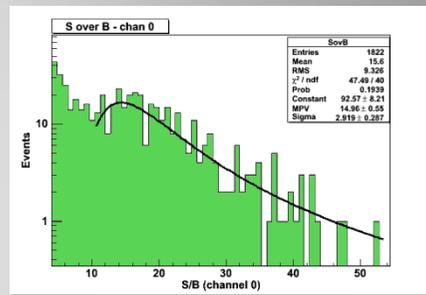
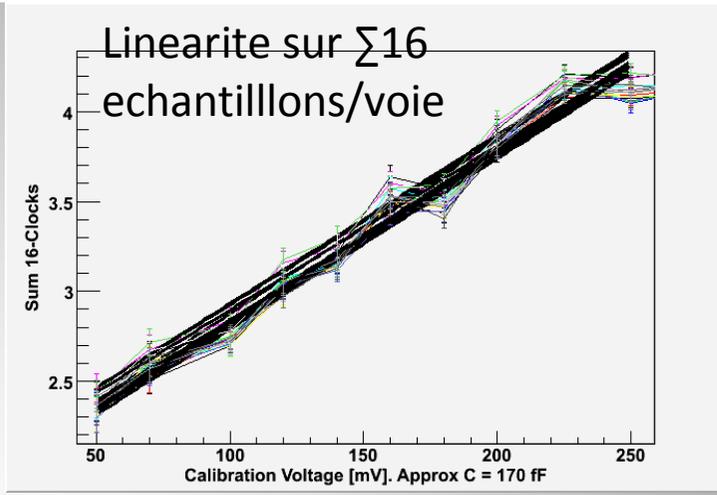
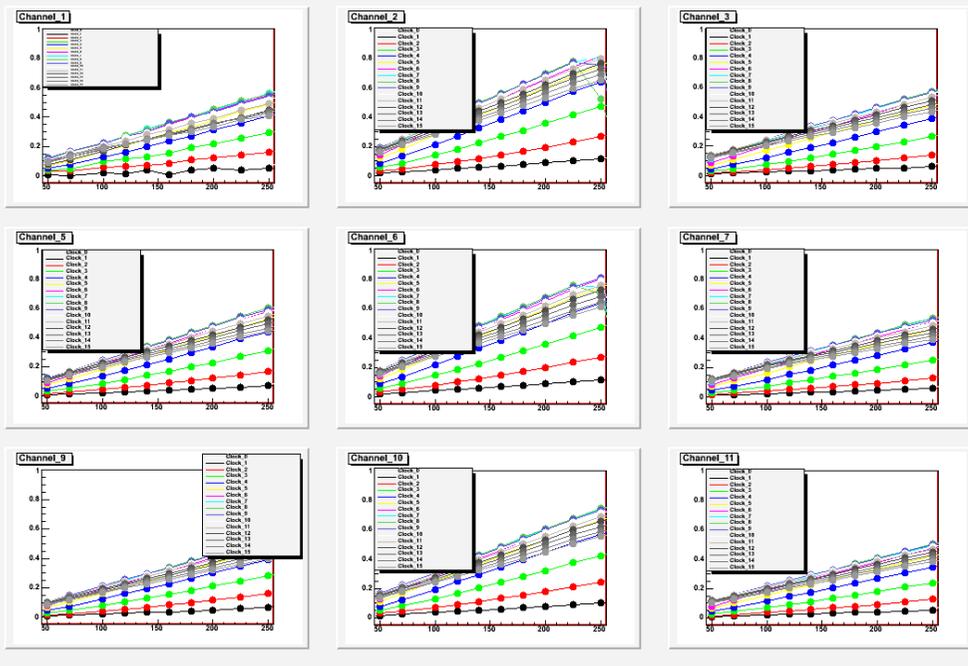
Linearite sur $\Sigma 16$ echantillons/voie



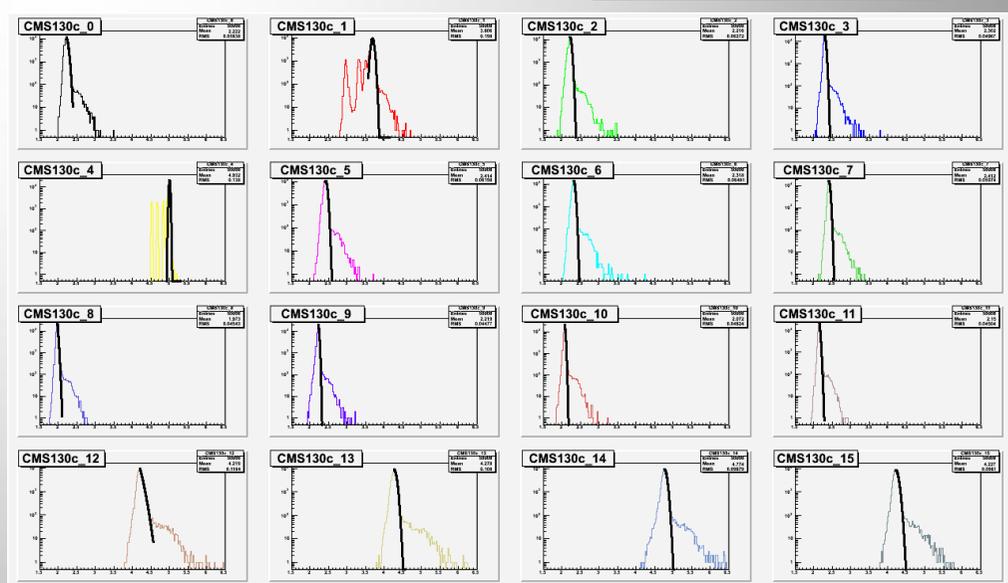
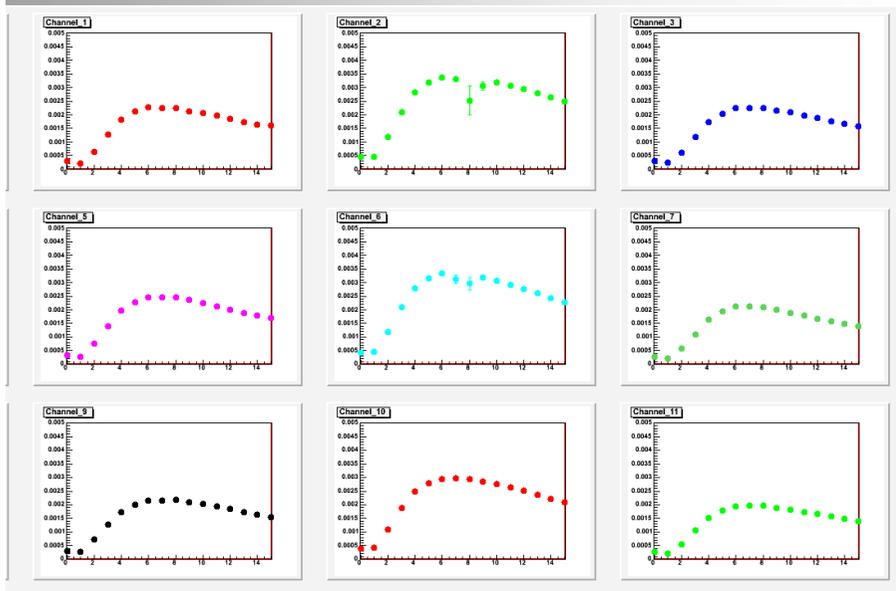


Etudes du HPK-4SiTR_130-v1 (16 voies en tout) sur banc de test au Labo





Etudes du HPK-4SiTR_130-v1 (16 voies en tout) sur banc de test au Labo



SYNOPSIS

- AVANCEES depuis le dernier ILC France (Juin 2007)
 - Collaboration SiLC
 - R&D sur les détecteurs Silicium
 - R&D en électronique
 - R&D en mécanique
 - Bancs de tests et tests en faisceaux
- CONTRIBUTION aux LOIs:
 - Simulations et optimisations
 - Intégration
- DEMANDES pour 2009
- PERSPECTIVES

OPTIMISATION, INTEGRATION
et
SIMULATION: “TASK FORCE”

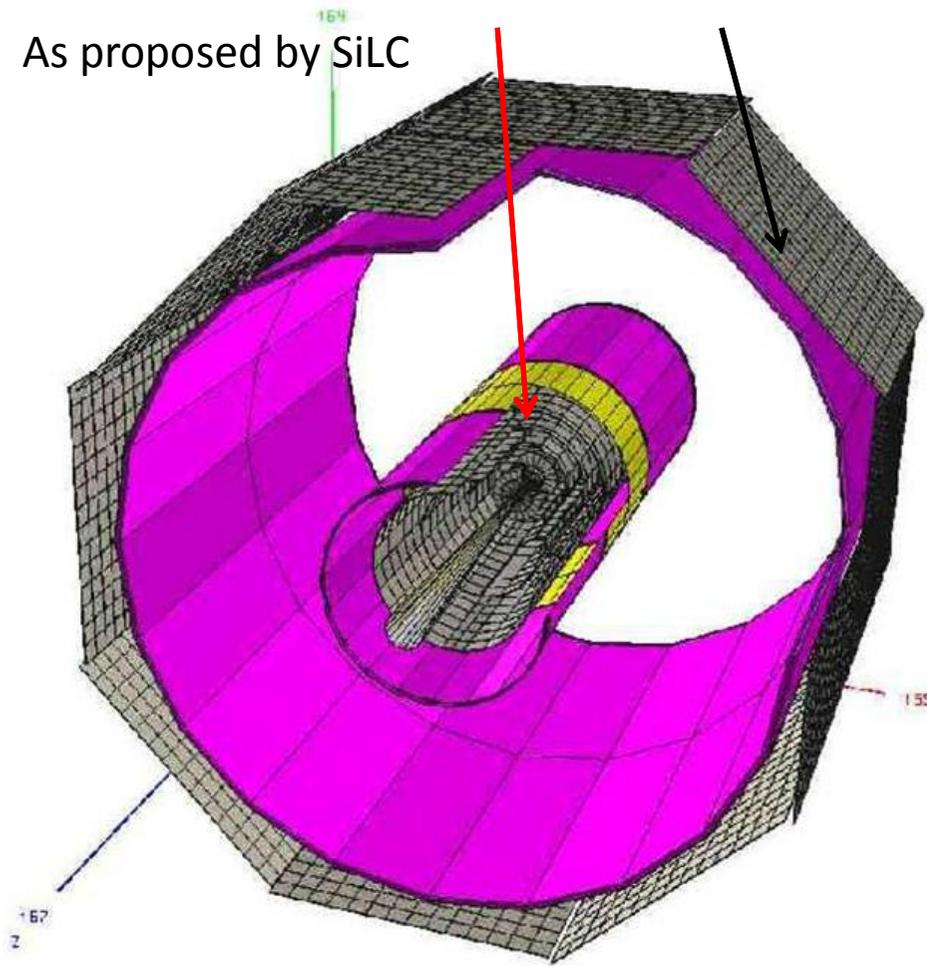
Premiers objectives: Les LOI's ILD

Au LPNHE: travail d'Alexandre Charpy
en collaboration avec ILCRoot group
et MOKKA (F. Gaede et V. Saveliev).

ILD Silicon tracking: Set-up

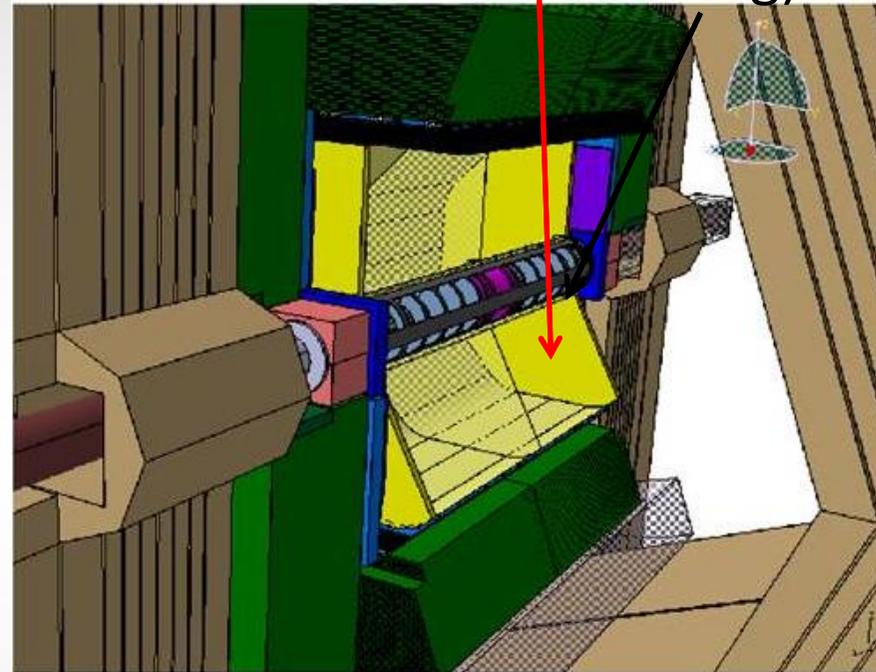
Barrel: SIT and SET

As proposed by SiLC



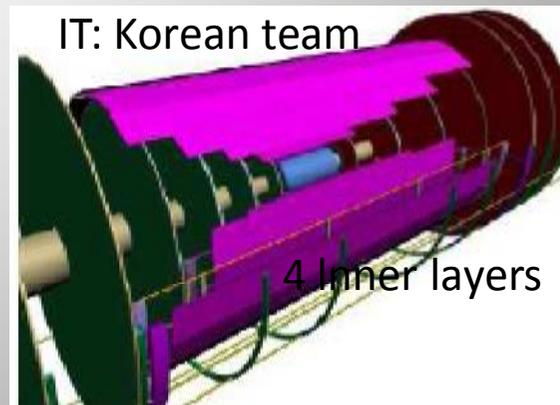
Simulation ILCRoot (A. Charpy)

End Caps: FTD and ETD (to be added on mechanical drawing)



Mechanical CAD: Anduze+Jorre

IT: Korean team



4 Inner layers

All Silicon tracking have been included in the MOKKA framework

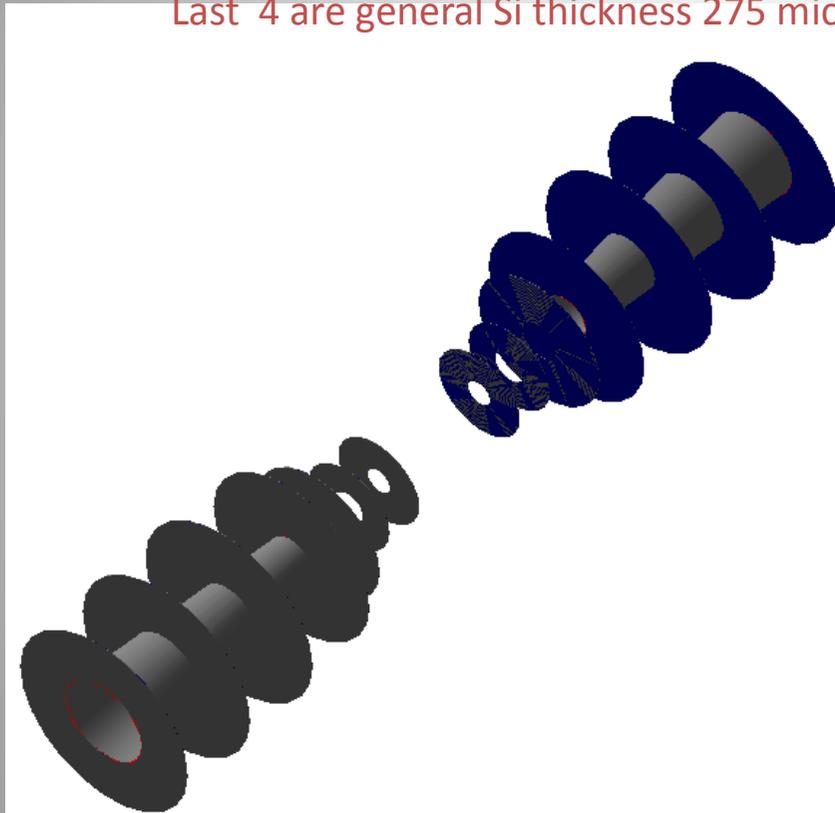
V. Saveliev (PICS) OSU-LPNHE

Optimization: FTD Geometry

FTD: 7 Disks

First 3 pixel technology Si thickness 50 microns + Carbon Fiber support thickness 1 mm ,

Last 4 are general Si thickness 275 microns + Carbon Fiber Support 1 mm



Database ftd04 - table disk

Showing records 0 - 7 (7 total)

Show : 30 rows starting from 0 Full Texts

disk_number	z_position	inner_radiou	outer_radiou
1	220	29	140
2	350	32	140
3	500	35	210
4	850	51	270
5	1200	72	290
6	1550	93	290
7	1900	113	290

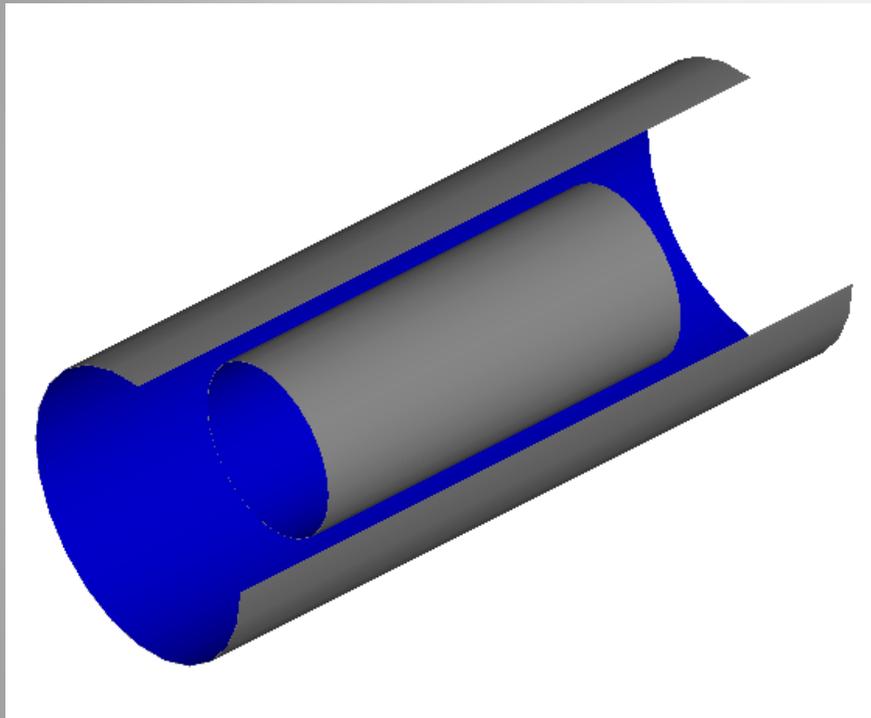
Show : 30 rows starting from 0 Full Texts

[Insert new row](#)

id	Si_thickness	Si_thickness_2	inner_support_thickness	inner_support_length	outer_support_thickness	outer_support_length	outer_cylinder_total_thickness	cables_thickness
0	0.05	0.275	1	4	2	4	1	0.08

Optimization: SIT Geometry

SIT: 2 barrel detectors Si thickness 275 mk + Carbon Fiber Support - thickness 1mm



Database sit02 - table sit

Showing records 0 - 2 (2 total)

Show : rows starting from

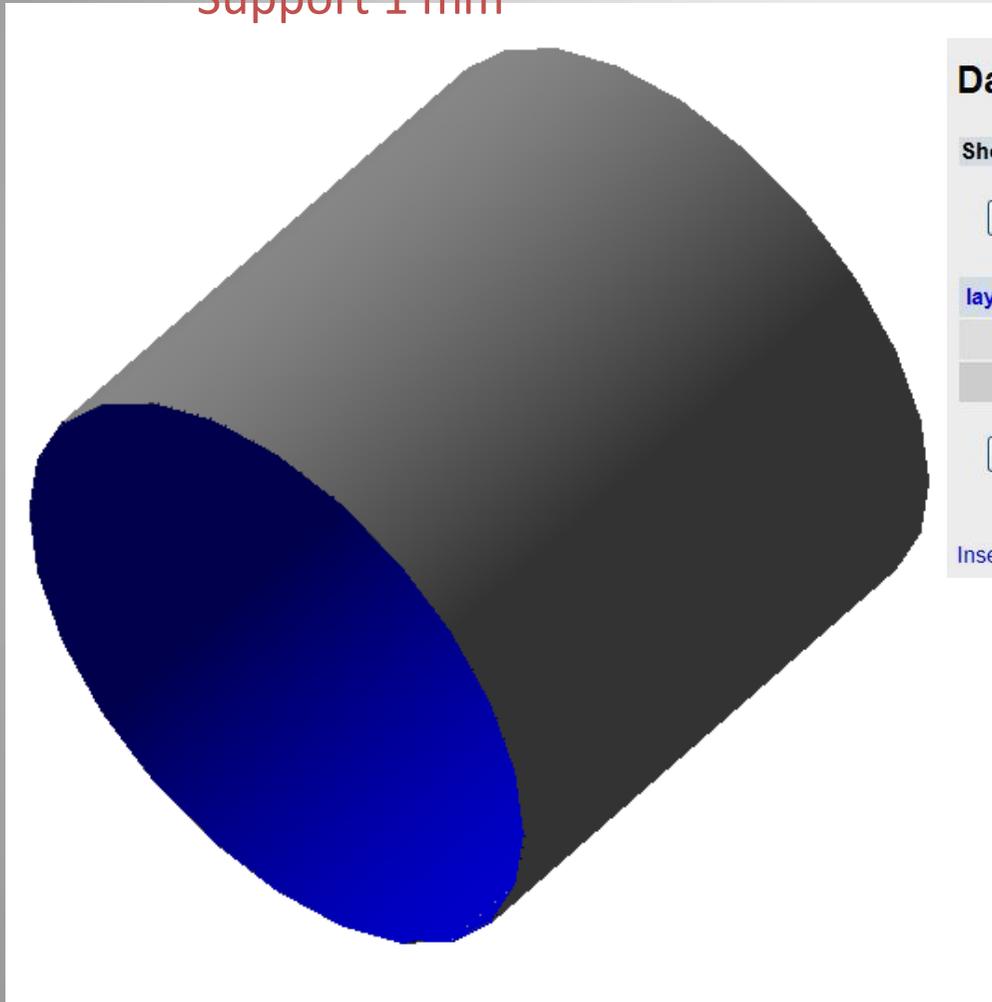
layer_id	inner_radious	half_z	sensitive_thickness	support_thickness
1	160	380	0.275	1
2	270	660	0.275	1

Show : rows starting from

[Insert new row](#)

Optimization: SET Geometry

SET: 2 barrel detectors Si thickness 275 microns + Carbon Fiber Support 1 mm



Database SET01 - table EST

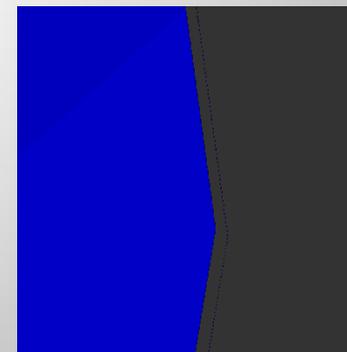
Showing records 0 - 2 (2 total)

Show : rows starting from

layer_id	inner_radious	half_z	sensitive_thickness	support_thickness
1	1592.5	1500	0.275	1
2	1587.5	1500	0.275	1

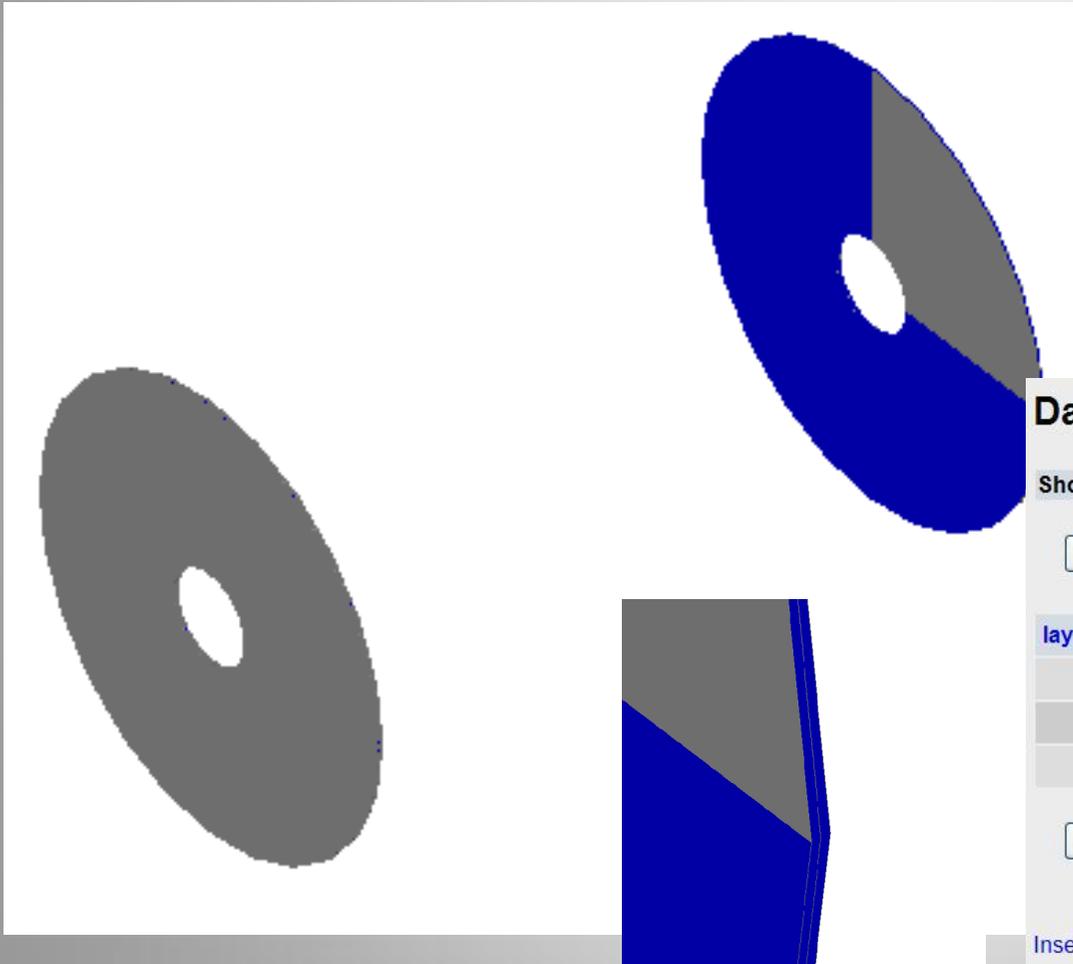
Show : rows starting from

[Insert new row](#)



Optimization: ETD Geometry

ETD: 3 disks, XUV plane, Si thickness 275 microns + Carbon Fibers
Support 1 mm,



Database etd01 - table ETD

Showing records 0 - 3 (3 total)

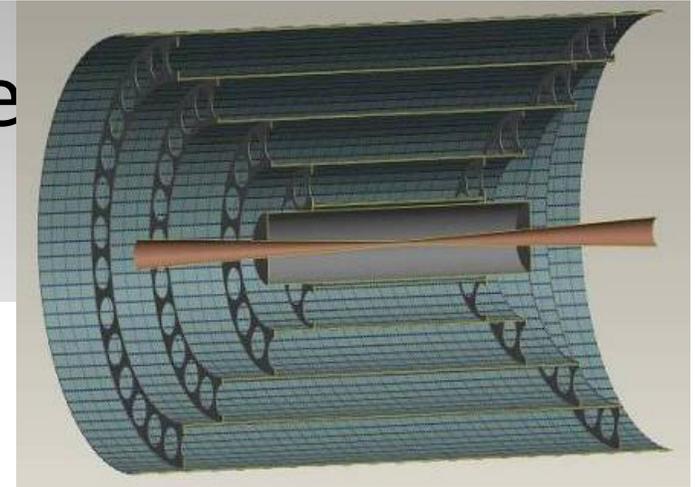
Show : rows starting from

layer_id	inner_radious	half_z	sensitive_thickness	support_thickness
1	305	2368	0.275	1
2	305	2368	0.275	1
3	305	2368	0.275	1

Show : rows starting from

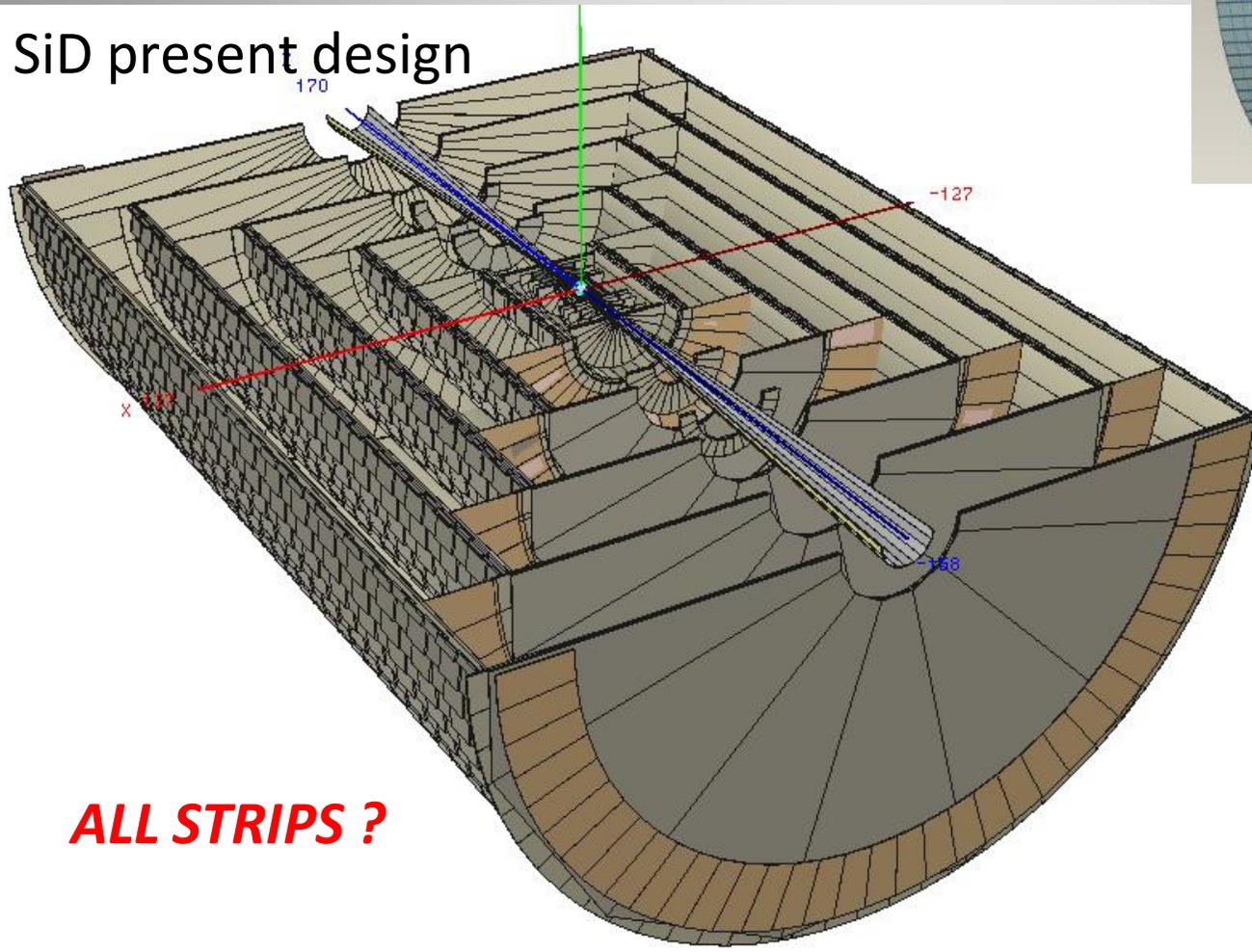
[Insert new row](#)

All Silicon tracking: how do we (ILD) compare with it?



ALL PIXELS ?

SiD present design



ALL STRIPS ?

Simulation & reconstruction with IlcROOT framework

- Introduction of ILD concept in IlcRoot (in collaboration with C. Gatto's team - 4th concept – INFN Lecce)
- IlcRoot: based on ALICE framework
GEANT3/4, FLUKA support
Simulation -> Hits -> Digitization -> Reconstruction (F. Ignatov et al)
- Idea: introduce the MOKKA data base parameters (Collaboration with V. Saveliev)

Database sit02 - table sit

Showing records 0 - 2 (2 total)

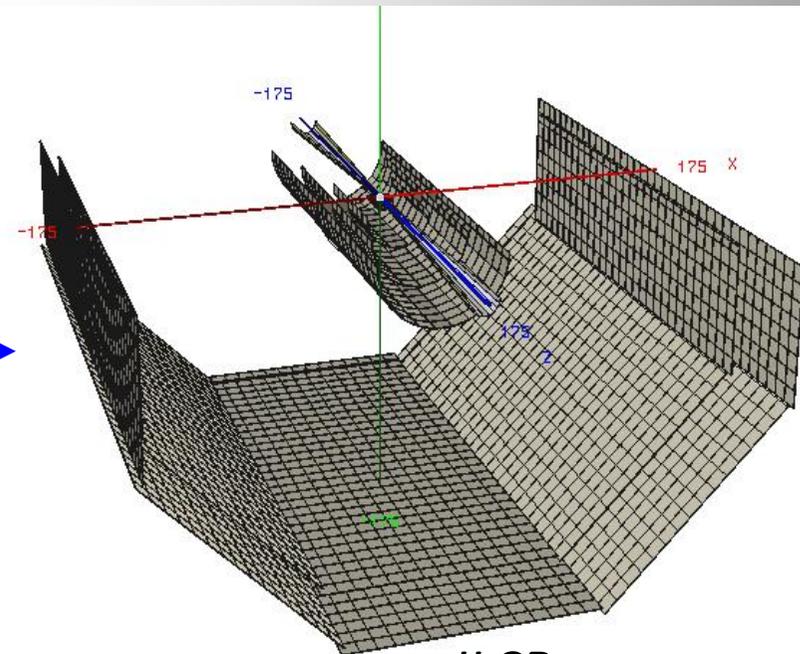
Show : rows starting from

layer_id	inner_radiou	half_z	sensitive_thickness	support_thickness
1	160	380	0.275	1
2	270	660	0.275	1

Show : rows starting from

[Insert new row](#)

MOKKA DB

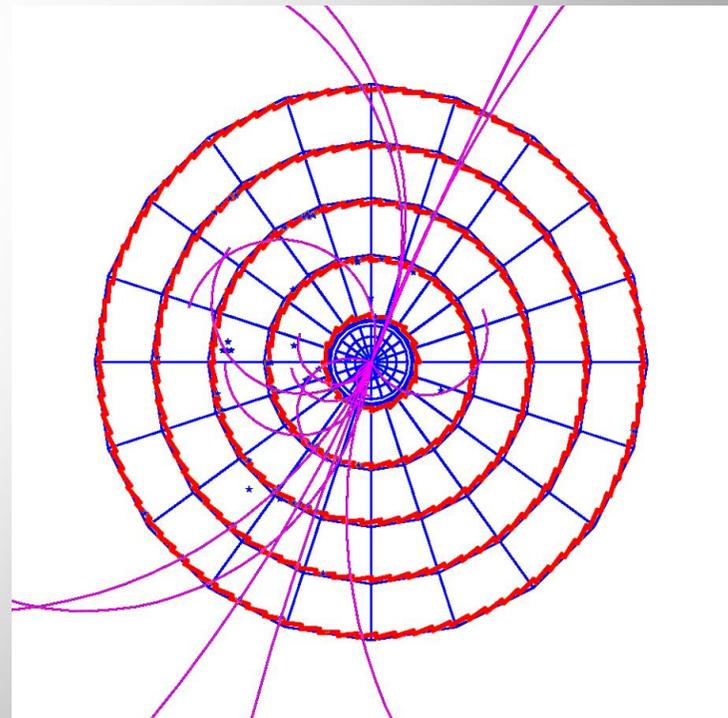
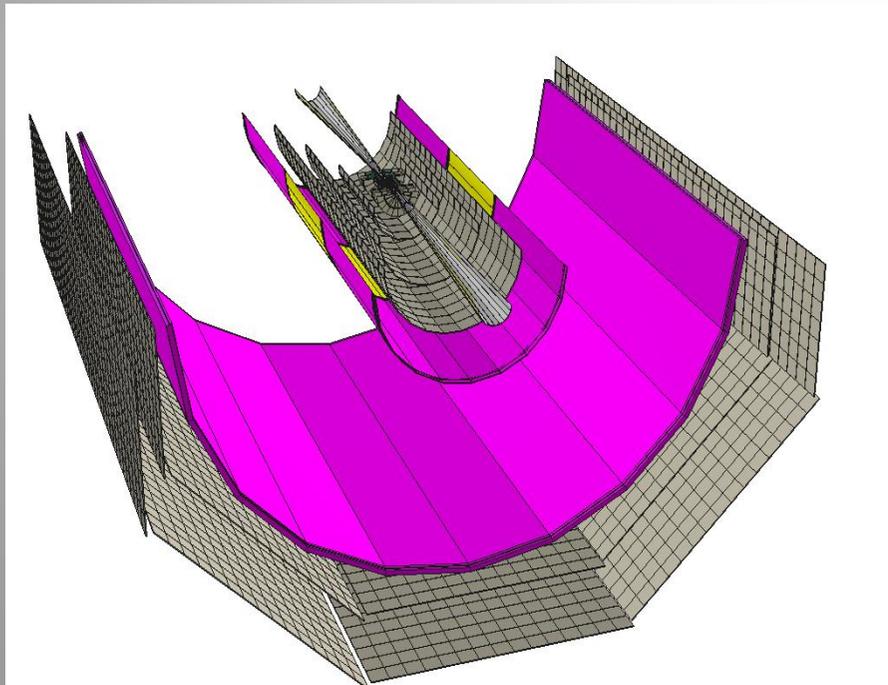


ILCRoot

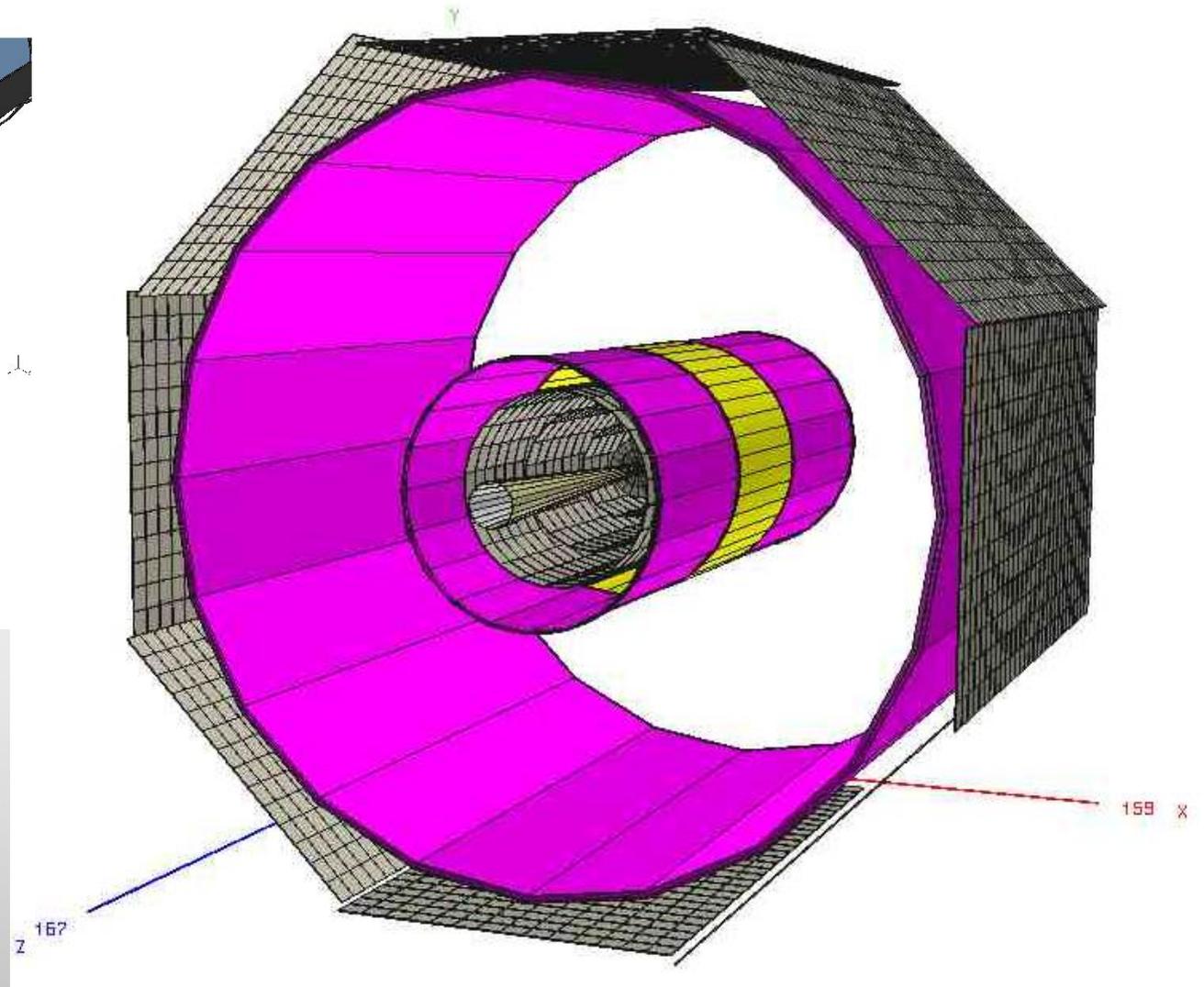
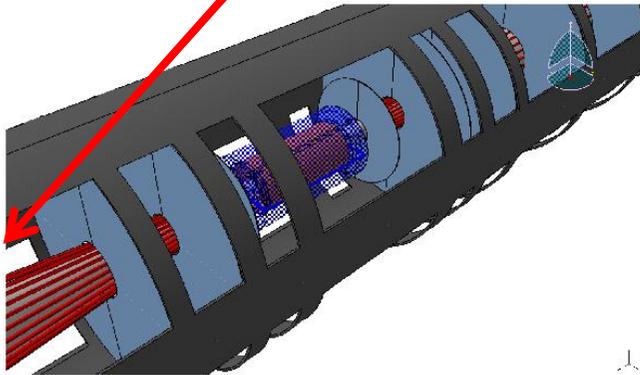
Simulation & reconstruction with IlcROOT framework

Comparison between different configurations:

- Barrel silicon detector / Silicon trackers (SIT+SET) +TPC
- Overlapping/adjacent sensors in central barrel
- Projective/XUV at end caps
- Sensors technologies (pixels, SSD strips, DSSD strips)



Mechanical integration studies: cabling



We are working on both fronts: simulation studies and mechanical integration

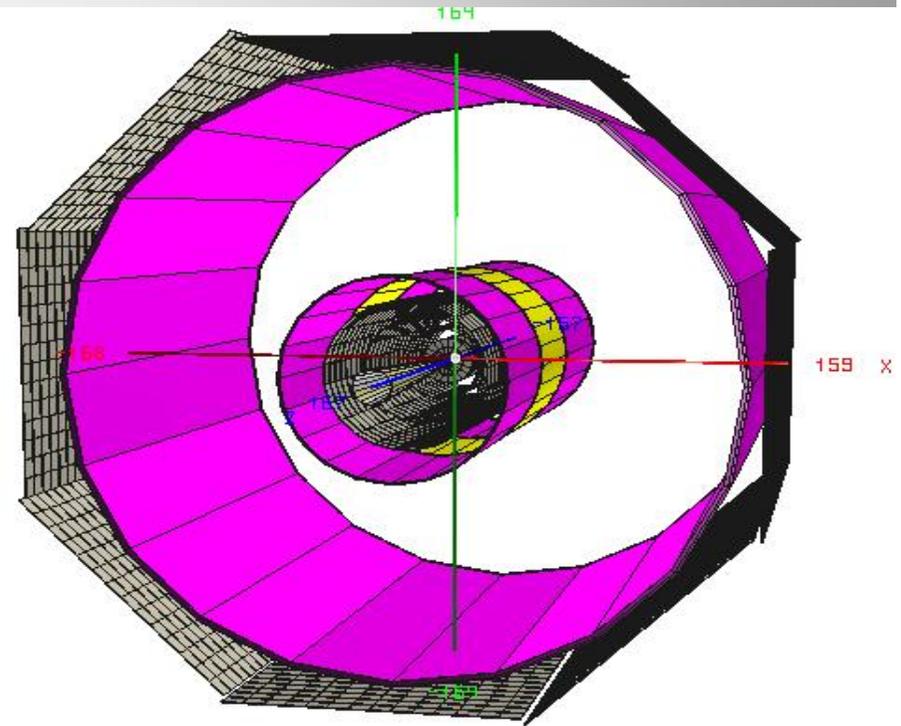
Code development: Geometry aspect

Main parameters

- number of layers for SIT and SET
- Shape of sub-detectors
(octagonal, cylinder ...)
- Dimension of sub-detectors
(radius, Z length ...)

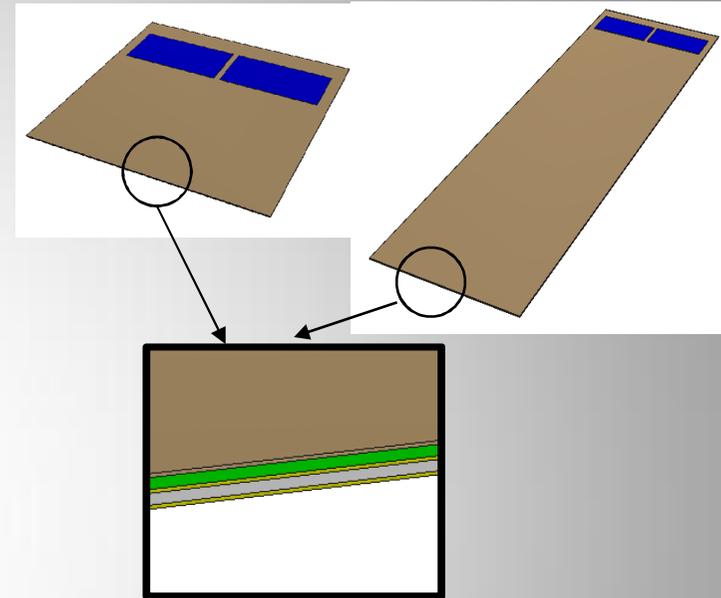
Optional:

- Euler Angle / Edgeless
- Coordination with mechanics
- TPC (Alice version rescaled)

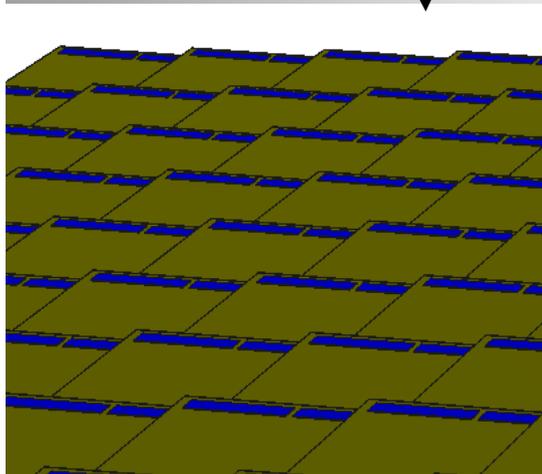


Code development: architecture of the tracker

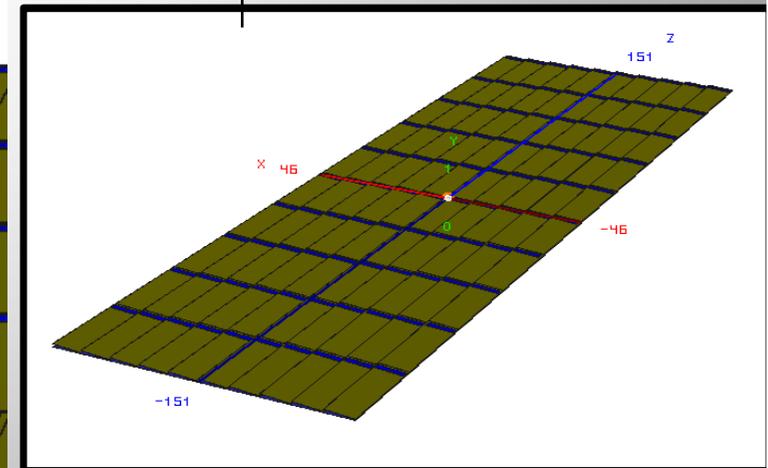
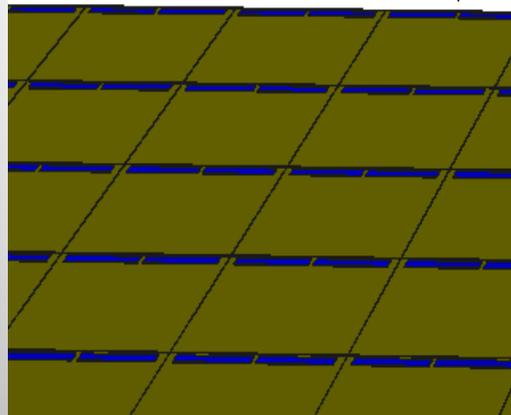
- Example of SET:
 - modules sensors geometry and technology (SPD/SSD/DSSD)
 - definition of detection elements

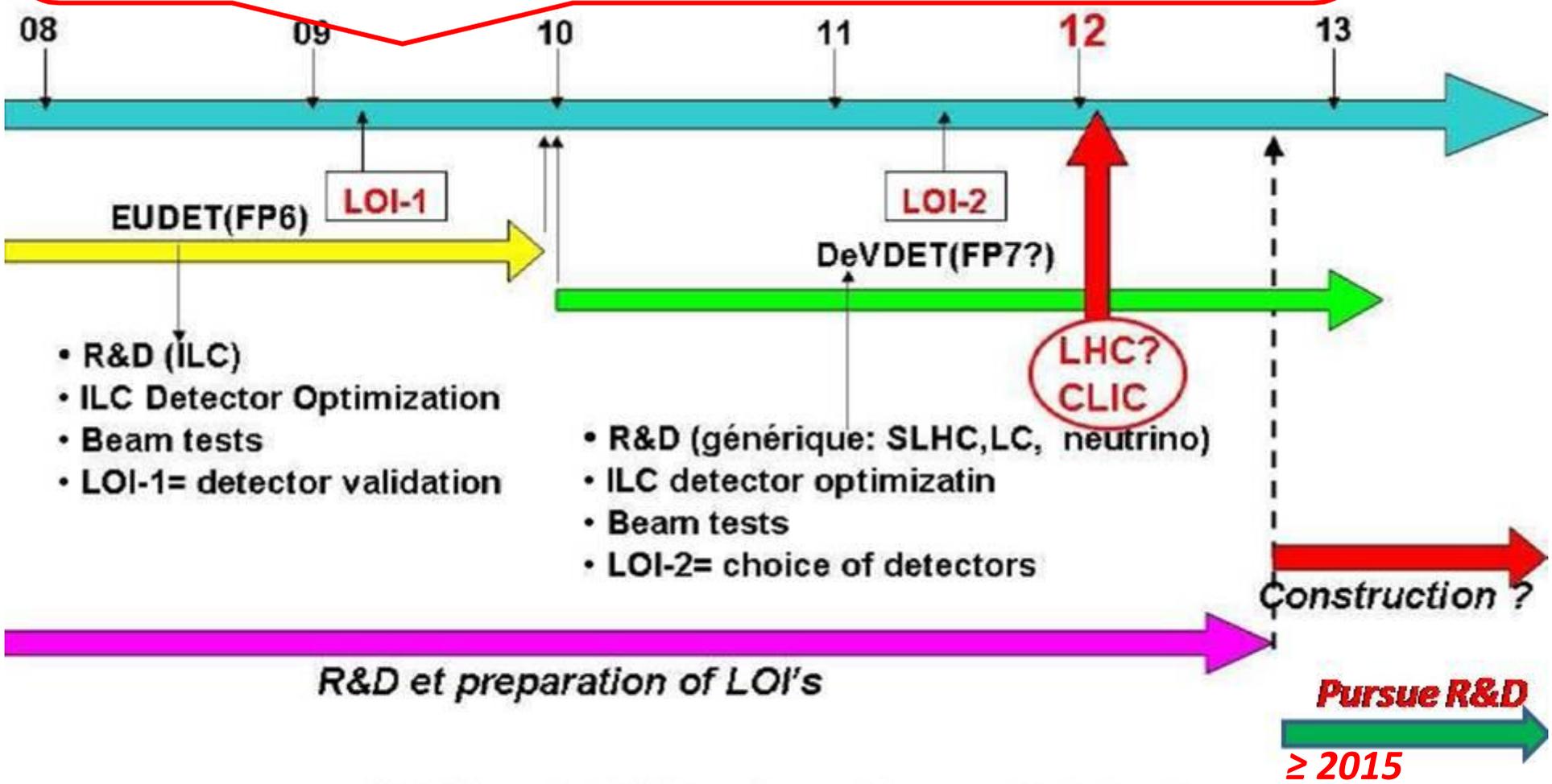
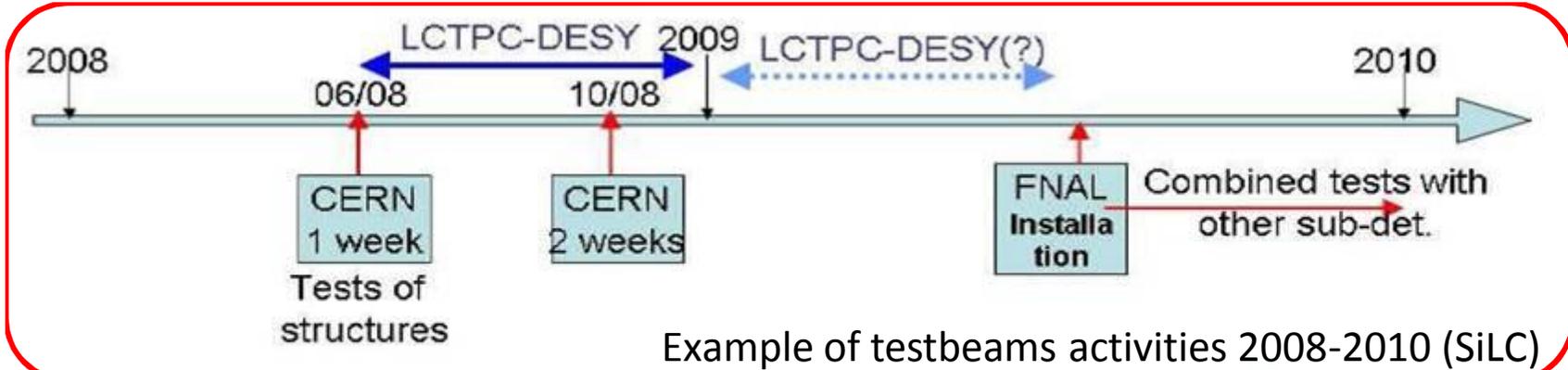


Overlapping along X and Z



Edgeless





SiLC and ILC Roadmap (present status)

R&D: Technological choices and issues

Sensors: edgeless, higher granularity, thinner

- Si-strip
- Pixel technologies
- New Sensors technologies (mainly driven by 3D on strips and pixels or ??)

Electronics: low noise, low power consumption, power cycling, high processing level, high multiplexing, fault tolerant

- DSM FEE
- direct connection to the Silicon sensor (strip or pixel), 3D vertical interconnect
- integration to the overall readout and DAQ

Integration Technologies:

mechanical support and construction of elementary module (tile), cooling, connection of electronics to detector, cabling, alignment, mechanical integration of these components within the overall detector

Hand in hand with LHC upgrades or other facilities R&D and in collaboration with Industrial firms