

R&D d'un ASIC pour détecteur gazeux en vue  
d'un DHCAL auprès de l'ILC  
Réunion électronique DHCAL France  
IPN Lyon

Renaud Gaglione

Institut de Physique Nucléaire de Lyon  
Bâtiment Paul Dirac  
4 rue Enrico Fermi  
69 622 VILLEURBANNE Cedex

6 mai 2008

Introduction

Tests des ASICS

Résultats des tests (mode Micromegas)

Tests sur détecteurs

Protections sur Micromegas

Prochain ASIC

Introduction

Tests des ASICS

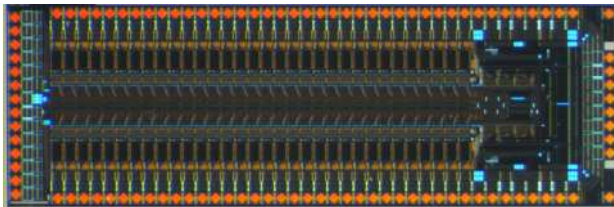
Résultats des tests (mode Micromegas)

Tests sur détecteurs

Protections sur Micromegas

Prochain ASIC

- Technologie économique AMS CMOS 0.35  $\mu\text{m}$  ;
- Consommation  $<1$  mW par voie + power pulsing à 1 % :  $<10$   $\mu\text{W}$  par voie ;
- 2 gains : 100 mV/pC et 5 mV/fC ;
- 3 seuils sur 8 bits pour 1 V (256 valeurs) chacun, soit 3.9 mV/DAC ;  
 → 40 fC/DAC et 0.8 fC/DAC
- BCID 12 bits (4096 valeurs) ;
- Mémoire interne de 8 évènements ;
- Brochage facilitant le routage sur le détecteur : entrées de chaque côté.



- Entrées en haut et en bas ;
- Alimentations et *bias* à droite ;
- Entrées-sorties numériques à gauche.

Introduction

Tests des ASICS

Résultats des tests (mode Micromegas)

Tests sur détecteurs

Protections sur Micromegas

Prochain ASIC

Pour chaque charge d'entrée :

- Mesure de l'efficacité du déclenchement en fonction du seuil ;
- *S-Curves* : fit avec une distribution de Fermi-Dirac :

$$S(x) = \frac{max}{1 + e^{\frac{x-\mu}{w}}}$$

$max$  : efficacité maximum  
 $\mu$  : abcisse du point d'inflexion  
 $w$  : pente de la courbe

Ensuite :

- Obtention de  $\mu$  en fonction de la charge d'entrée ;
- Linéarité : fit avec une droite :

$$F(x) = 1/g \cdot x + b$$

$g$  : gain  
 $b$  : pedestal

- Non-linéarité : écarts entre les mesures et la droite obtenue.

Introduction

Tests des ASICS

Résultats des tests (mode Micromegas)

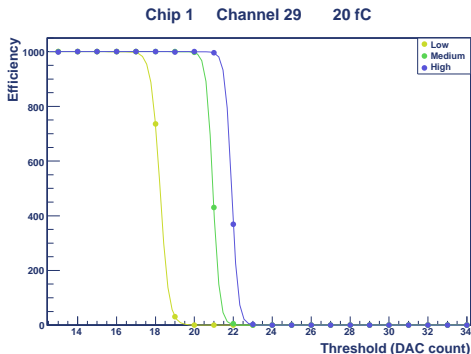
Tests sur détecteurs

Protections sur Micromegas

Prochain ASIC



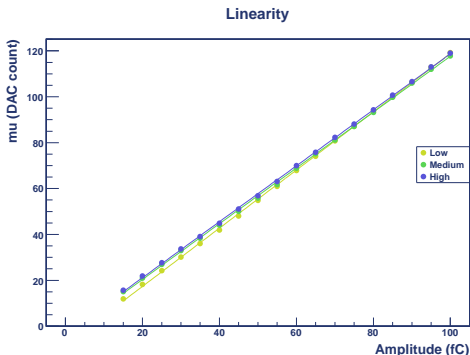
Efficacité de déclenchement + *fit* (1 voie) :



Passage de 100% à 0% < 2.4 fC

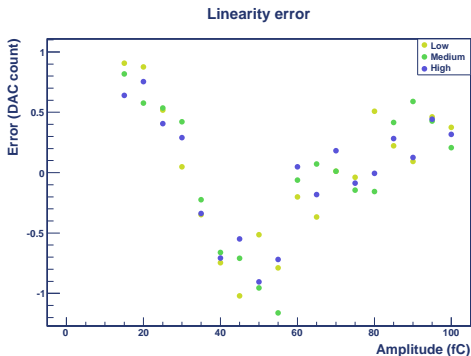
Dispersion entre les 3 seuils : 2.5 LSB, soit 2 fC.

$\mu$  en fonction de la charge d'entrée + *fit* (1 voie) :



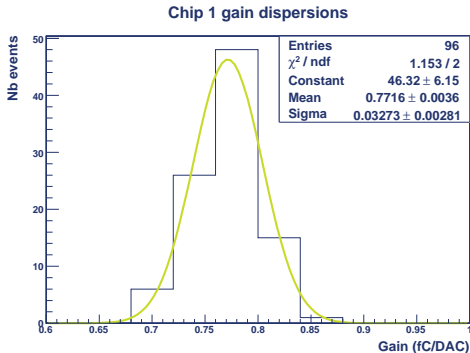
Résultats difficile a extraire de cette courbe : nécessité de tracer la **non-linéarité** !

Ecart entre le fit et les mesures (1 voie) :



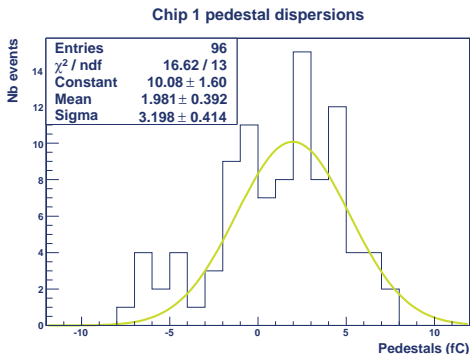
L'écart à la linéarité est contenu dans  $\pm 1$  LSB, soit  $\pm 0.8$  fC.

Distribution des  $g$  pour différentes voies :



Gain moyen 77 fC/DAC.

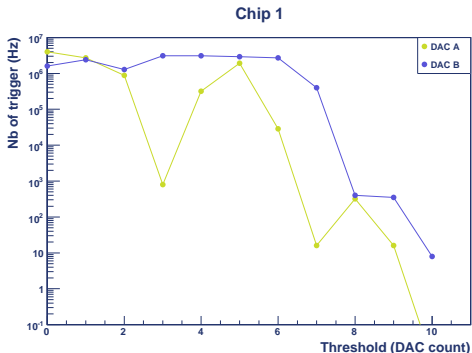
Distribution des  $b \cdot g$  pour différentes voies :



Dispersion des pedestaux un peu grande : cohérent avec l'autodéclenchement en dessous d'un seuil de 10 (8 fC).

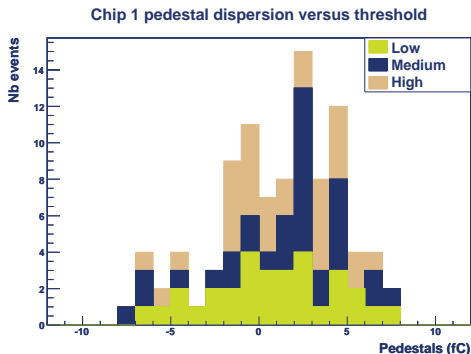
Pas d'entrée. Taux de faux déclenchements en fonction du seuil.

Voir présentation du 15/02/2008 :



Difficultés pour déclencher convenablement aux seuils en dessous de 10.

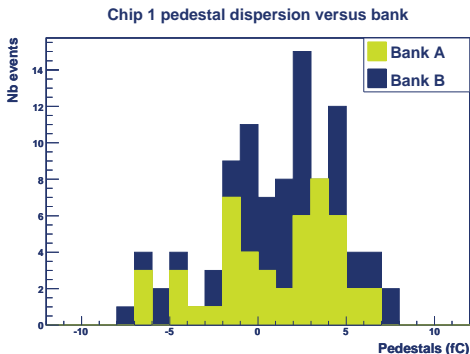
En fonction du comparateur (bas, moyen ou haut) :



Résultats indépendants du comparateur (bas/moyen/haut) donc pas d'influence due au routage.

# Dispersion des pedestaux

En fonction des banques (A : voies 1 à 32, B voies 33 à 64) :



Résultats indépendants de la banque (32 voies) donc pas d'influence due au routage.



Introduction

Tests des ASICS

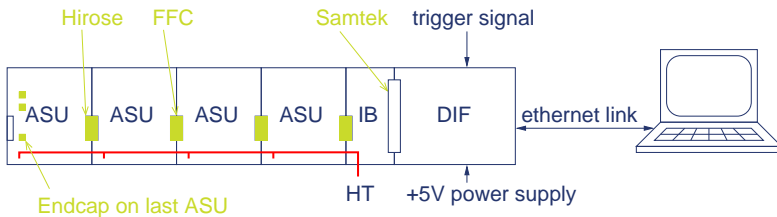
Résultats des tests (mode Micromegas)

**Tests sur détecteurs**

Protections sur Micromegas

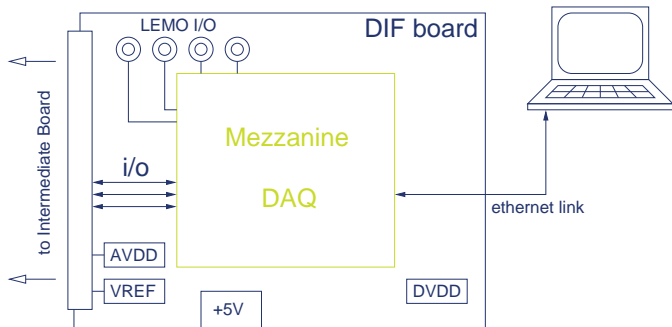
Prochain ASIC

Equivalent carte « 4 Hardrocs ».

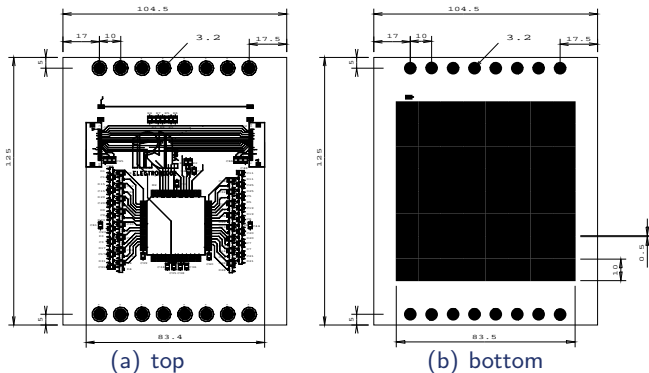


Connection à la DIF compatible avec les cartes de la collaboration.

Carte provisoire en attendant les DIF de la collaboration !  
 Basée sur les cartes DAQ OPERA utilisées pour les tests des ASICs.



6 couches. Vias borgnes et enterrés.



Mêmes dimensions des pads que sur les cartes « 4 Hardroc ». Pas de composants au-delà des pads pour couper les PCB au plus près. Protection Micromegas.

- Cartes *DIF*, *IB* et *ASU* (4 RPC et 2 Micromegas) envoyées la semaine dernière ;
- Tous les composants sont là !
- VHDL presque prêt (synchro sur cosmique à finaliser) (qq heures) ;
- Modifs mineures sur le C embarqué (qq jours) ;
- Labview d'acquisition à modifier pour adresser  $n$  ASICs (qq heures) ;
- Définition d'une classe C++ pour les évènements à définir ;
- Pose des bulks à faire ;
- Cardre RPC dédié à fabriquer.

Nous serons normalement prêts pour le test faisceau d'août !

Introduction

Tests des ASICS

Résultats des tests (mode Micromegas)

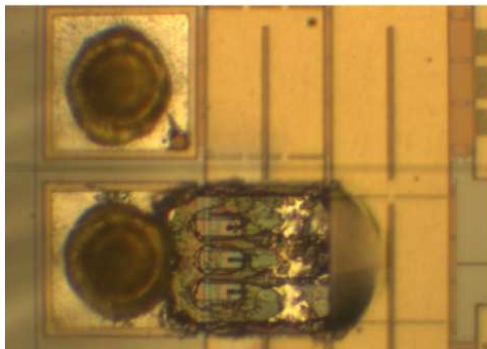
Tests sur détecteurs

**Protections sur Micromegas**

Prochain ASIC

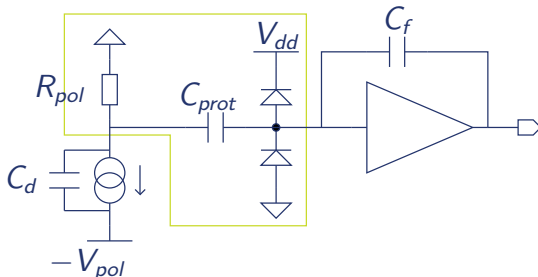
## Nécessité des protections

Il est absolument indispensable de protéger efficacement l'électronique frontale dans le cas des Micromegas, les anodes se trouvant en court-circuit avec la grille lorsqu'un arc se forme.  
Exemple à 650 V :



L'électronique est détruite!!! Problème à prendre au sérieux!

cf. CAST et COMPASS :



$C_{prot} > C_d \Rightarrow C_{prot} = 470 \text{ pF}$ .  $R_{pol} = 1..100 \text{ M}\Omega$

Problème similaire pour la TPC d'ILC (difficultés d'intégration) ?

Possibilité de collaboration avec le CEA pour un ASIC de protection ?



Introduction

Tests des ASICS

Résultats des tests (mode Micromegas)

Tests sur détecteurs

Protections sur Micromegas

**Prochain ASIC**

**DIRAC** : Digital readout for hadronic calorimeter.

- Passage 32 vers 64 voies : OK ;
- Passage 2 vers 4 gains : en cours ;
- Réduction du seuil minimum (réduction de la dispersion des pedestaux) ;
  - Compateur à faible offset : OK ;
  - DC-servo à faible offset : en cours ;
- Simplification des alimentations : OK ;
- Réduction consommation intégrateur : en cours ;
- Utilisation d'un bus pour la lecture (I2C-like) : réflexions en cours !

Nouvelle soumission avant la fin de l'année.

Merci de votre attention !