

# Augmenter le **TRL** de développements **ASIC** à l'aide de **nano-satellites**

Damien Prêle - APC

INTENS - INstru. Testing of advanced Elec. and detectors in space env. by using NanoSatellites



Montpellier 14-15 novembre 2013

## Réponse à appel à projet CNRS 2013 :

### Défi Instrumentation aux limites

Porteur : E. Nuss → le CSU *ie* LUPM/IES et l'APC

L. Dusseau, F. Feinstein, Y. Giraud-Héraud, H. Halloin, D. Prêle, F. Saigné, F. Voisin.

Projet vaste d'utilisation de **nano-satellites pour tester et qualifier des instruments en environnement spatial.**

Projet "Défi" ⇒ **Définir et réaliser une charge utile dédiée :**

1. **ASIC développé** dans le cadre de projets au sol pour la mesure du rayonnement millimétrique ;
2. Développement d'un deuxième ASIC (spécifiquement réalisé pour cette charge utile) → éléments de test susceptibles de faire ressortir les **techniques de *design* microélectronique** nécessaire en environnement spatial.

# Réaliser une carte au format *nano-sat* avec **1 ASIC SQmux128**, 1 oscillateur à qq kHz en guise d'horloge et 2 CAN pour la lecture du gain de l'amplificateur

## Tests en vol :

1. Evolution de la transconductance des bipolaires SiGe soumis aux radiations = **Mesure de gain d'un ampli.**
2. **Taux de latchup** = Détection, désamorçage et comptage des évènements de court circuit de l'alimentation de l'ASIC.
3. Taux d'événements isolés = **Détections d'erreurs** dans une chaîne numérique comportant une **mémoire.**

⇒ **Montrer la fonctionnalité (ou non) d'un ASIC en environnement spatial ( ? )**

Réaliser un **ASIC dédié** à des tests de tenue aux radiations. Pour cela, un ASIC en technologie CMOS pourrait être réalisé spécifiquement pour tester la robustesse d'une technique de « **design rad-hard** ».

Motifs de test (Oscillateurs en anneaux, cellule mémoire ...)  
dessinés avec **différentes techniques de Layout** ;

du standard au « **rad-hard by design** ».

⇒ **Montrer l'effet du DESIGN sur le comportement d'un ASIC en vol.**

## Plan de charge

1. Définition des phénomènes et des **éléments à tester** en vol.
2. Réalisation d'un **ASIC** pour identification des techniques de design spatial. Il comportera différents éléments de test permettant de faire ressortir les techniques de design appropriées à l'environnement spatial.
3. Étude de la **carte « charge utile » avec les ASICs et le contrôle** : Carte et Composants périphériques (Convertisseur, compteurs, oscillateurs, micro contrôleur)

## Plan de **poursuite technique** et estimation des coûts

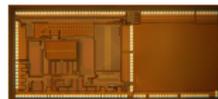
- ▶ Réalisation de la **carte** « charge utile » avec ASICs et contrôles ( $\approx 15$  k€)
- ▶ **Tests sur faisceaux** de la carte ( $\approx 1$  k€)
- ▶ **Intégration** de la carte dans un nano-satellite ( $\approx 5$  k€)
- ▶ Développement de l'**émulateur** du nano-satellite ( $\approx 1$  k€)

Pistes de financements : Financement par appel d'offres USTH / CNES / IN2P3 / INSIS / CSU / Campus Spatial Paris Diderot / AO Défi Instrumentation aux limites 2014 ... ANR ?

## L'ASIC *SQmux128* est la dernière génération d'un circuit développé pour la lecture de matrices de bolomètres pour l'observation du fond diffus cosmologique (CMB)

- ▶ Un **ampli. multiplexé** bas bruit en technologie bipolaire SiGe
- ▶ Une **source de courant** multiplexé en tech. bipolaire SiGe également
- ▶ Un **circuit numérique** d'adressage et de paramétrage en tech. CMOS (Memoire, ADC, DAC)

Puce de 7x3mm, 20mW sous 3,3 V, en technologie BiCMOS SiGe 0,35  $\mu\text{m}$  d'Austria Micro Systemes :



F. Voisin & D. Prêle

## La technologie BiCMOS SiGe est une technologie très intéressante pour le spatial :

- ▶ **Hyper fréquences** analogique (Radio) compatible Si
- ▶ Fonctionnement à **basse température** → exploration spatiale + détecteurs cryo.
- ▶ SiGe = efficacité d'injection d'émetteur → faible consommation à même perfo.

Tests de tenue aux radiations IBM SiGe sur l'ISS :

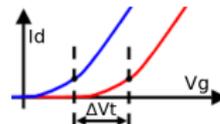
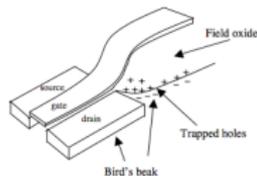
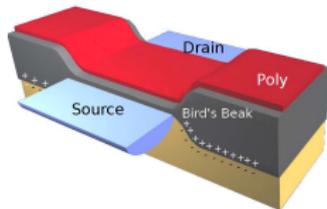


MISSE-6 sur l'ISS

⇒ mais le *design* joue un rôle important tant au niveau du dessin (*Layout*) que du circuit : *Rad Hard by Design* - RHBD

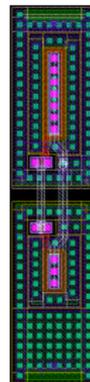
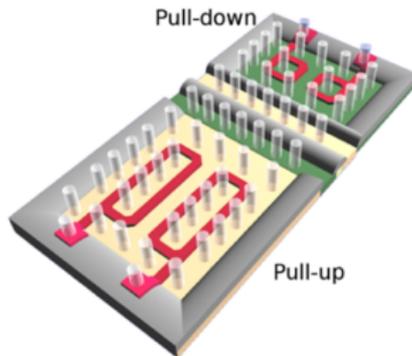
## Dessin des transistors *RadHard*

Pb de charge (dose cumulée) de l'oxide de grille des MOS sur les bords (plus épais)



Solution : Transistor MOS en anneau *ie* sans bord (ELT)

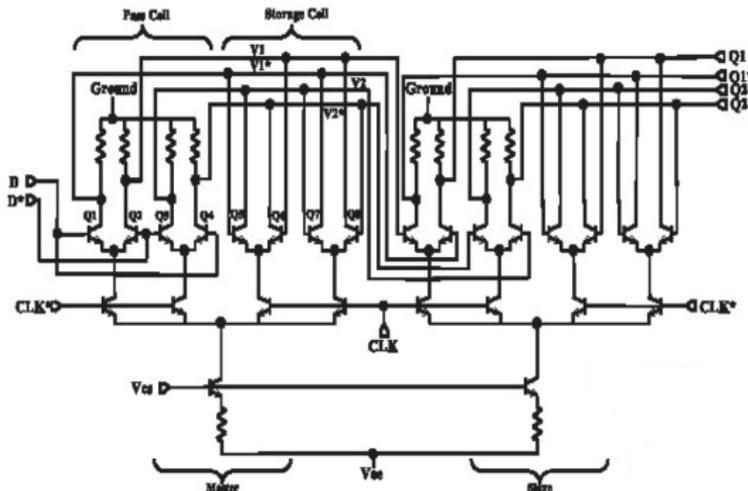
+ prise de substrat et éloignement de N et des P pour éviter les *Latchup* :



## Schéma *RadHard*

La **redondance et le "vote"** permettent de rendre un circuit robuste aux *SEE*.

Exemple de bascule *Rad Hard by Design* en technologie SiGe :



J. D. Cressler

## Test ASIC

- ▶ Test d'un ASIC déjà conçu
- ▶ Préparation d'un développement d'ASIC pour le spatial :
  - ▶ Choix d'une **technologie**
  - ▶ Choisir les **paramètres** critiques à tester (analogique ou num.)
  - ▶ Validation d'une bibliothèque *rad hard by design*