

ANR SPLAM

Tests des protections
LAPP

R. Gaglione

Laboratoire d'Annecy-le-Vieux de Physique des Particules,
Université de Savoie, CNRS/IN2P3
FRANCE

May 15th, 2013

Résumé chronologique

Générateur de spark

ASIC de test de diodes

Conclusion

Résumé chronologique

Générateur de spark

ASIC de test de diodes

Conclusion

Chronologie :

- dessin et fabrication de deux "générateurs de spark";
- comparaisons de structures de protections ;
- comparaisons de diodes de protection ;
- analyse de défaillance HARDROC et DIRAC ;

Cette méthodologie a permis d'aboutir au MICROROC, sans voie morte suite à des sparks. Afin d'aller plus loin:

- dessin et fonderie d'un ASIC de protection, avec 2 stratégies de protection ;
- comparaison des structures sur carte de test dédiée ;

Afin d'extraire toutes les informations disponibles, il faut procéder à une analyse de défaillance des circuits testés, afin de conclure cette étude.

Outline

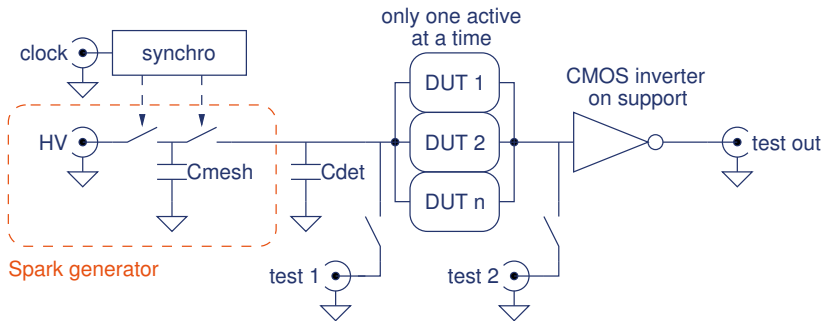
Résumé chronologique

Générateur de spark

ASIC de test de diodes

Conclusion

Principe



Outline

Résumé chronologique

Générateur de spark

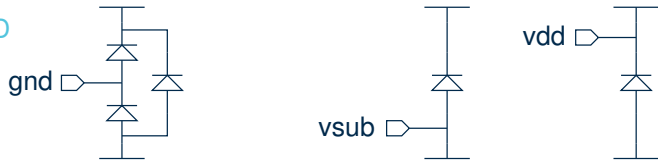
ASIC de test de diodes

Conclusion

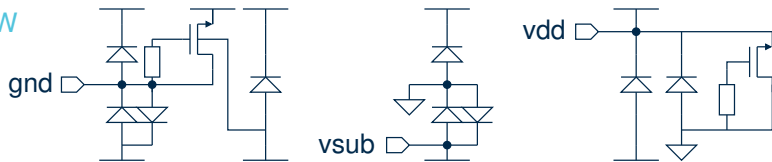
Power supply pads

Each power supply pad set consists in 3 pads: vdd, vsub and gnd

OLD



NEW

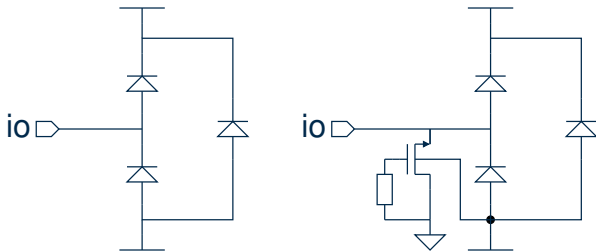


OLD type is included in MICROROC.

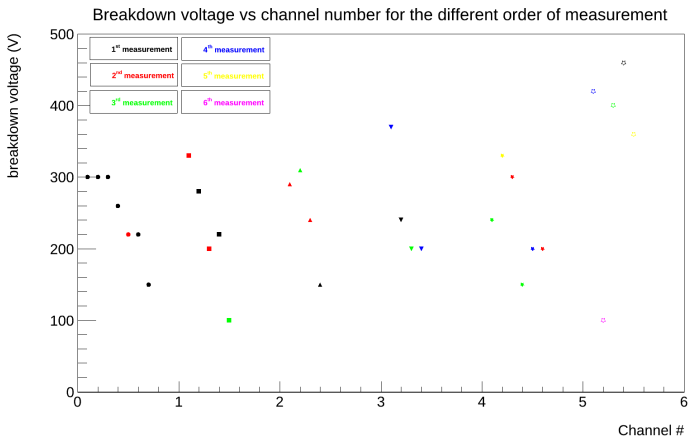
Input/Output pads

6 kinds of i/o pads for each. Each i/o is connected to a MICROROC PA.

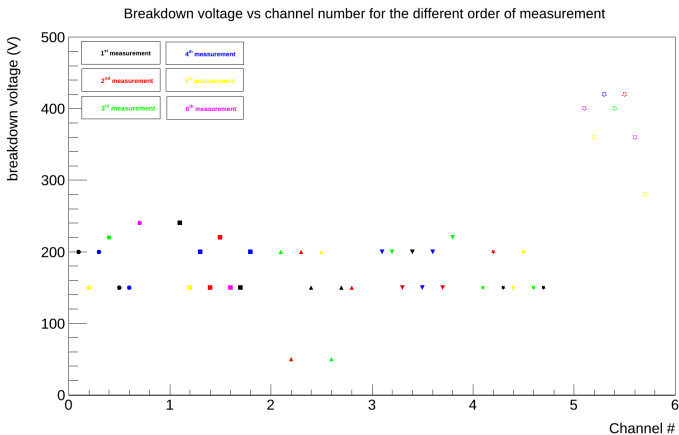
Mainly variation of diode size for 5 inputs, and active protection for 1 input.



Results plan 1 (New)



Results plan 2 (Old)



Structures

- 0 Big diode + PA
- 1 Big diode + small diode + PA
- 2 Active diode + PA
- 3 2 X Big diode + PA
- 4 2 X Big diode + small diode + PA
- 5 Small diode + PA

Preliminary conclusions

- Overall results are better for the new power supply pad design ;
- The active I/O does not seem to be much efficient (#2) ;
- The structure without big diodes seems to be the better (#6), why ? Serial R ?

Outline

Résumé chronologique

Générateur de spark

ASIC de test de diodes

Conclusion

Conclusion

Note sur le budget : le chip devait être payé par l'ANR, j'ai réussi à le faire payer par l'IN2P3 → économie de 18kE !

L'analyse de défaillance est le seul moyen de mettre en évidence les points faible du design et d'éviter de perpétuer des erreurs.

Ce sera la conclusion d'un long R&D (débuté en 2009 avec Alex).

A noter : tests de diode (fournies par le CEA) à effectuer à la demande de Saclay.