

Tests en faisceau des capteurs CMOS

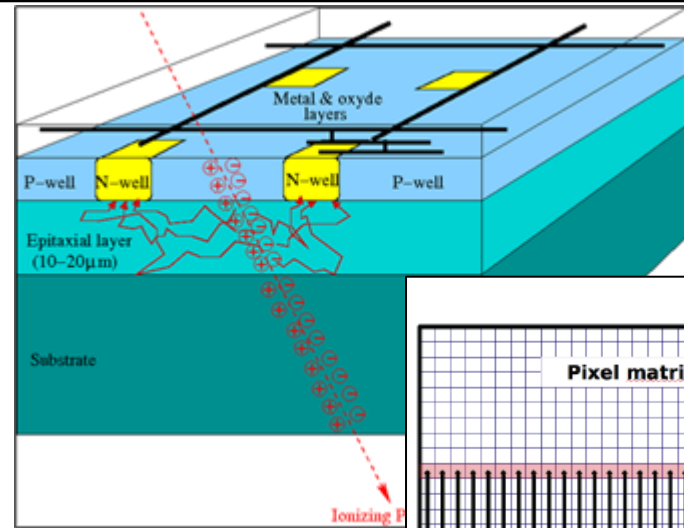
Auguste Besson

Pour le groupe PICSEL-Strasbourg et CEA-Saclay (IRFU, SEDI, LID)

- Capteurs CMOS et cahier des charges du VTX de l'ILC
- Passage à la Technologie Tower 0.18 μm
- Résultats tests faisceau 2012
- Programme 2013

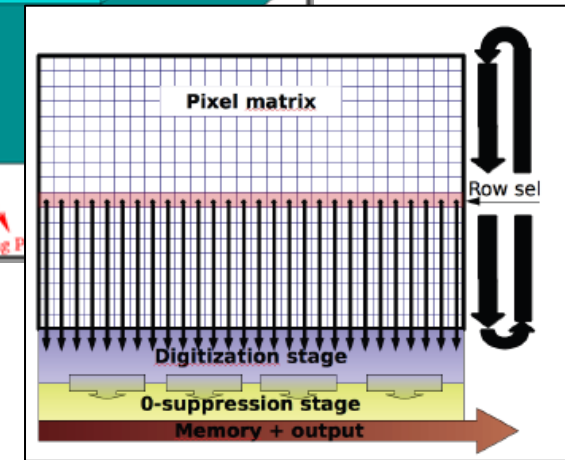
Principes

- Signal créé dans une couche épitaxiale
 - ~10-20 μm , faible dopage, faible résistivité
 - ~ 80 $e^- / \mu\text{m}$ \Rightarrow charge totale ~ $O(1000 e^-)$
- Diffusion thermique des e^-
 - zone déplétée limitée
- Réflexion aux interface
 - substrats et P-well au dopage élevé
- Charge collectée par des puits-N
 - Partage des charges entre les puits \Rightarrow résolution
- Collecte continue des charges
 - pas de temps mort



Avantages

- Granularité
 - Pixels pitch jusqu'à $10 \times 10 \mu\text{m}^2$ si nécessaire (\Rightarrow résolution spatiale ~ 1 μm)
- Budget de matière
 - Partie active ~ 10-20 μm
 - Amincissement jusqu'à 50 μm routinier
- Prétraitement du signal dans le pixel
 - Compacité, flexibilité, flux de données
- Fonctionnement
 - Jusqu'à ~30-40 $^\circ\text{C}$ si nécessaire
- Production industrielle
 - Coûts, rendements
 - rythme des soumissions (runs multiprojets)
 - évolution de la technologie



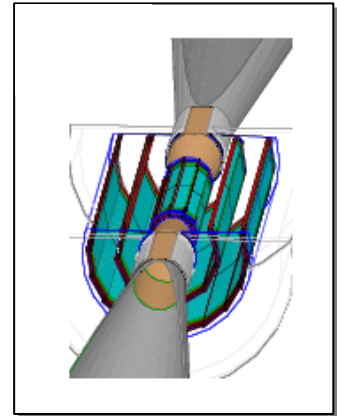
Mode de lecture « volet roulant »

- Double échantillonnage corrélé dans le pixel (CDS)
- Préamplification dans le pixel
- Lecture parallèle des colonnes
 - Temps de lecture = $\# \text{ lignes} \times t_{r,o}$ d'une ligne
- Discriminateurs en bout de colonne
- Sparsification en bout de colonne

\Rightarrow Préserve granularité / budget matière

- Cahier des charges:

- Résolution spatiale/budget de $\sigma_b < 5 \oplus 10/p\beta \sin^{3/2} \theta \text{ } \mu\text{m.}$
- Occupation 1^e couche: $\sim 5 \text{ part/cm}^2/\text{BX} \Rightarrow$ occupation de qqs % max
- Radiations: $O(100 \text{ krad})$ et $O(1 \times 10^{11} n_{\text{eq}}(1\text{MeV}) / \text{an})$
- Puissance dissipée: 600W/12W (Power cycling, $\sim 3\%$ duty cycle)

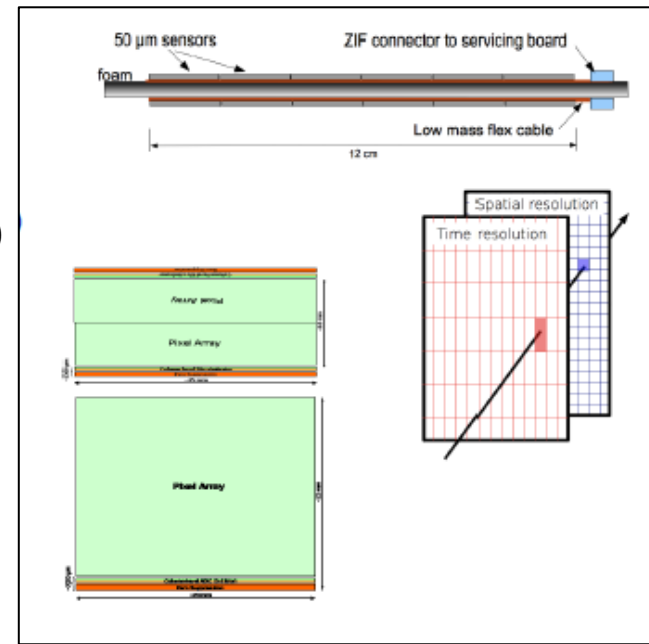


- Concept de base:

- 3 x double couches
 - Gain budget matière / alignement.

- 2 lignes de développement:

- Double Couche interne : priorité à la vitesse / résolution
 - Compromis vitesse vs résolution spatiale
 - 2 faces: optimisée résolution / optimisée vitesse (pixels allongés)
 - Pitch $16 \times 16 \mu\text{m}^2 / 16 \times 64 \mu\text{m}^2$ + encodage binaire de la charge
 - $t_{\text{read-out}} \sim 50 \mu\text{s} / 10 \mu\text{s}$; $\sigma_{\text{res}} \sim 3 \mu\text{m} / 6 \mu\text{m}$
- Couches externes: priorité à la puissance dissipée
 - Compromis P_{diss} vs résolution spatiale
 - Pitch $\sim 35 \times 35 \mu\text{m}^2$ + ADC 3-4 bits
 - $t_{\text{read-out}} \sim 100 \mu\text{s}$



Passage à la technologie Tower 0.18 μm

- Capteurs développés depuis ~ 1999
 - > ~ 40 prototypes testés en labo et en faisceau
 - 2-3 campagnes de tests faisceau / an (CERN et DESY)
 - Technologie de base: AMS OPTO 0.35 μm (~2004-2012)
 - Détecteur de vertex de STAR: 1^e prises de données (3 secteurs, 120 capteurs) en ce moment même...

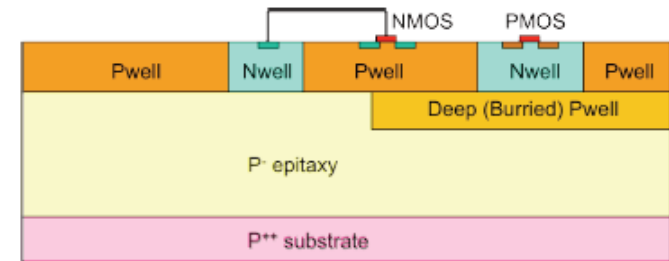
Expt-System	σ_t	σ_{sp}	TID	Fluence	T_{op}
STAR-PXL	$\lesssim 200 \mu\text{s}$ $\Downarrow ?$	$\sim 5 \mu\text{m}$	150 kRad $\Downarrow ?$	$3 \cdot 10^{12} \text{ n}_{eq}/\text{cm}^2$ $\Downarrow ?$	30°C
ALICE-ITS	10-30 μs	$\sim 5 \mu\text{m}$	700 kRad	$10^{13} \text{ n}_{eq}/\text{cm}^2$	30°C
CBM-MVD	10-30 μs	$\sim 5 \mu\text{m}$	$\lesssim 10 \text{ MRad}$	$\lesssim 10^{14} \text{ n}_{eq}/\text{cm}^2$	$\ll 0^\circ\text{C}$
ILD-VXD	$\lesssim 10 \mu\text{s}$	$\lesssim 3 \mu\text{m}$	O(100) kRad	O(10^{11}) $\text{ n}_{eq}/\text{cm}^2$	$\lesssim 30^\circ\text{C}$
SuperB-SVT	$\lesssim 2 \mu\text{s}$	$\sim 10 \mu\text{m}$	5 MRad/yr \times SF	$5 \cdot 10^{12} \text{ n}_{eq}/\text{cm}^2/\text{yr} \times \text{SF}$	$\gtrsim 10^\circ\text{C}$

- Nécessité d'étendre les capacités des capteurs en terme de vitesse et de radiorésistance
 - Haute résistivité de la couche épitaxiale
 - Lecture parallèle étendue
 - Réduction de la taille de grille
- 2012:
 - Validation de la technologie TOWER (Mimosa 32)
- 2013
 - Run d'ingénierie
 - optimisation

Mimosa-32: 1^e prototype en techno Tower 0.18 μm

Technologie Tower 0.18 μm :

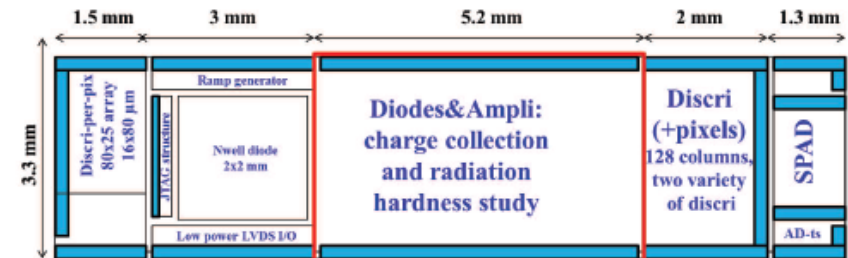
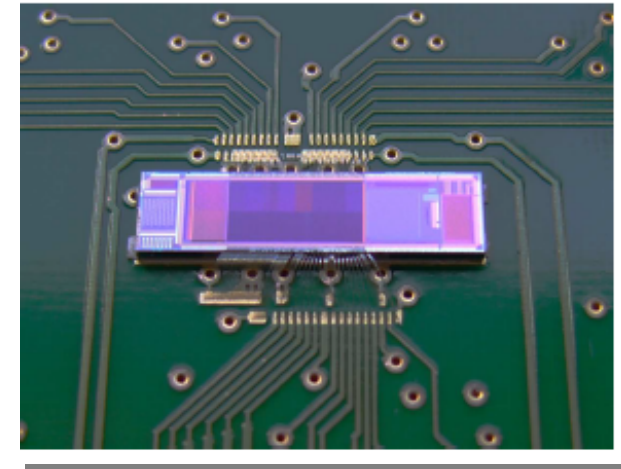
- Couche épitaxiale
 - 18 μm d'épaisseur
 - Haute résistivité (1.5 $\text{k}\Omega\cdot\text{cm}$)
 - Rapport Signal à bruit, radiotolérance, ...
- 6 couches de métallisation
- « Deep P-well »
 - Possibilité d'implanter des transistors de type P-MOS
 - Gain en compacité et en puissance consommée



⇒ Gains attendus en vitesse/radiotolérance, SNR, etc.

M32/M32ter: Prototypes exploratoires de la technologie (2012)

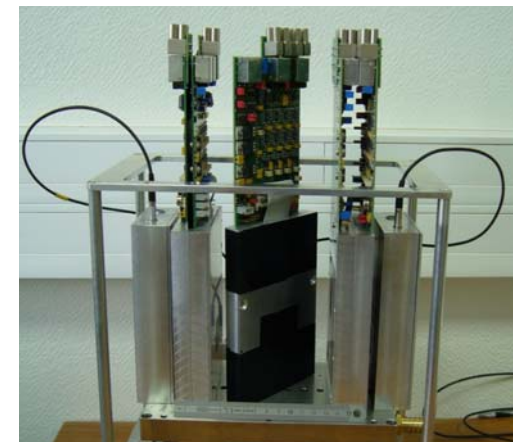
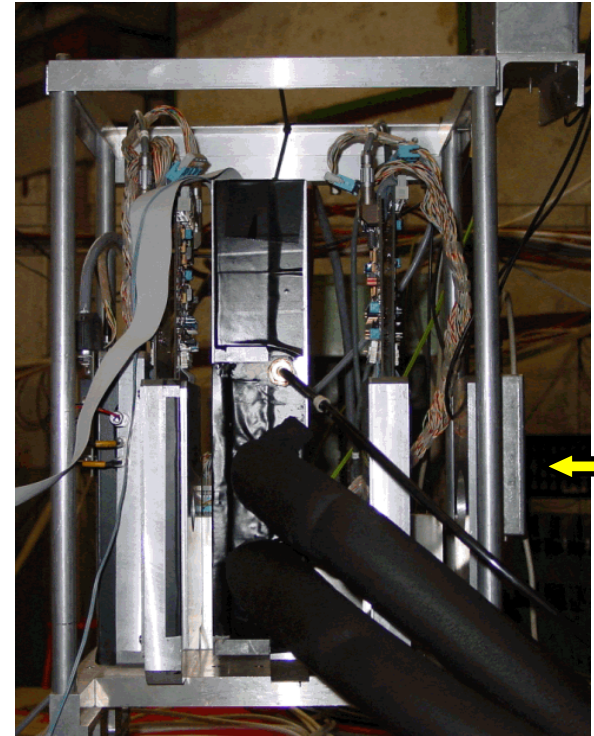
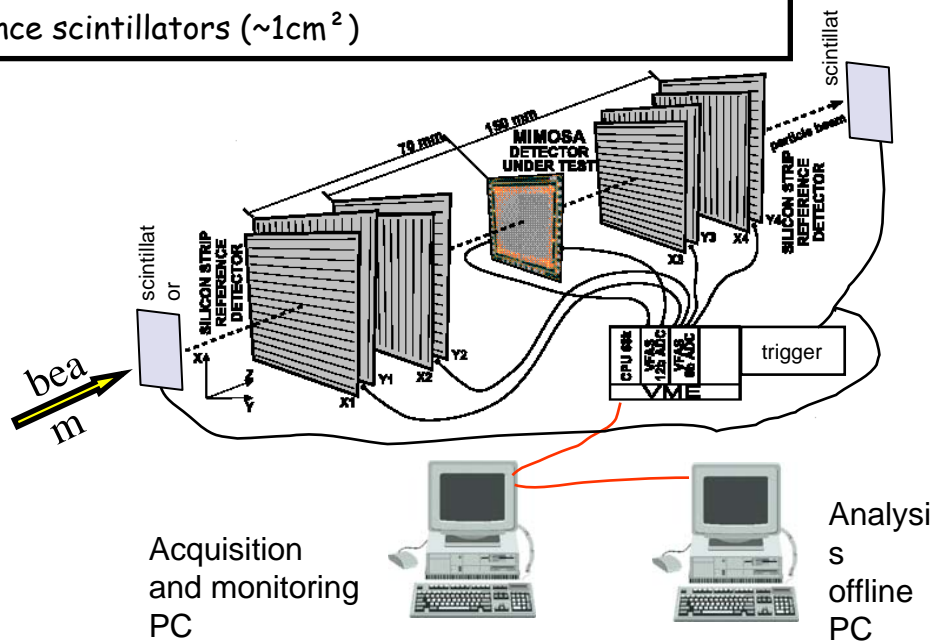
- 43 mm^2
- Buts: caractérisation et étude de:
 - Efficacité de collection de charge
 - Bruit
 - Radiotolérance
 - Taille des amas - résolution
- Paramètres explorés
 - Pitch 20 x 20/40/80 et 20x33 μm^2
 - Types de diodes de collection de charge
 - Amplificateurs dans le pixel (Nmos/Pmos)
 - Discriminateurs / col. (IRFU, Y.Degerli et al.)
- Test faisceau : 3 campagnes en 2012.



Test faisceau: dispositif expérimental

- 2 télescopes dans le groupe PICSEL
 - Télescope avec 8 plans de strips

8 reference detectors
(strips, X-Y orientation, $300\mu\text{m}$ thick, $50\mu\text{m}$ pitch)
Or 4 planes of MAPS (pixels, $50\mu\text{m}$ thick, pitch $20\mu\text{m}$)
2 coincidence scintillators ($\sim 1\text{cm}^2$)



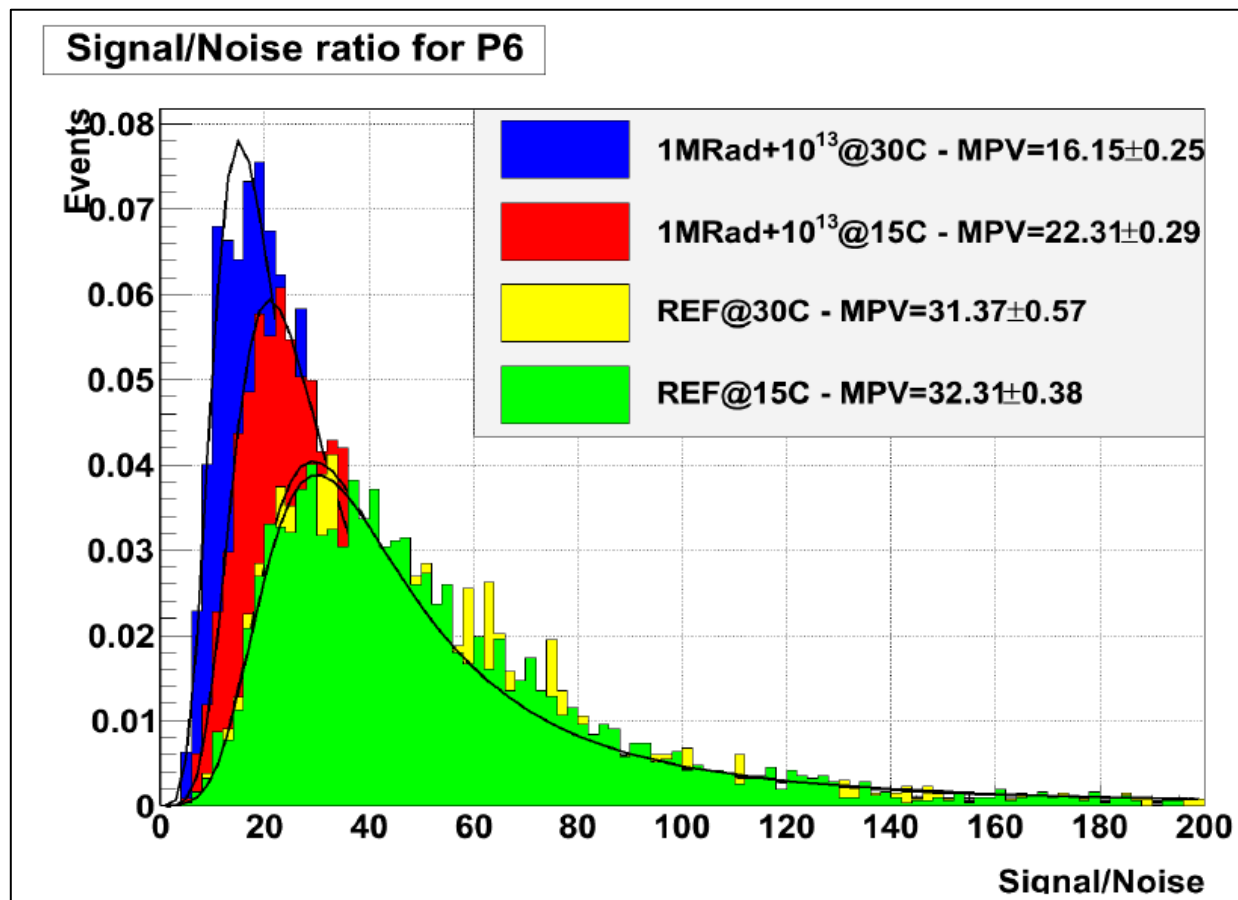
- Télescope CMOS (M-26 et/ou M18)
 - Acquisition PXIe
 - Reconstruction multitraces
 - Etc.
- Faisceau pions (60/120 GeV/c @ CERN)

Mimosa-32: résultats tests faisceau de 2012 (1)

- Pixels carrés 20x20 μm^2 (P6)

- Structure simple (référence)
- Diode 10.9 μm^2
- 2 x T°C (15 et 30)
- Non irradié / 1MRad+10¹³n_{eq}(1MeV)

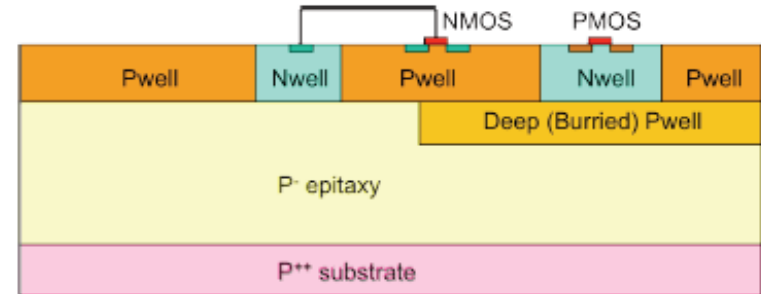
Pixel type	Radiation load	Temperature	SNR	Efficiency [%]
P6	—	15 °C	32.31 ± 0.38	99.84 ± 0.07
		30 °C	31.37 ± 0.57	99.64 ± 0.16
	1 MRad + 10 ¹³ n _{eq} /cm ²	15 °C	22.31 ± 0.29	99.87 ± 0.08
		30 °C	16.15 ± 0.25	99.77 ± 0.11



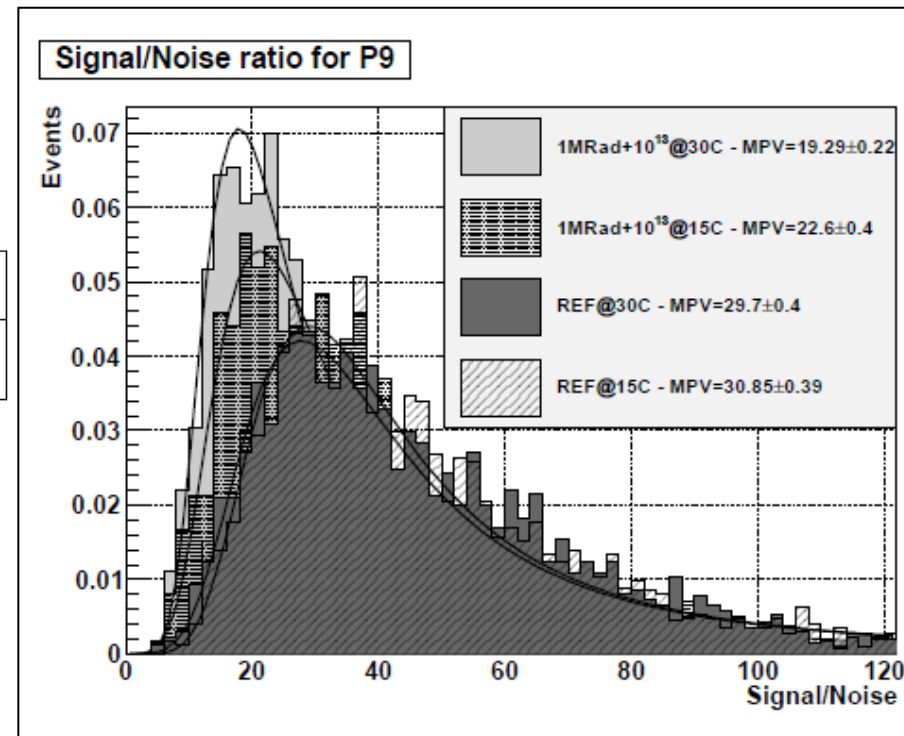
Mimosa-32: résultats tests faisceau de 2012 (2)

Structure Deep P-Well (P9)

- Pixels carrés $20 \times 20 \mu\text{m}^2$ (P9)
 - Diode $10.9 \mu\text{m}^2$
 - 2 x T°C (15 et 30)
 - Non irradié / $1\text{MRad} + 10^{13} n_{eq}$ (1MeV)
-
- P-mos transistors possible
 - Collection de charge parasite potentielle ?



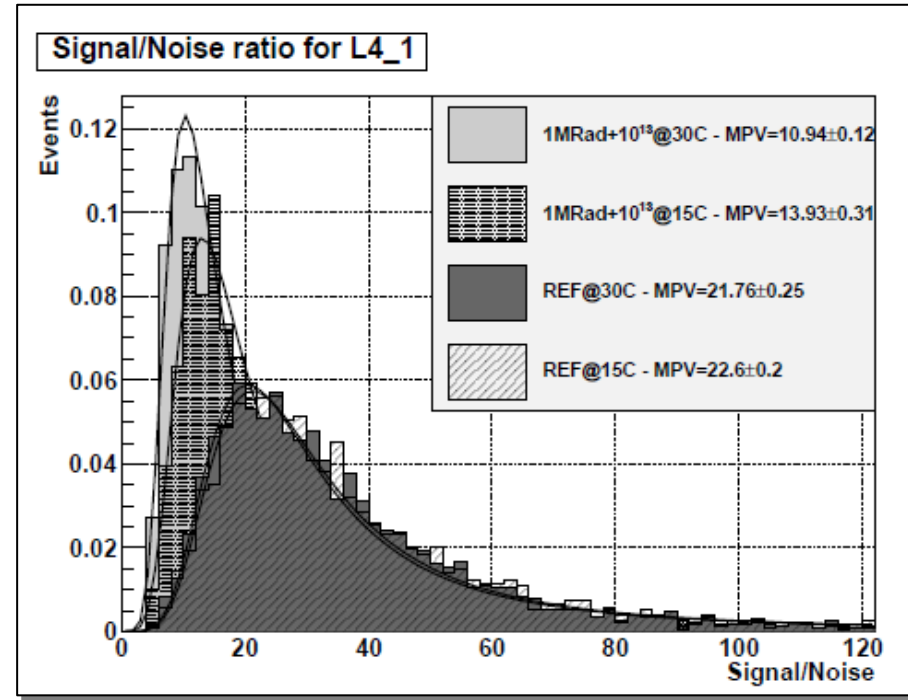
Radiation Load	SNR (MPV)		Detection efficiency [%]	
	15°C	30°C	15°C	30°C
0	30.9 ± 0.4	29.7 ± 0.4	99.91 ± 0.06	99.7 ± 0.1
1 MRad & $1 \times 10^{13} n_{eq}/\text{cm}^2$	22.6 ± 0.4	19.3 ± 0.2	99.92 ± 0.08	99.87 ± 0.07



Mimosa-32: résultats tests faisceau de 2012 (3)

- Pixels allongés (L4_1)

- Pixel 20x40 μm^2 , 1 diode (9 μm^2)
- conséquences
 - augmentation de la vitesse de lecture
 - au prix d'une dégradation attendue modérée de la résolution (pitch effectif $\nearrow \sqrt{2}$)
 - Dégradation du SNR.
- Optimisations nécessaires
 - Tailles/nb diodes, etc.

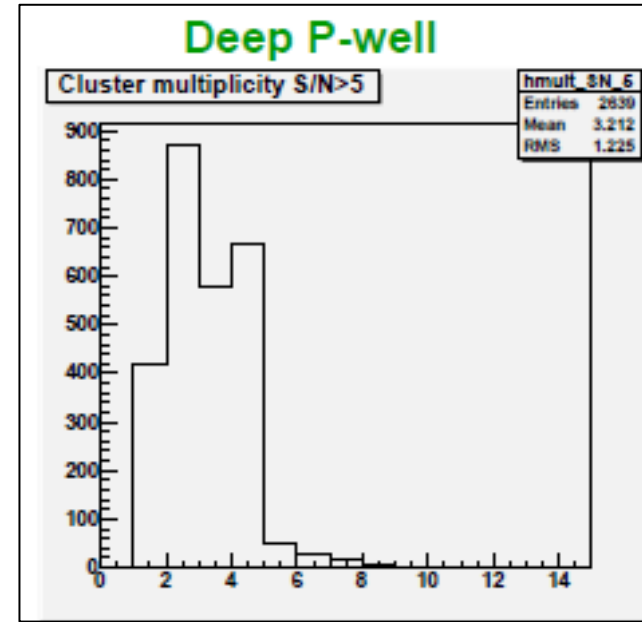


Radiation Load	SNR (MPV)		Detection efficiency [%]	
	15°C	30°C	15°C	30°C
0	22.6 ± 0.2	21.8 ± 0.3	99.86 ± 0.06	99.78 ± 0.08
1 MRad & 1 × 10 ¹³ n _{eq} /cm ²	13.9 ± 0.3	10.9 ± 0.1	99.51 ± 0.25	97.99 ± 0.25

Multiplicité des amas

- Multiplicité des amas (60/120 GeV/c pions)

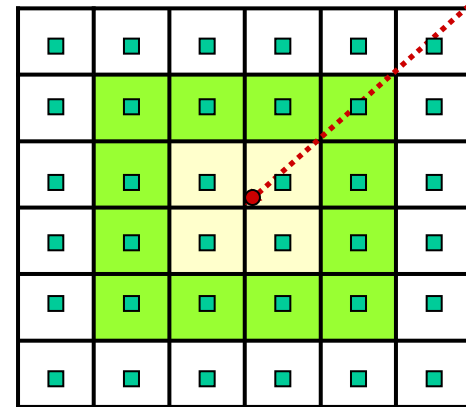
Radiation Load	$20 \times 20 \mu m^2$			$20 \times 40 \mu m^2$	
	2T	3T	Deep P	1D-3T	2D-3T
0	3.7 (1.4)	3.3 (1.3)	3.2 (1.2)	4.0 (1.9)	2.8 (1.2)
1 MRad and $10^{13} n_{eq}/cm^2$	3.0 (1.2)	2.7 (1.1)	2.6 (1.1)	2.7 (1.5)	2.4 (1.2)



- ⇒ ~ 100% de la charge répartie sur les 4 diodes les plus proches
- ⇒ confirme la haute résistivité (zone déplétée accrue)

Impact position

- = impact
- = diode
- (yellow) = 1st square
- (green) = 2nd square



Résolution spatiale

- Comparaison données digitales AMS/THR

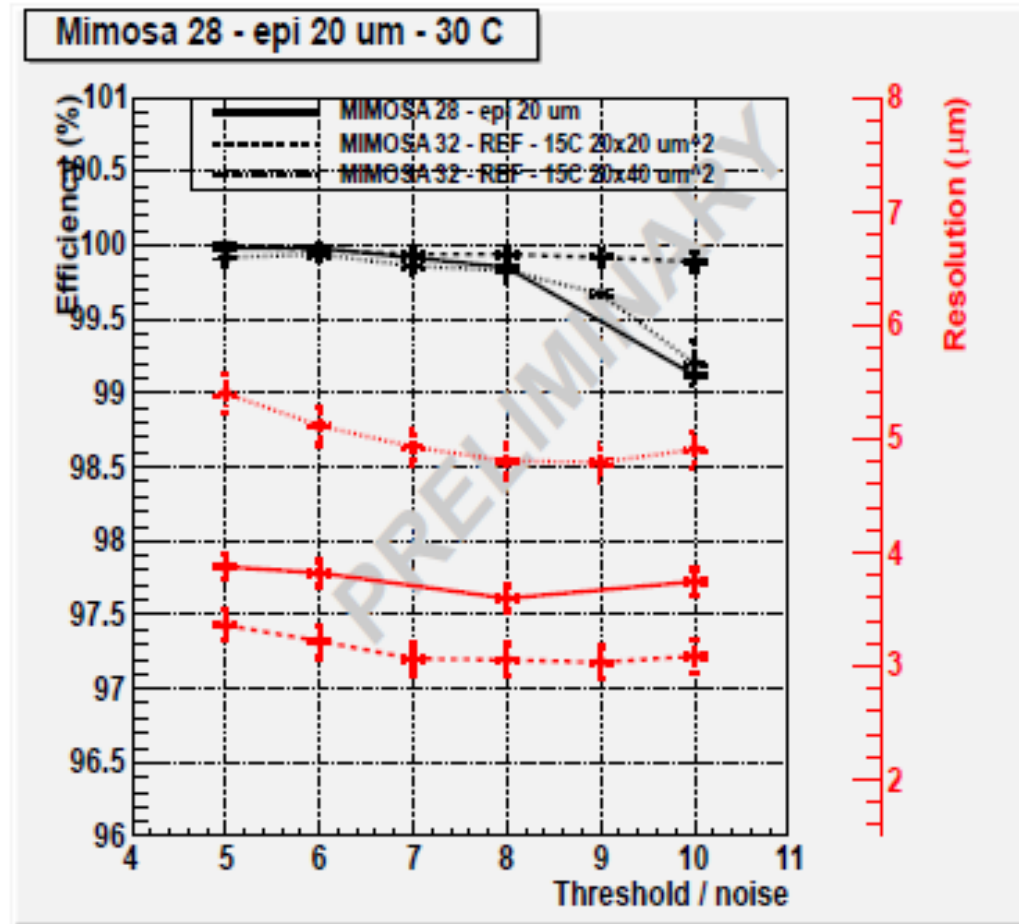
- AMS – 0.35 μm

- M-28: Prototype final pour STAR
- Pitch 20.7 μm
- Sortie binaire, lecture //
- Résistivité < 1 k Ω .cm

- Tower – 0.18 μm

- Mimosa-32
- 2 pixels:
20x20 μm^2 et 20x40 (staggered) μm^2
- Données analogiques « binarisées »
- Variation sur le seuil du disci simulé

● $\sigma_{sp}^{bin} \simeq 3.2 \pm 0.1 \mu\text{m}$ (20x20 μm^2)
 AND $\simeq 5.4 \pm 0.1 \mu\text{m}$ (20x40 μm^2)
 ↪ expect $\sim 2.8 \mu\text{m}$ for 17x17 μm^2 pixels (DBD)



- 1^e résultats prometteurs
 - Effets de la haute résistivité observés
 - Radiorésistance validée
 - Jusqu'à 1MRad / $10^{13} n_{eq}$
 - Résolution au moins aussi bonne
 - Rapport Signal à Bruit / Efficacité de détection
 - Bruit RTS \Rightarrow optimisations nécessaires

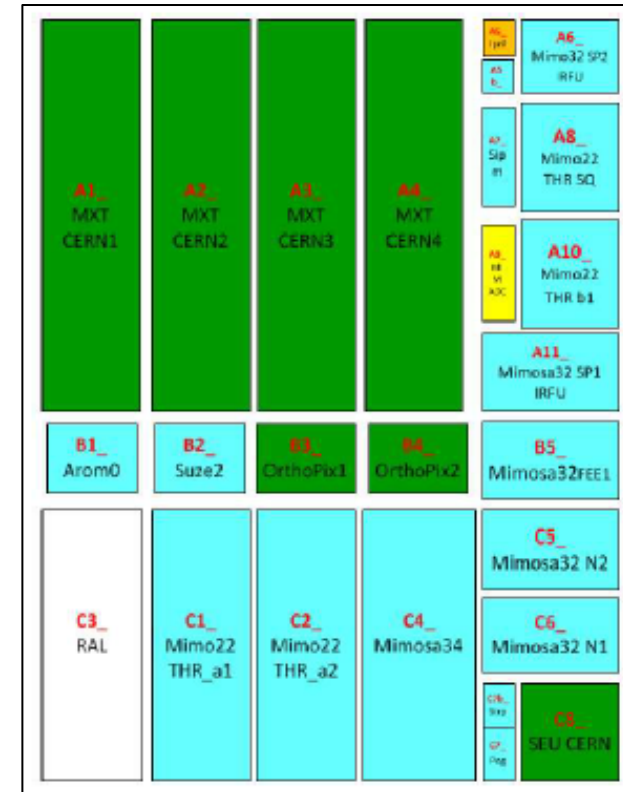
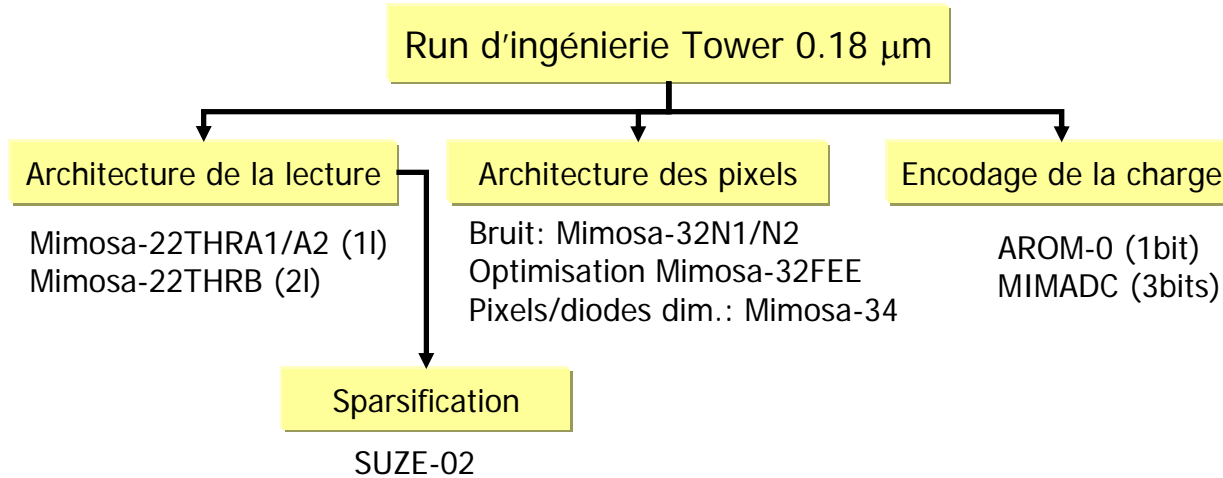
- Mimosa-32ter
 - Pixels avec amplis (P25/P26)
 - SNR \sim 30
 - Pixels allongés (20 x33 μm^2 , SF)
 - Validation (diode 10.9 μm^2)

Pixel type	Radiation load	Temperature	SNR	Efficiency [%]
P6	—	15 °C	32.31 ± 0.38	99.84 ± 0.07
		30 °C	31.37 ± 0.57	99.64 ± 0.16
	1 MRad + $10^{13} n_{eq}/cm^2$	15 °C	22.31 ± 0.29	99.87 ± 0.08
		30 °C	16.15 ± 0.25	99.77 ± 0.11
P9	—	15 °C	30.85 ± 0.39	99.91 ± 0.06
		30 °C	29.70 ± 0.40	99.74 ± 0.10
	1 MRad + $10^{13} n_{eq}/cm^2$	15 °C	22.60 ± 0.40	99.92 ± 0.08
		30 °C	19.29 ± 0.22	99.87 ± 0.07
L41	—	15 °C	22.60 ± 0.20	99.86 ± 0.06
		30 °C	21.76 ± 0.25	99.78 ± 0.08
	1 MRad + $10^{13} n_{eq}/cm^2$	15 °C	13.93 ± 0.31	99.51 ± 0.25
		30 °C	10.94 ± 0.12	97.99 ± 0.25

\Rightarrow Le changement de technologie est « validé »
 \Rightarrow Développements suivants via run d'ingénierie (2013)

Run d'ingénierie Tower 0.18 μm (2013)

- Run d'Ingénierie 1^e trimestre 2013
 - Soumission décembre 2012
 - Réception / découpe / montage PCB mai-juin 2013



- Tests labos juin-juillet 2013 (intensifs)
- Tests faisceaux 18-31 aout 2013 (6 GeV e⁻ @ DESY)
- TDR upgrade d'ALICE (aout-septembre 2013)
 - Délais courts...
 - Peu de tests sur résolution, radiotolérance (cf. resultats M-32)
 - Validation de la lecture des colonnes en parallèle \Rightarrow Test beam M22THR
 - Démonstration de la réduction du bruit (lab tests, M32N)
 - Validation des discriminateurs à la fréquence nominale (lab)
 - Collecte de la charge vs dimensions des pixels/diodes \Rightarrow Test beam Mimosa-34

Conclusion ?

- Le passage à la technologie Tower 0.18 a concerné l'essentiel des tests en 2012-13.
 - Mieux adaptée que la techno AMS 0.35 pour HEP.
 - Ouvre de nouvelles perspectives en termes d'applications
- La réalisation des tests en faisceau du groupe PICSEL constitue une grande part de l'activité R&D côté physiciens et ingénieurs de tests.
 - Les tests labos (avec ou sans sources) permettent déjà de réaliser les 1^{eres} mesures et validations
 - Efficacité de collection de charge, Bruit, etc.

mais...

 - Seuls les tests en faisceaux permettent de valider les performances clefs
 - rapports Signal a bruit avec des MIP, efficacité de détection, résolution spatiale
 - La régularité de ces tests, ainsi que la durée du cycle design/soumission/réception/découpe/montage/tests labos/tests faisceaux/résultats, ont été des éléments décisifs pour la validation des prototypes produits aux yeux de la communauté.

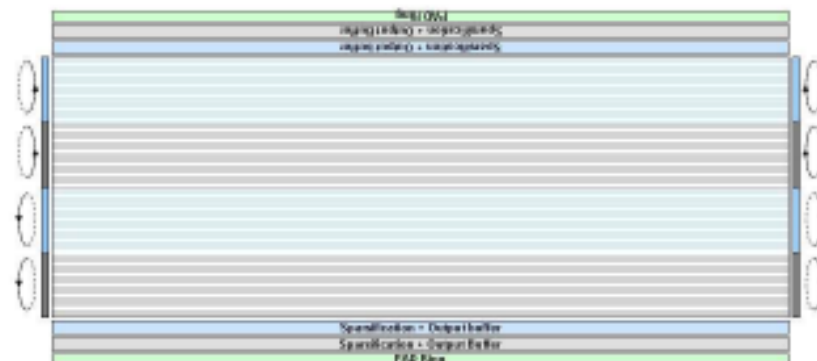
⇒ Cette activité restera indispensable pendant les années à venir.

Back up

Augmenter la vitesse de lecture

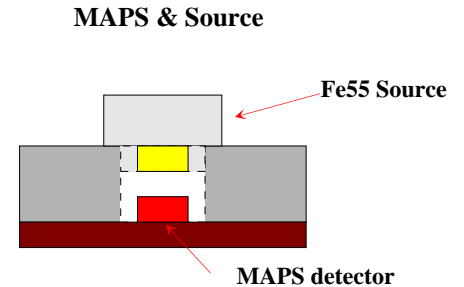
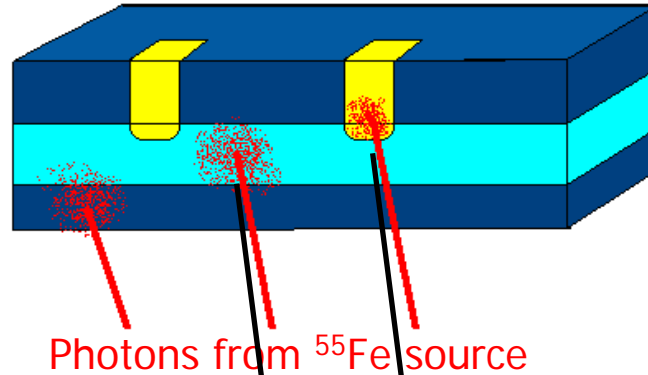
- Lecture parallèle des colonnes
 - Temps de lecture = #lignes x $t_{r.o.}$ d'une ligne
- Options:
 - Lecture des 2 côtés
 - Gain en vitesse d'un facteur 2
 - Pixels allongés \Rightarrow moins de lignes pour une même surface
 - Perte de résolution non linéaire (diodes décalées en quinconce)
 - Gain en vitesse d'un facteur 2-4
 - Lecture parallèle de plusieurs lignes et/ou plusieurs blocs (2-4)
 - Plusieurs discriminateurs/colonne.
 - Gain en vitesse d'un facteur 2-4/2-4

\Rightarrow Passage en techno 0.18 μm nécessaire



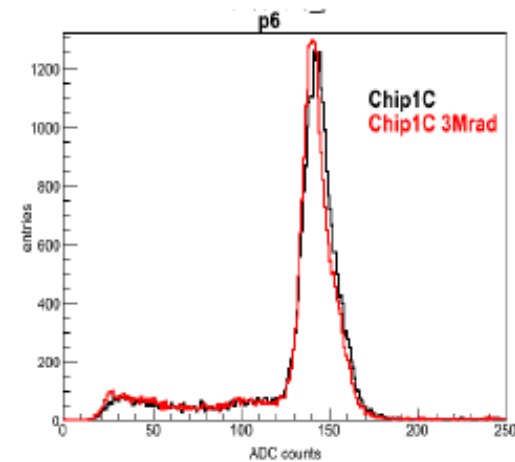
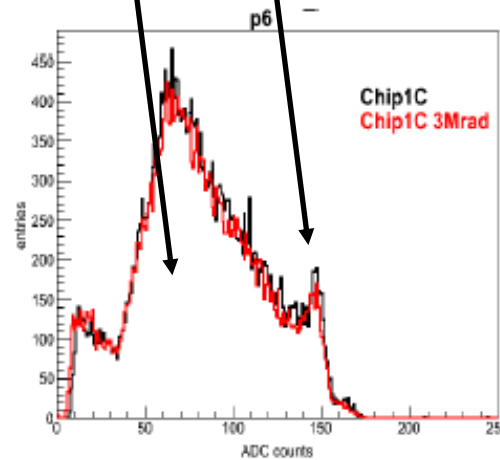
Mimosa-32 : tests en laboratoire

- $^{55}\text{Fe} = 5.9 \text{ keV}$



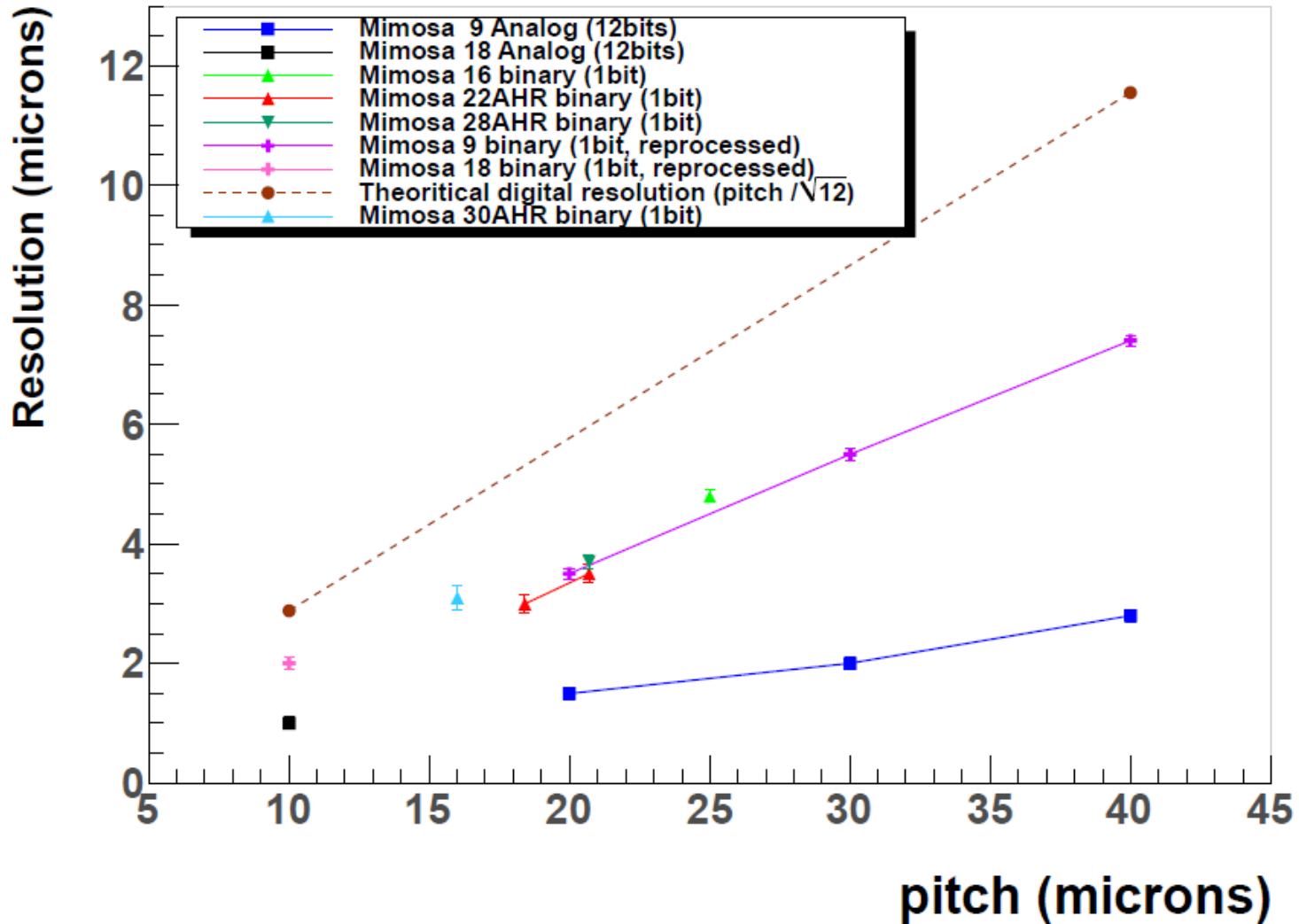
- MIMOSA-32 lab tests (^{55}Fe source) of pixel matrix with analog output

- * Read-out time of each sub-matrix = $32 \mu\text{s}$
- * Observed CCE ($20 \times 20 \mu\text{m}^2$ pixels) :
 - o seed pixel : $\sim 40\text{--}50\%$ ▷ ▷ ▷ ▷
 - o 2×2 pixel cluster : nearly 100 % ▷ ▷ ▷
 - ⇒ confirms Epi. layer $1\text{--}5 \text{ k}\Omega \cdot \text{cm}$
 - o No parasitic charge coll. seen with Deep P-well
 - o CCE of $20 \times 40 \mu\text{m}^2$ pixels
 - ↳ seed $\sim 30\%$; with 1st crown $\sim 70\text{--}80\%$
- * Noise $\lesssim 20e^- \text{ ENC}$ at 20°C , unchanged at 35°C
- * Irradiation: $0.4/1/3 \text{ MRad}$ → \sim no effect up to 35°C (tbc !)



CMOS: Resolution vs pitch vs charge encoding (AMS)

Mimosa resolution vs pitch



Tests en laboratoires

(M.Goffe)

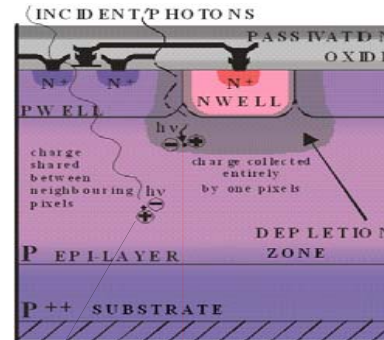
Sensor Evaluation

- Noise (& homogeneity) and pedestal dispersion
- Light and particle sensibility
- CCE (Charge Collection efficiency)
- Pixel gain
- Evolution of all these parameters in function of Temperature, irradiation, frequency,...

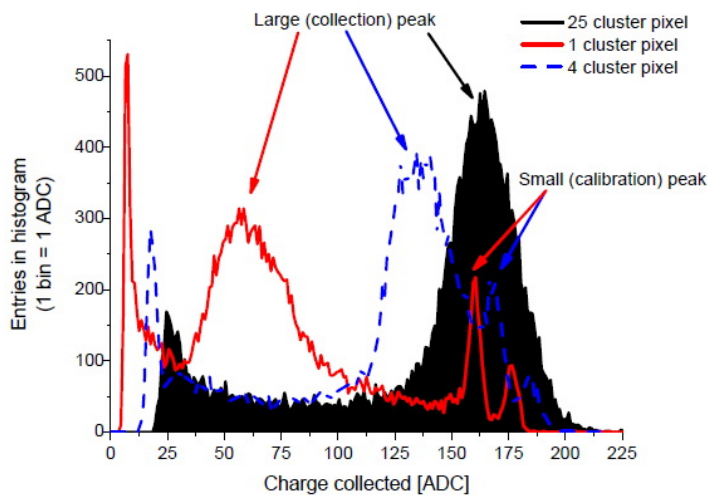
Calibration of the conversion gain - with soft X-rays

Emission spectra of a low energy X-ray source e.g. iron ^{55}Fe emitting 5.9 keV photons.

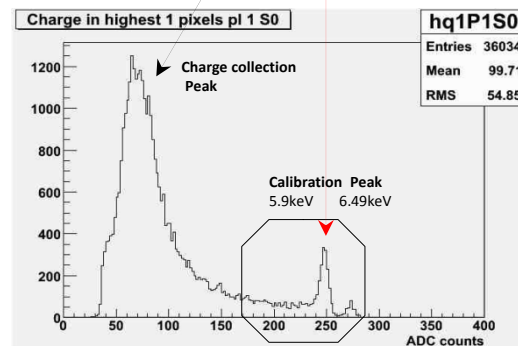
very high detection efficiency even for thin detection volumes, constant number of charge carriers about 1640 e/h pairs per one 5.9 keV photon, the energy of X-Ray are totally absorb by the sensor



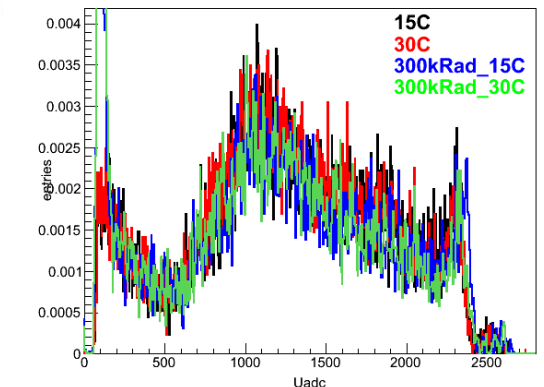
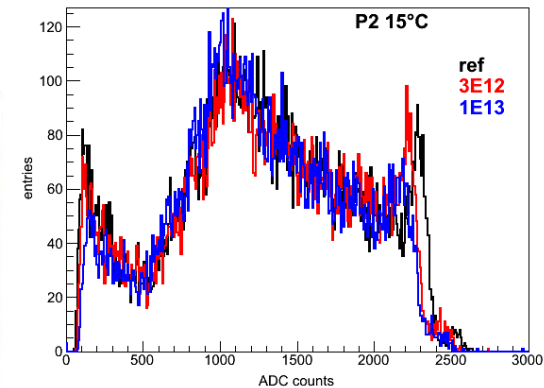
Charge Collection Efficiency (CCE)



Seed : 37% cluster 2*2 : 80% Cluster 5*5 : 100%



Seed pixel response Vs irradiation & Temperature



Mimosa-32 structures

Basic block: 16 columns x 64 rows

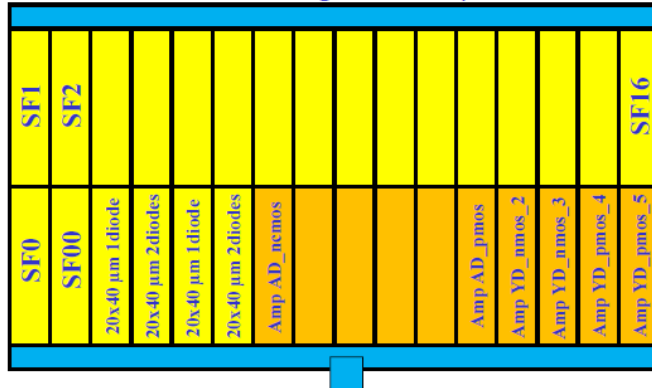
Basic pitch: 20x20 μm , except four structures (20x40 and 20x80 μm)

16 parallel analog outputs (two independent buses, one for SF and one for Ampli)

5 bit (static) address to connect single block to the output bus

Basic diode size: 3x3 μm (except Deep_Nwell, "half-pinned")

Integr. time $< 32 \mu\text{s}$



SF structures:

- P1: Nwell (octo, $\sim 10 \mu\text{m}^2$), 2T_{II}, ELT
- P2: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), 3T_{II}, ELT
- P3: Nwell_2 (TOWER design, $\sim 10 \mu\text{m}^2$), 3T_{II}, ELT
- P4: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), 3T_{II}, SF_{lin}
- P5: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), 3T_{II}, SF_{lin}, bias_{lin}
- P6: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), 3T_{NMOS}, SF_{lin}, bias_{lin}
- P7: Dnwell (sq, $\sim 20 \mu\text{m}^2$), 3T_{II}, ELT
- P8: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), DeepPwellSmall, 3T_{II}, ELT
- P9: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), DeepPwellMedium, 3T_{II}, ELT
- P10: Nwell_1 (octo, $\sim 10 \mu\text{m}^2$), DeepPwellLarge, 3T_{II}, ELT
- P11: Half_Pinned ($\sim 9 \mu\text{m}^2$), 3T_{II}, ELT
- P12: Half_Pinned+Nwell ($9 \mu\text{m}^2$), 3T_{II}, ELT
- P13: Nwell_gated (3x3 μm), 3T_{ELT}, reset_{II}
- P14: Nwell_3.3 (octo, $\sim 10 \mu\text{m}^2$), 2T_{II}, ELT
- P15: Half_Pinned (sq, $\sim 15 \mu\text{m}^2$), 3T_{II}, ELT
- P16: Half_Pinned+Nwell (sq, $\sim 15 \mu\text{m}^2$), 3T_{II}, ELT

- P0: Nwell (sq, $\sim 9 \mu\text{m}^2$), 2T_{II}, ELT
- P00: 32xNwell + 32xNwell_NS (sq, $\sim 9 \mu\text{m}^2$), 3T_{II}, ELT
 - Pitch 20x40 μm , 1diode
 - Pitch 20x40 μm , 2diodes
 - Pitch 20x80 μm , 1diode
 - Pitch 20x80 μm , 2diodes

Ampli structures (preliminary):

- AD_ncmos
- AD_ncmos_FELT
- AD_nmos
- AD_nmos_FELT
- AD_pcmos
- AD_pmos
- YD_nmos2
- YD_nmos3
- YD_pmos_4
- YD_pmos_5

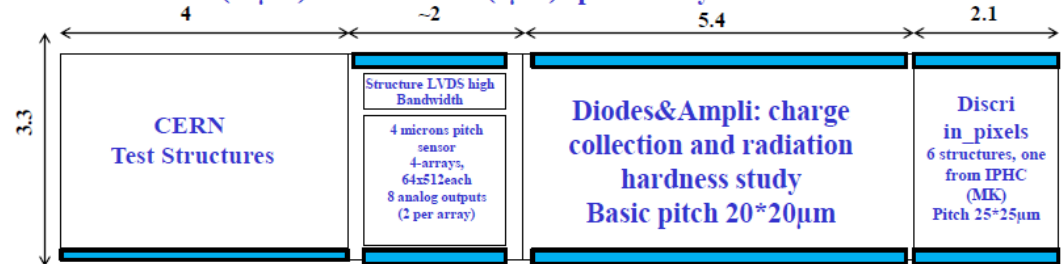
Mimosa-32ter structures

15 SF structures 20*20µm:

- P1_Sfter_2T_elt_11u
- **P2_Sfter_3T_lin_11u (M32_P6)** ←
- P3_Sfter_3T_linSmall_11u_DPW33u
- P4_Sfter_3T_elt_11u_DPW33u
- P5_Sfter_3T_linXSmall_11u
- P6_Sfter_3T_linSmall_11u
- P7_Sfter_3T_linSmall_11u_FullDPW_o6
- P8_Sfter_3T_linSmall_11u_FullDPW_o10
- P9_Sfter_2T_lin_11u
- P10_Sfter_2T_linSmall_11u
- P11_Sfter_2T_lin3p3_11u
- P12_Sfter_2T_lin3p3Small_11u
- P13_Sfter_2T_ACmim_linSmall_11u
- P14_Sfter_2T_linSmall_11u_NoPwellAround
- P15_Sfter_2T_linSmall_15u

Mimosa32Ter: Tower CIS, July 2nd 2012 submission: 6 Metal, MiM Capacitor, Quadruple Well (deep-N and deep-P wells)

- Overall chip dimension: **3.3x13.5 = 44.5 mm²**
- HiRes (18µm) and Standard (8µm) epitaxial layer



15 Ampli structures: (9 from Andrei, 5 from DRFU & 1 from Maciej)

- **P16_mk_InvAmp**
- P17_ad_nmos_fd
- P18_ad_nmos_fd_psw
- P19_ad_ncmos3p3_fd
- P20_ad_nmos_ft
- P21_ad_nmos_bt
- P22_ad_nmos3p3_fd
- **P23_yd_SF_CDS**
- P24_ad_nmos3p3_ft
- P25_ad_ncmos_fd
- P26_ad_ncmos_ft
- **P27_PMOS_5**
- **P28_yd_PMOS_5_Fbmod**
- P29_FG_nmos_AC
- **P30_yd_pmos_5_noFB**

2 SF pitch 20x33 µm :

- P31_SingleDiode_interleaved
- P31_DoubleDiode

Diodes&Ampli area

32 Basic block: 16 columns x 64 rows

Basic pitch: 20x20 µm

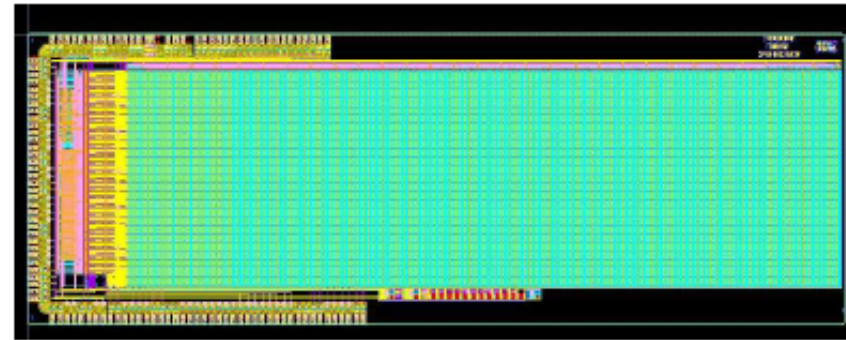
16 parallel analog outputs ,

5 bit (static) address to connect single block to the output bus.

Integr. time 32 µs (&2 MHz)

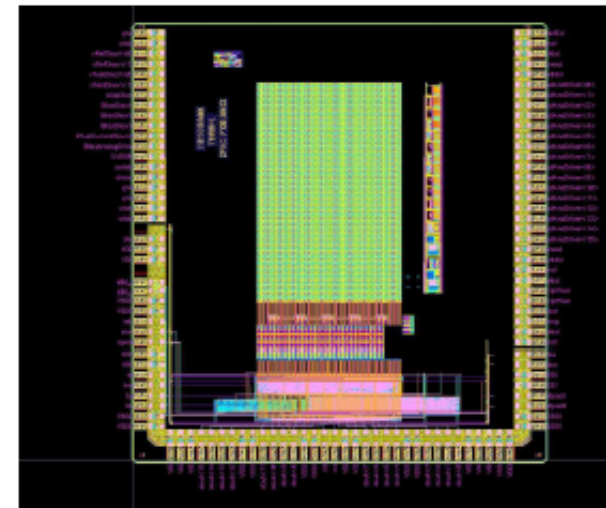
- MIMOSA-22THRA : SINGLE-ROW READ-OUT

- * goal : validate architecture of full chain from charge collection to signal discrimination (translation of STAR-PXL chip)
- * 2 chips : 1 with pixel P-25 (M32ter) and 1 with P-26 (M32ter)
- * main test objectives :
 - lab tests: 7 pixels, 2 T, ≥ 3 RL
 - beam tests : ≤ 4 pixels, 2 T, 2 RL
 - discri. threshold scan (FPN), pixel characterisation (analog outputs)



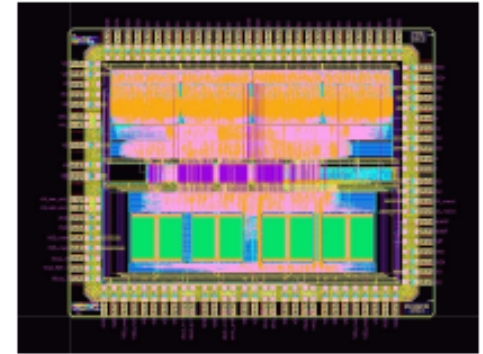
- MIMOSA-22THRB : DOUBLE-ROW READ-OUT

- * goal : validate double-row read-out approach
- * architecture derived from MIMOSA-22THRa, replacing single-row with double-row rolling shutter read-out (bottom sequencer)
- * 2 chips : 1 from IPHC, 1 from Irfu
- * main test objectives (lab only) :
 - validate 2-row // read-out at nominal frequency
 - demonstrate good SNR (FPN)



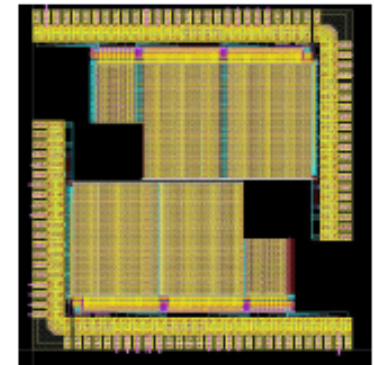
- SUZE-02 : SPARSIFICATION CIRCUITRY

- * goal : validate data compression architecture with L0 input (evolved translation of STAR-PXL sparsification circuitry)
- * main test objectives (lab essentially) :
 - lab tests : demonstrate architecture complies with design goals
 - irradiation tests : measure SEE sensitivity (output buffers)



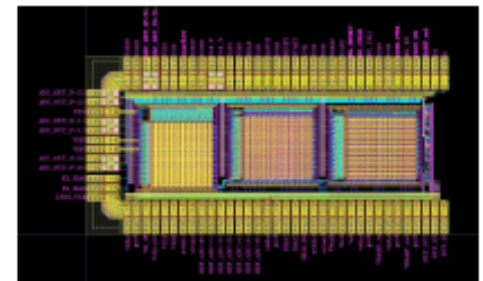
- AROM-0 : IN-PIXEL DISCRIMINATION

- * goal : compare 3 different high-precision in-pixel discriminators
- * main test objectives (lab only) :
 - demonstrate functionality of each discri. variant
 - determine noise & threshold uniformity of the 3 diff. discri.



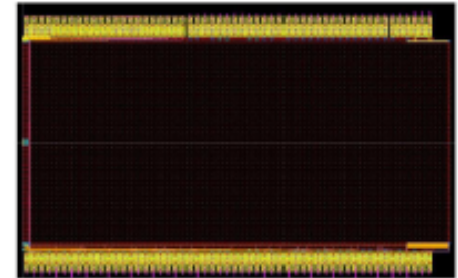
- MIMADC : IN-PIXEL ADC

- * goal : compare 3 different (ramp, SAR) in-pixel 3-bit ADCs
- * main test objectives (lab only) :
 - demonstrate functionality of each ADC variant
 - estimate noise, LSB, pixel-to-pixel dispersion of each ADC variant



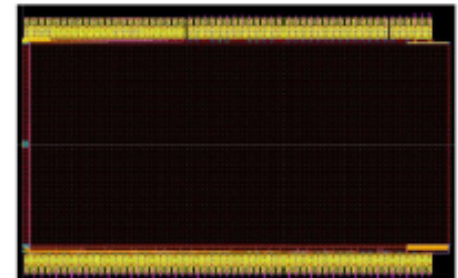
- MIMOSA-32FEE : IN-PIXEL AMPLIFICATION & CDS

- * goal : optimise in-pixel circuitry
- * main test objectives :
 - lab tests : N, G, CCE perfo. of 32 pixels vs T and RL
 - beam tests (tbc) : det. perfo. of a few pixels vs 2 T & 2 RL



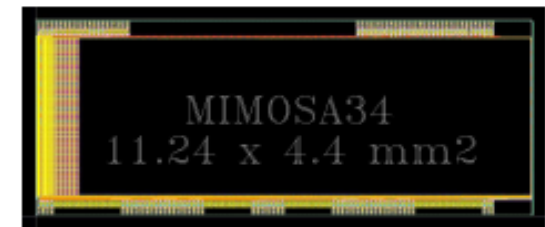
- MIMOSA-32N : IN-PIXEL NOISE INVESTIGATION

- * goal : identify (mainly RTS like) noise sources and mitigate
- * 2 chips : 1 with sensing nodes, 1 without sensing nodes
- * main test objectives (a priori lab only) :
 - understand RTS noise source & find ways to mitigate
 - study noise dependence on T and RL



- MIMOSA-34 : CHARGE COLLECTION OPTIMISATION

- * goal : understand influence of sensing node parameters on charge coll. and optimise SNR for various pixel dimensions (inner & outer layers)
- * main test objectives :
 - lab tests : N and CCE perfor. of 30-32 pixels vs T and RL
 - beam tests : detection performance of a few pixels vs 2 T & 2 RL



Protos pour l'ILC

- **Sensor final "500 GeV" prototypes** : fab. in Winter 2011/12
 - ※ **MIMOSA-30**: inner layer prototype with 2-sided read-out ▷ ▷ ▷
 - ↪ one side : 256 pixels ($16 \times 16 \mu m^2$)
 - other side : 64 pixels ($16 \times 64 \mu m^2$)
 - ※ **MIMOSA-31**: outer layer prototype ▷ ▷ ▷
 - ↪ 48 col. of 64 pixels ($35 \times 35 \mu m^2$) ended with 4-bit ADC
 - ※ prototypes still fabricated in $0.35 \mu m$ process (cost issue)

2

VTX detector at ILD.

- A spatial resolution near the IP better than $3 \mu\text{m}$;
- A material budget below $0.15\%X_0/\text{layer}$;
- A first layer located at a radius of $\sim 1.6 \text{ cm}$;
- A pixel occupancy not exceeding a few %, including backgrounds.

Table 2.1.1: ILD vertex detector parameters. The resolution and readout times are for the CMOS sensor option.

	R (mm)	$ z $ (mm)	$ \cos \theta $	σ (μm)	Readout time (μs)
Layer 1	16	62.5	0.97	2.8	50
Layer 2	18	62.5	0.96	6	10
Layer 3	37	125	0.96	4	100
Layer 4	39	125	0.95	4	100
Layer 5	58	125	0.91	4	100
Layer 6	60	125	0.9	4	100