

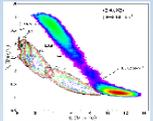
Présentation du nouveau système d'acquisition numérique développé au LPC de CAEN

FASTER

Benjamin Carniol, Thierry Chaventré, Daniel Cussol,
David Etasse, Cathy Fontbonne, Jean-Marc Fontbonne,
Julien Harang, Jean Hommet, Hervé Plard
Jérôme Poincheval

LPC Caen, ENSICAEN, Université de Caen, CNRS/IN2P3, Caen, France

Vendredi 11 Mai 2012

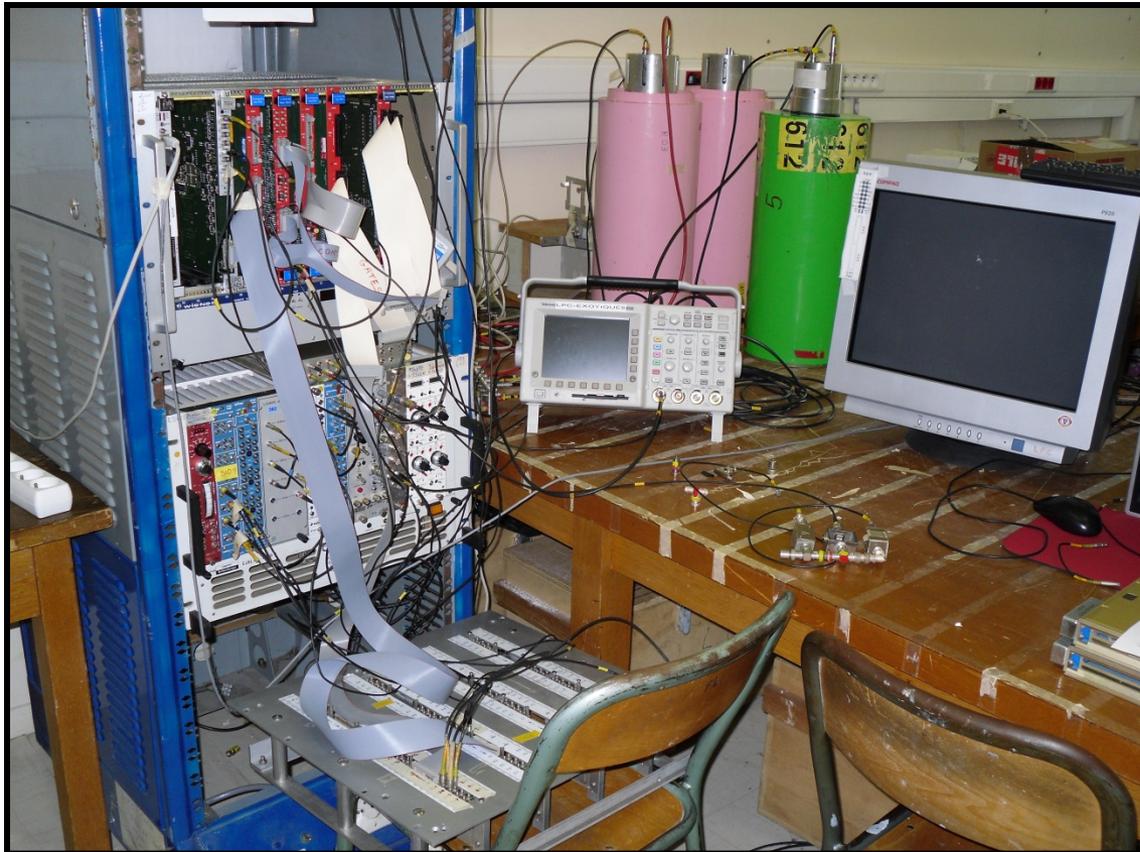


1. Introduction
2. Le premiers Modules Numériques de mesure (MnM's)
(Cathy Fontbonne)
3. Architecture matérielle (Benjamin Carniol)
4. Bilan

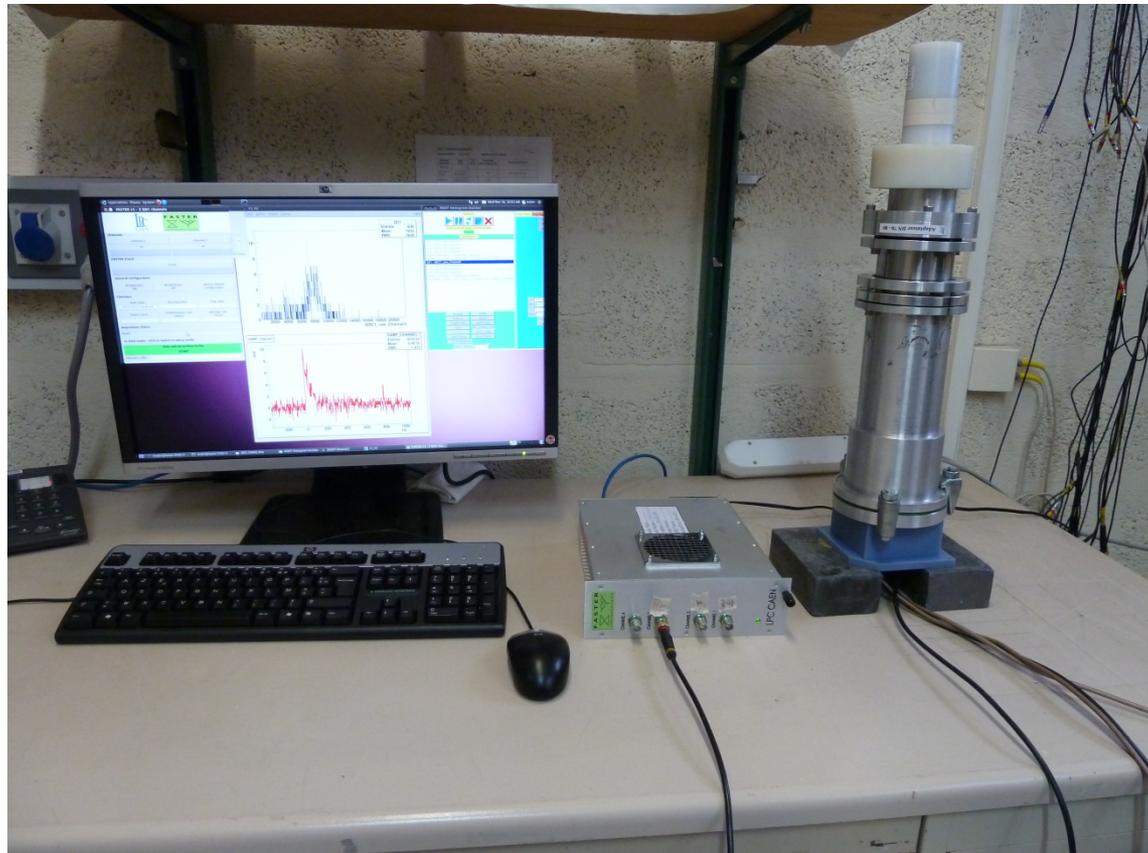
1. Objectifs de FASTER

- L'objectif de FASTER est de concevoir une plateforme de développement d'acquisition numérique modulaire.
- Contraintes
 - Générique, adaptable, extensible
 - 1 à quelques centaines détecteurs
 - Utiliser au maximum les nouveaux standards
 - Plusieurs niveaux de décision
 - Temps réel, distribution d'horloge simplifiée

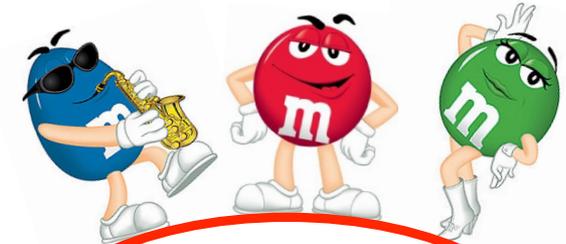
3. Acquisition standard vs FASTER



3. Acquisition standard vs FASTER



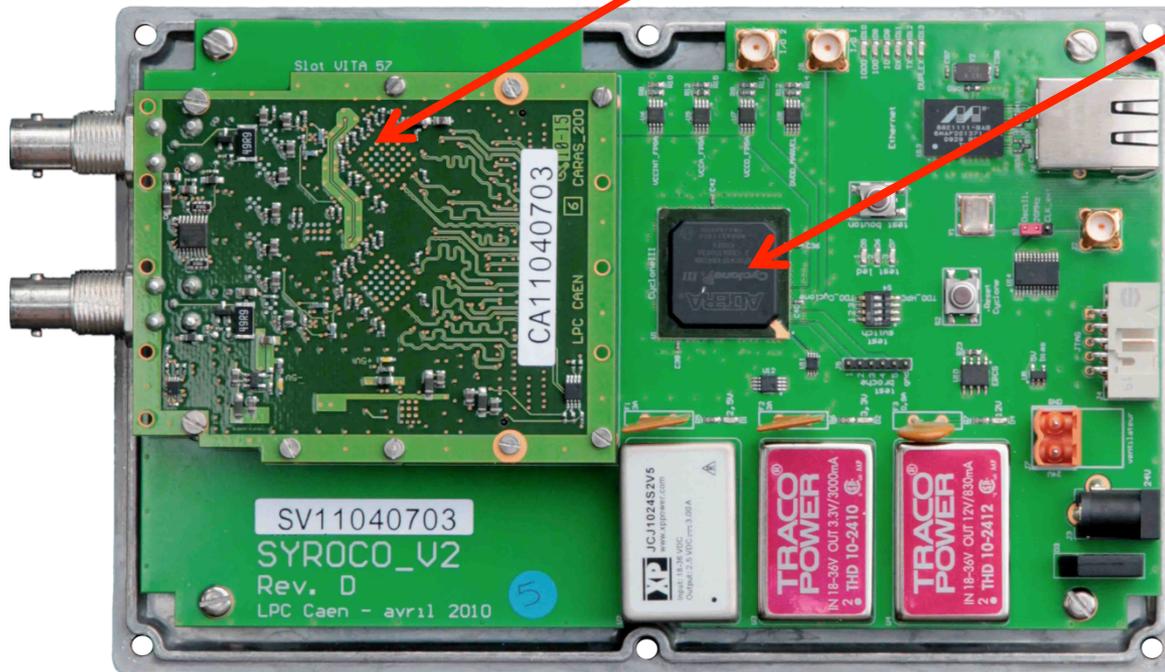
1. Introduction
2. Le premiers Modules Numériques de mesure (MnM's)
(Cathy Fontbonne)
3. Architecture matérielle (Benjamin Carniol)
4. Architecture globale (Jean Hommet)
5. Conclusion (Performances, perspectives, coût)



1. Définition d'un module de mesure

1 Voie de mesure = 1 Voie sur la carte fille +

1 Module numérique sur la carte mère



2. Les cartes filles développées

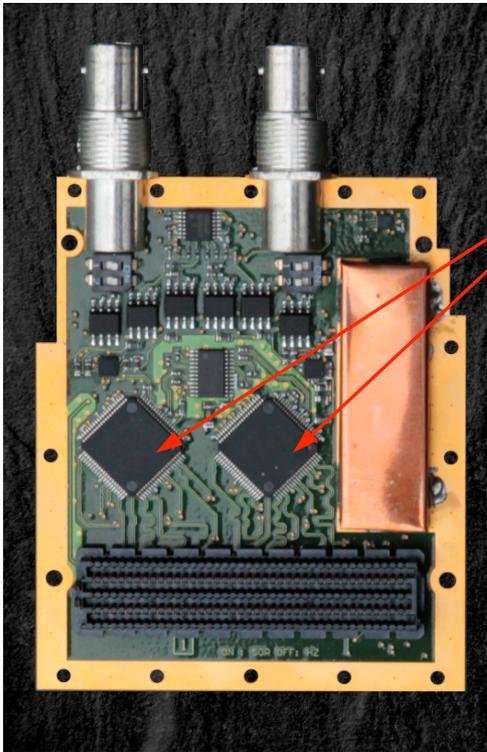
Actuellement, il existe 2 cartes filles de conversion analogique \rightarrow digital:

- CARAS : carte fille rapide, adaptée aux fonctions QDC, TDC, synchro RF, ADC
- MOSAHR : carte fille grande dynamique, adaptée à la spectroscopie haute résolution (ADC)

2. La carte fille CARAS

Spécifications techniques:

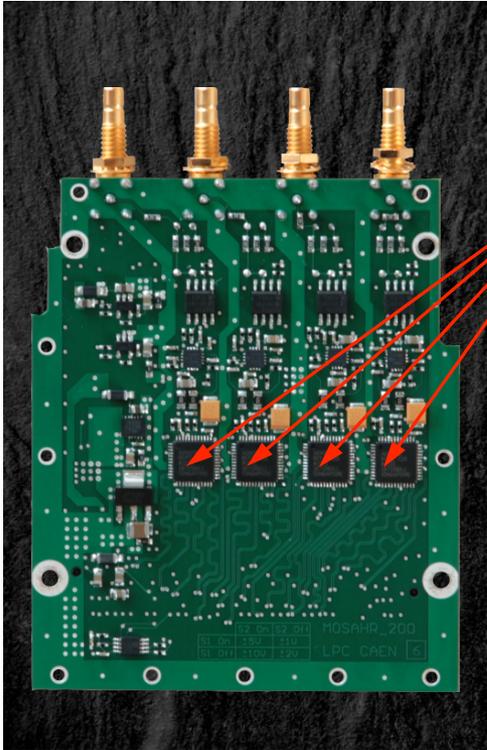
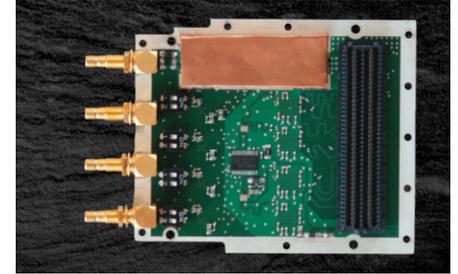
- Format VITA57
- 2 voies = 2 FADC 500MHz, 12 BIT
- $\pm 1.15V$ de gamme dynamique sur 50Ω ou $10k\Omega$ (sélection par switch)
- Offset d'entrée réglable par soft entre $-1.1V$ et $1.1V$
- Bruit: $1.1lsb_{rms} \approx 600\mu V_{rms}$
- Bande passante : 100MHz



2. La carte fille MOSAHR

Spécifications techniques:

- Format VITA57
- 4 voies = 4 FADC 125MHz, 14 BIT
- $\pm 1V$, $\pm 2V$, $\pm 5V$, $\pm 10V$ de gamme dynamique sur $1k\Omega$ (sélection par switch)
- Bruit: $1lsb_{rms} \approx 130\mu V_{rms} (\pm 1V)$
- Bande passante : 25MHz
- Isolement diaphonique $>97dB$

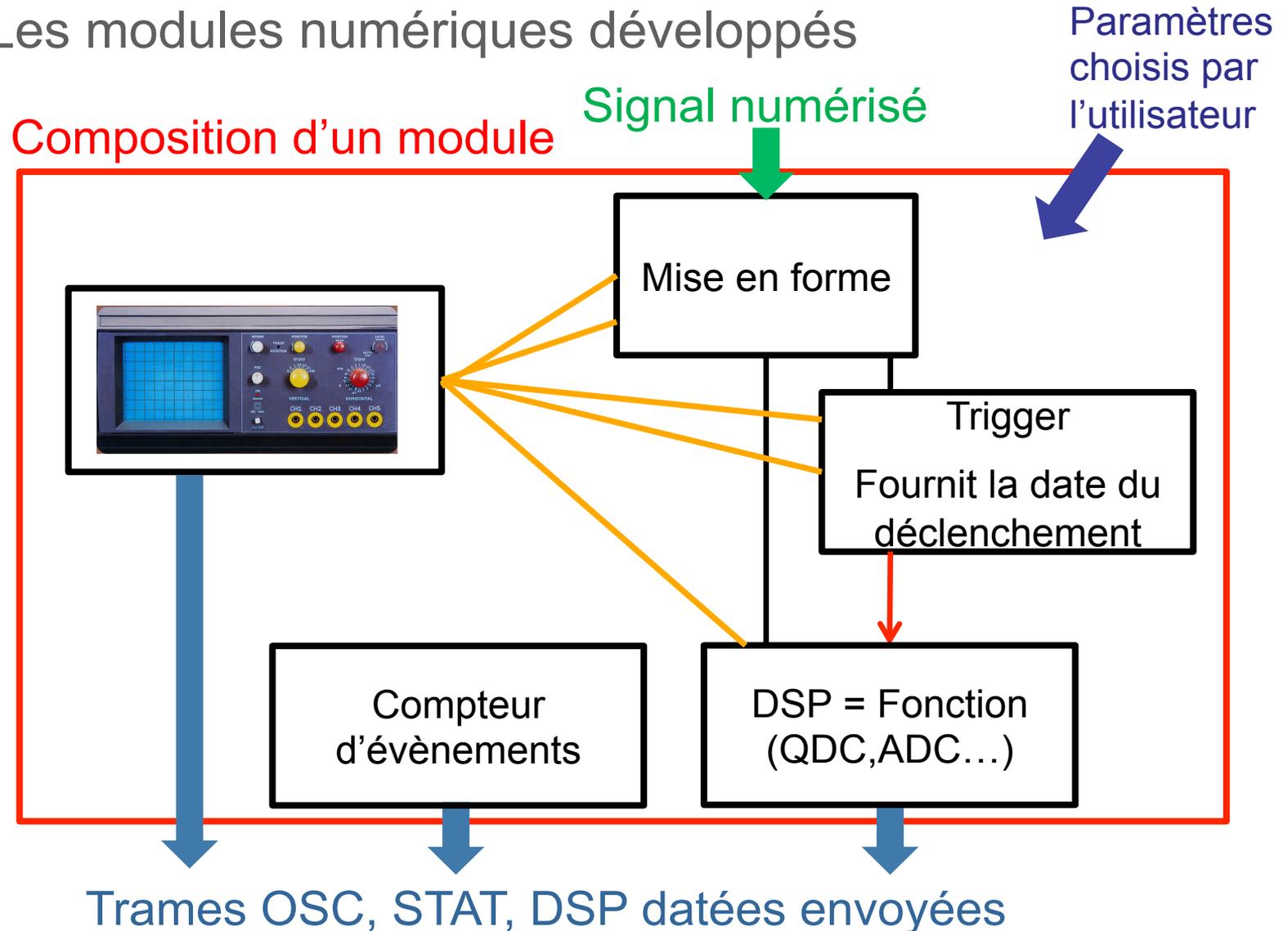


3. Les modules numériques développés

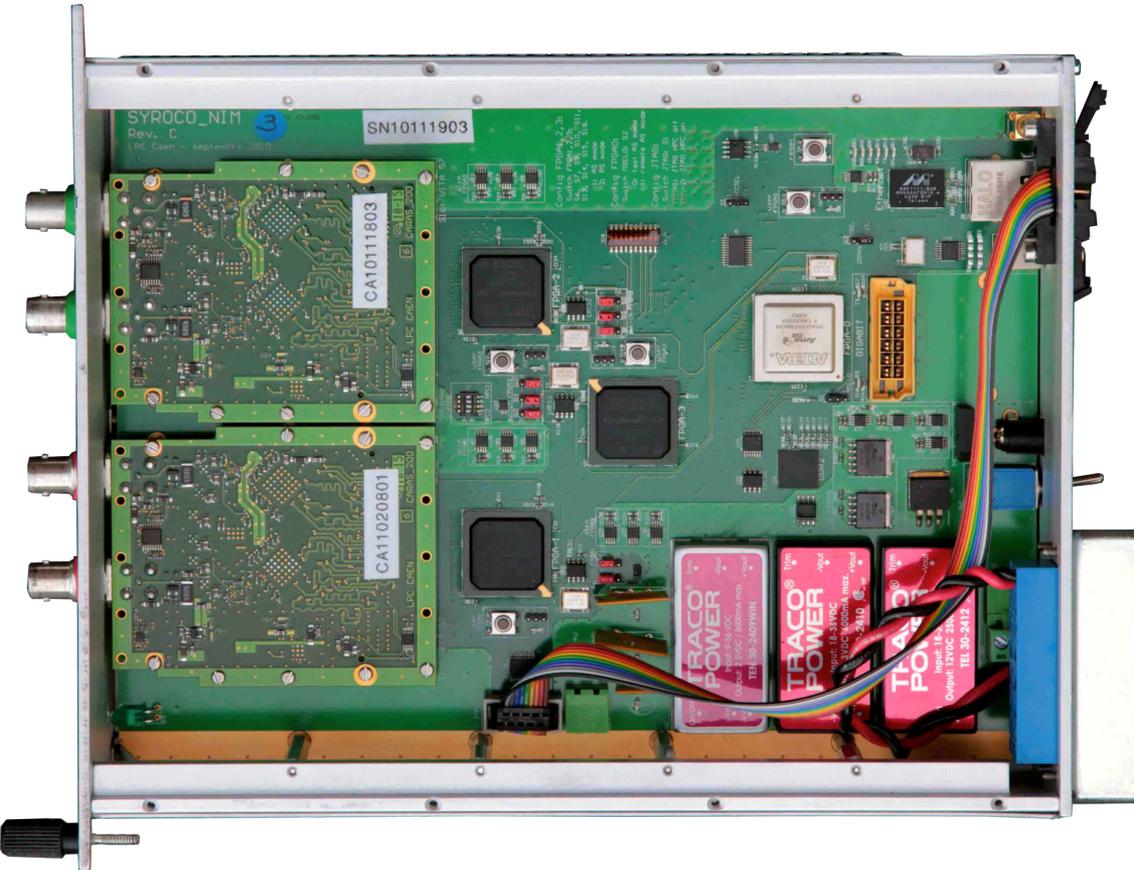
Actuellement, il existe 3 fonctions développées

- QDC-TDC_{HR}
- ADC-TDC
- Synchro RF

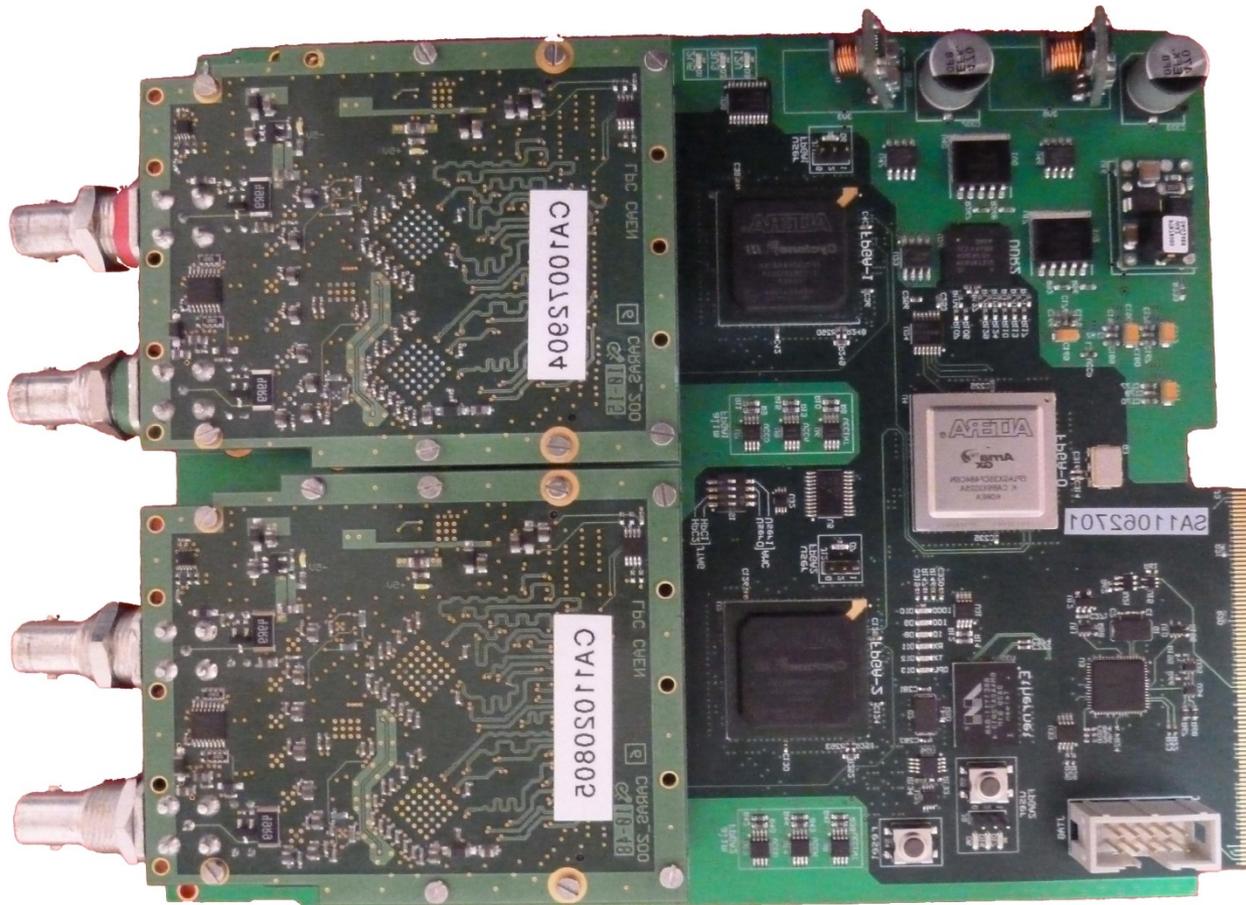
3. Les modules numériques développés



1. Modularité



SYROCO_AMC



Contraintes

- Deux slots VITA57
- Lien Ethernet Gigabit et 10G/s (AMC.4 SRIO)
- Développement carte fille VT026
- Développement d'une carte Pcie
 - VITA57/FPGA/Brigde SRIO-PCle

5. Bilan

- Premiers objectifs atteints
- Utilisé dans plusieurs configurations
- Qualité des mesures
- Performances élevées
- Futur
 - Développement des aspects dynamiques du modèle
 - Augmentation des performances
 - Développement de nouveaux modules
 - Ouvrir le système
 - Peut répondre aux besoins de NFS, DESIR.