

# Projets liés à xTCA au LLR

*Laboratoire Leprince Ringuet  
LLR Polytechnique IN2P3/CNRS*



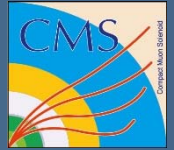
LLR Ecole Polytechnique  
F - 91128 PALAISEAU Cedex

*Présenté par : T. ROMANTEAU (LLR)*



# Upgrade CMS

## Remplacement des cartes SLB



### Cartes Trigger pour calorimètre ECAL de l'expérience CMS au CERN

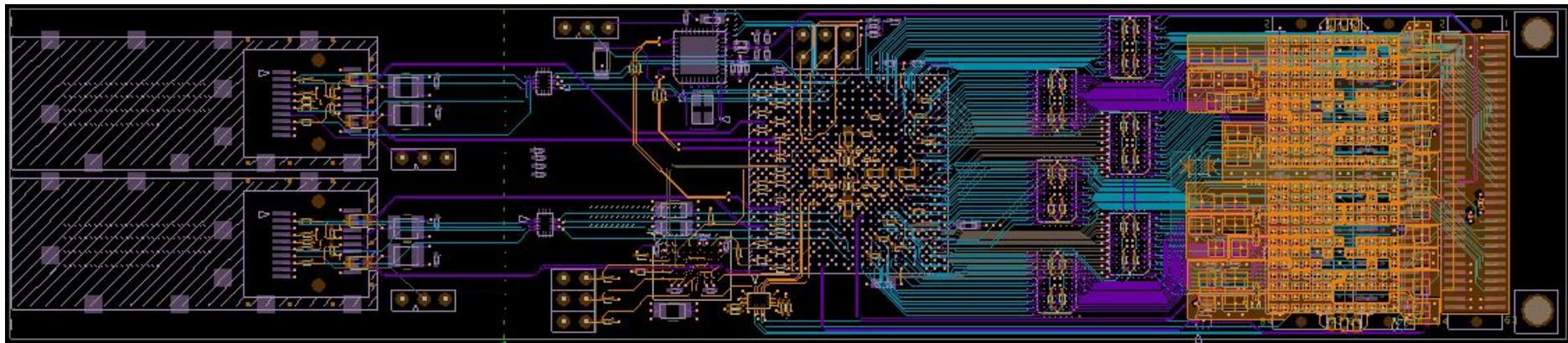
- **TCC68/TCC48, cartes de déclenchement de 1<sup>er</sup> niveau, développées au LLR**
  - standard VME64x 9U, carte multi couche, haute densité
  - 68 ou 48 liens série optiques à 800 Mbps en entrée, 1 lien série optique à 1,6 Gbps en sortie
  - Désérialiseur Agilent très faible Latence
  - FPGA Virtex4, Virtex2, Virtex2Pro
- **“Trigger Concentrator Card 68 entries” TCC68**
  - 36 cartes pour la partie tonneau du détecteur
  - 9 cartes mezzanine SLB par carte TCC68
- **“Trigger Concentrator Card 48 entries” TCC48**
  - 72 cartes pour les parties bouchons du détecteur
  - 36 avec 3 cartes mezzanine SLB, 36 avec 4 cartes mezzanine SLB
- **Serial Link Board (SLB), 4 liaison séries filaire à 1,2Gbps développée à Lisbonne**
  - Tranfert en continu (40 MHz) des primitives de déclenchement au trigger de niveau supérieur

### Upgrade des cartes SLB à liaison filaire vers des cartes OSLB à liaison optique

- **Duplication des sorties vers ancien et nouveau système de déclenchement HL**
  - 4 x 1,2Gbps filaire remplacé par (1x 4,8 Gbps optique) x 2
- **Compatible mécaniquement et électriquement**
- **Firmware carte TCCxx pouvant évoluer**
- **Software à modifier**

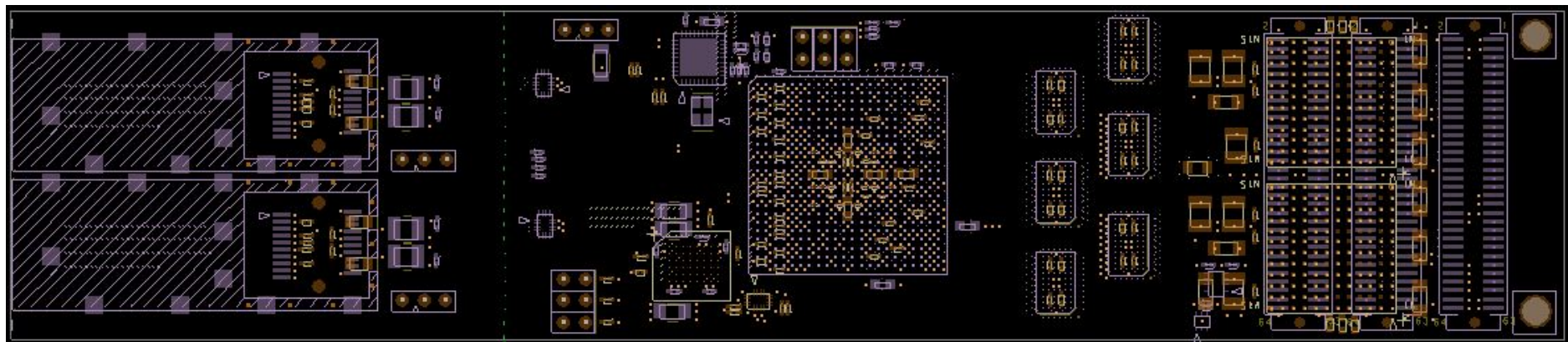
“Test Link Board” (TLB), une **plateforme de R&D** pour les liens séries

- **Définition d’un “CAD design flow” pour Multi Giga Transceiver (MGT)**
  - Importance des simulations pour les liens de 4 Gbps à 10 Gbps
  - Grand nombre de paramètres configurables (CTLE, DFE, FFE), optimisation nécessaire
  - Utilisation de modèles IBIS-AMI, effets analogique et digital conjointement modélisés
  - Méthodologie de conception du PCB basée sur l’intégrité du signal (SI)
  - Conception et routage du PCB utilisant “Allegro constraints manager” (Cadence)
- **Applicable pour l’upgrade des cartes trigger de ECAL/CMS (TCC68 et TCC48)**
  - Compatibilité software: TLB peut être installée sur les cartes TCCxx (SLB like)
  - Nécessaire au développement du banc test TCCxx/OSLB (Optique Serial Link Board)
  - Conception des Optique Serial Link Board (OSLB) basée sur Kintex7 de Xilinx



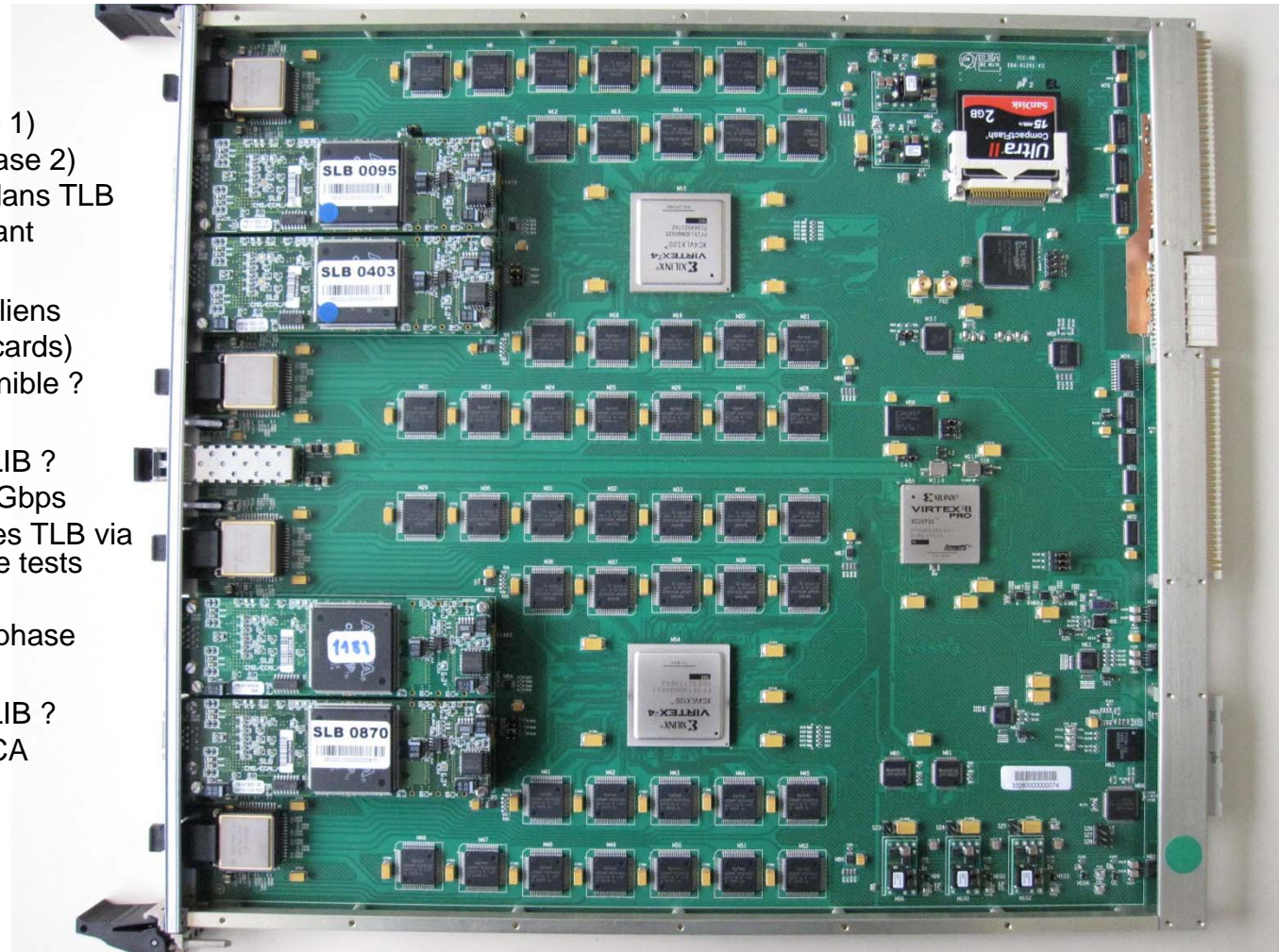
“Test Link Board” (TLB), une **plateforme de R&D** pour les liens séries

- **Définition d’un “CAD design flow” pour Multi Giga Transceiver (MGT)**
  - Importance des simulations pour les liens de 4 Gbps à 10 Gbps
  - Grand nombre de paramètres configurables (CTLE, DFE, FFE), optimisation nécessaire
  - Utilisation de modèles IBIS-AMI, effets analogique et digital conjointement modélisés
  - Méthodologie de conception du PCB basée sur l’intégrité du signal (SI)
  - Conception et routage du PCB utilisant “Allegro constraints manager” (Cadence)
- **Applicable pour l’upgrade des cartes trigger de ECAL/CMS (TCC68 et TCC48)**
  - Compatibilité software: TLB peut être installée sur les cartes TCCxx (SLB like)
  - Nécessaire au développement du banc test TCCxx/OSLB (Optique Serial Link Board)
  - Conception des Optique Serial Link Board (OSLB) basée sur Kintex7 de Xilinx



### Banc test TCCxx/OSLB

- **Châssis VME**
  - TCCx avec TLB (phase 1)
  - TCCxx avec OSLB (phase 2)
  - Chargement firmware dans TLB
  - Software de base existant
- **Châssis MicroTCA**
  - GLIB concentrateur de liens
  - AddOn FM-S14 (FMC cards)
  - AddOn TTC card disponible ?
- **Firmware**
  - Disponibilité librairie GLIB ?
  - Liens CUSTOM IP 4,8 Gbps
  - Configuration de test des TLB via la GLIB, séquençage de tests
  - Mesure BERR
  - Mesure alignement de phase
- **Software**
  - Disponibilité librairie GLIB ?
  - 1ère expérience en xTCA





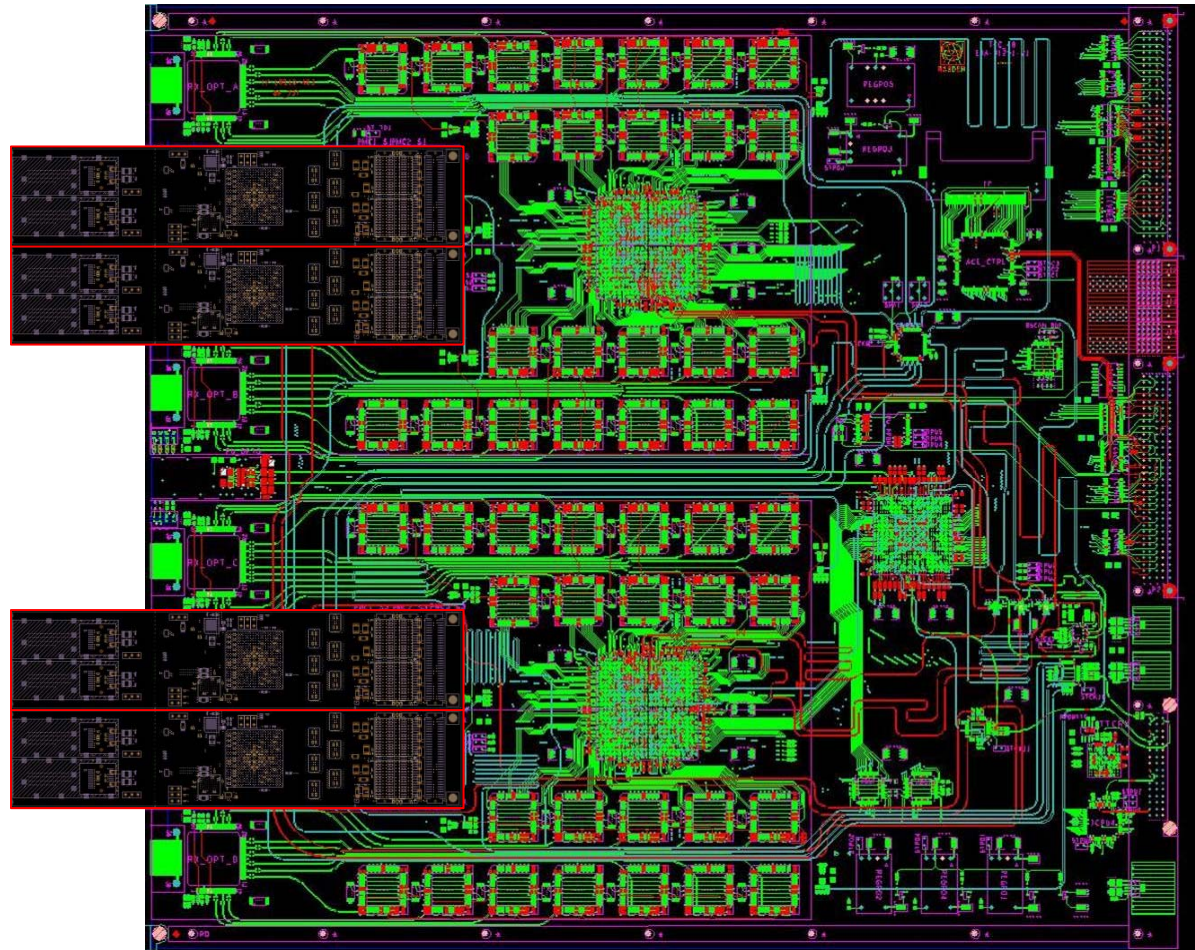
# Upgrade CMS

## Banc test TCCxx avec TLB/OSLB



### Banc test TCCxx/OSLB

- **Châssis VME**
  - TCCx avec TLB (phase 1)
  - TCCxx avec OSLB (phase 2)
  - Chargement firmware dans TLB
  - Software de base existant
- **Châssis MicroTCA**
  - GLIB concentrateur de liens
  - AddOn FM-S14 (FMC cards)
  - AddOn TTC card disponible ?
- **Firmware**
  - Disponibilité librairie GLIB ?
  - Liens CUSTOM IP 4,8 Gbps
  - Configuration de test des TLB via la GLIB, séquençage de tests
  - Mesure BERR
  - Mesure alignement de phase
- **Software**
  - Disponibilité librairie GLIB ?
  - 1ère expérience en xTCA





# Plans Future



## *Systeme d'acquisition basé sur xTCA ?*

### Systeme d'acquisition pour detecteur ultragranulaires CALICE / AIDA

- **Detecteur à forte granularité  $10^8$  voies de lecture**
- **Très forte intégration de l'électronique y compris DAQ (rien en off detector)**
- **Câble unique : power, fast control, slow control et DAQ**
- **Demeure basé sur des protocoles et formats standards (liens série 1 à 10 G)**
- **“sans backplane” : à priori sans xTCA**
  - Mais : utilité d'un backplane pour R&D et prototypage, bancs de tests, maintenance
  - Vers une conception compatible avec/sans backplane

### Conclusion

- **CALICE/AIDA : intérêt pour les R&D xTCA**
  - Source d'inspiration
  - Protocoles, fonctionnalités proches
  - Nécessité d'une optimisation de 'blocs IP' : faible encombrement, faible consommation, détournement partiel de fonctionnalités
- **CMS : la bonne occasion pour “se faire la main”**
  - Profiter d'une électronique existante standard supportée par le CERN (GLIB, MicroTCA)
  - Profiter de bibliothèques software et d'IP disponibles
  - Qualifier la qualité des transferts des cartes TLB et OSLB installée dans les TCCxx
  - Qualifier les modifications firmware nécessaires à l'intégration des cartes dans les TCCxx