

Status & plans pour la DAQ DHCAL

Vincent Boudry

*Réunion DHCAL France
24 janvier 2008*

@ IPNL – LAPP – LAL - LLR



Besoins

- Debug HArDROC → **Single Slab DAQ (SSDAQ): OK**
- Caractérisation détecteur + PCB → «**Cosmic» DAQ:** finalisation
 - 1 – 3 slabs avec lect. Analogique & Digitale
 - Could be used in TB
- Caractérisation d'un plan → **m² DAQ: Sept. 08**
 - Typ. 90×90 cm² (10×10 HR de 64 voies)
 - Analogique & Digitale
 - Lect. «parasitaire»: (ECAL, AHCAL) → Intégration DAQ1
- Full ½ m³ DHCAL prototype → **m³ DAQ: mi 09**
 - 40 plans de 70×70 cm² (8×8 HR)
 - Lect. digitale seule (à confirm.)
 - Intégration dans la DAQ2 (⊇ Début ECAL phys. Proto ?)

Single Slab DAQ (SSDAQ)

- Debug de la carte DHCAL1 (test 4 HarDROC)
 - Config Loading
 - HR Control
 - Raw Digital data readout
- Sous-produits:
 - ProtoDIF FirmWare (Xilinx ou Altera, n chips *ROC)
 - USB \longleftrightarrow VFE protocol
 - **libRoC** (C+ VHDL): disponible sur
<http://l1r.in2p3.fr/~jauffret/DHCAL>
 - Command line: C executable (windows / linux)
- Performance tests (not yet done):
 - Speed, HR limits, noise, limit conditions...

Merci à Clément!!

DAQ «Cosmique»

- Test de détecteur (RPC, µMégas) en Cosmique ou TB
- Contrôle & lect. de quelques cartes DHCAL1 équipées
 - single events on ext. trigger
 - low rate (cosmics), TB
 - Digital & analog output
- Implementation:
 - Labview interfacé avec la libRoC (dll en C).
 - → Interface graphique
 - USB readout pour la partie digitale & contrôle
 - Lecture analogique → page suivante

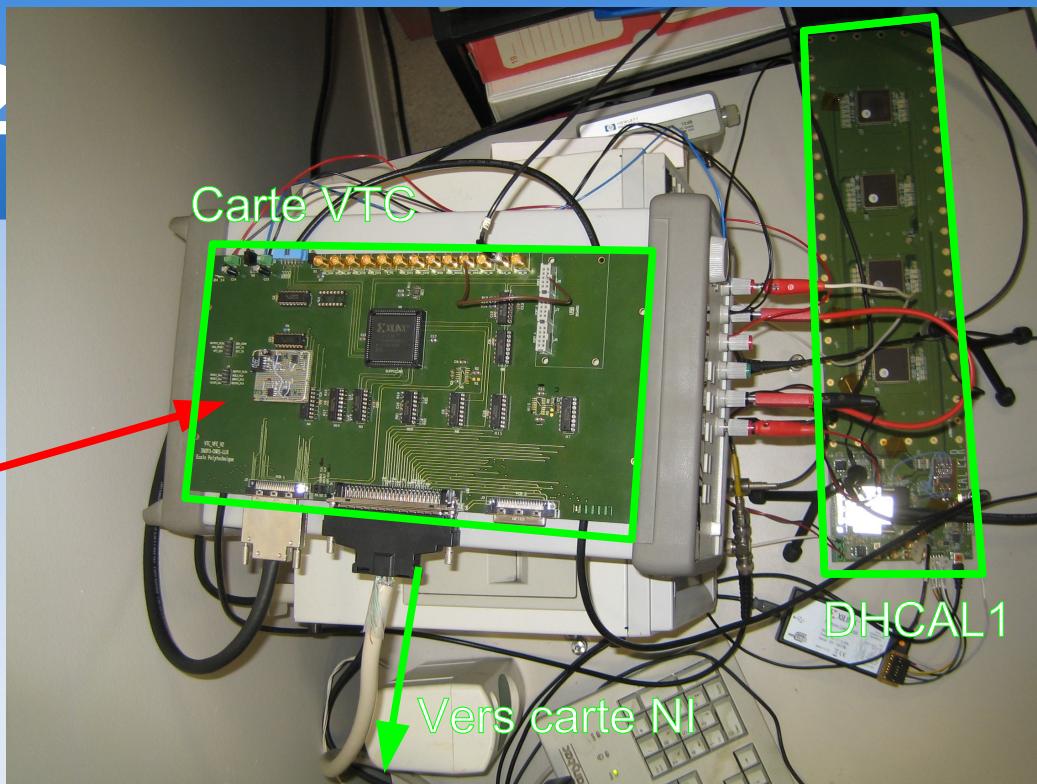
Rodolphe + Clément

DAQ «Cosmique» (2)

- Lect. analogique

- 1) Using ECAL SSDAQ
(lect. de 2 cartes possible)

- HW modifié
 - Polarité «LDVS»
 - Drivers analogiques
 - Cable
- Software en préparation
(→ Labview interface).



En cours (90% done)

- 2) Using the Calice DAQ (quand disponible)

- need for a connection socket ↔ libRoc
(80% done) (protocole, scheme of code)

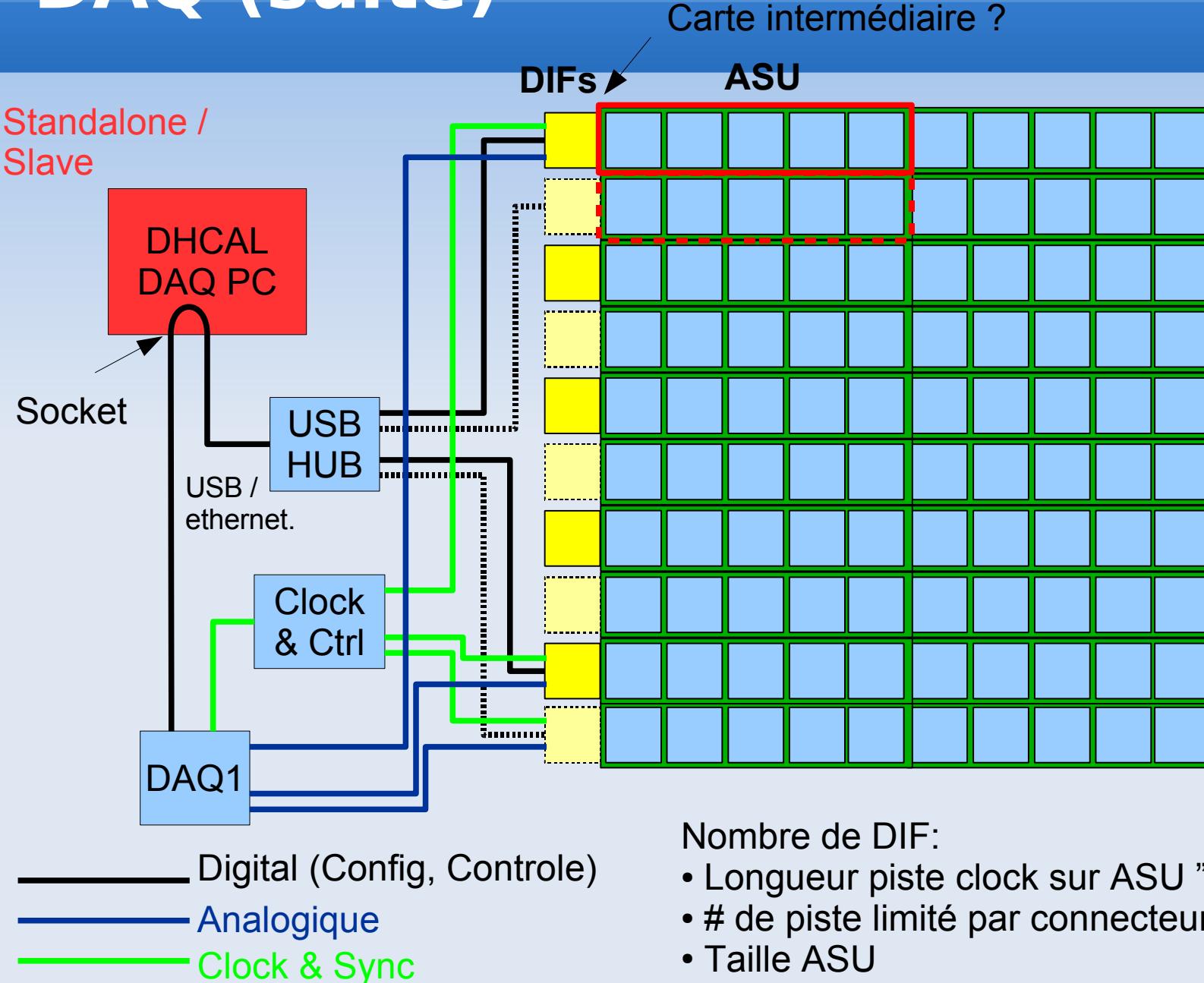
En attente...

- Sous-produits DAQ Cosmiques:

- 1ère analyse de données
- Mise en forme des données, premières reconstructions

- Test d'un plan de détecteur
 - Typ. 90×90 cm² (10×10 HR de 64 voies)
 - → typiquement 5-10 DIFs
 - Analogique & Digitale
 - Lect. «parasitaire»: (ECAL, AHCAL) → Intégration DAQ1
 - → Lecture d'événement seuls.
 - Contrôle par socket+libRoC (idem DAQ cosmique)
 - Test de lecture train (= test de la sync inter DIF et inter HR)
- Besoins: Automne 2008
- Sous-Produits
 - Proto DIF de la m³ (~10 cartes)
 - Test du power pulsing, de la synchro multi-SLAB
 - Définition des formats de données

M²DAQ (suite)



M²DAQ (suite)

- Implémentation
 - Lecture USB (avec 1 HUB USB/ethernet) par PC
 - Temps de lect. single evt:
160 bits par HR × 10 HR × ~20% (occupance max) × 1 MHz
→ ≤ 3ms per event (proche max RPC!) + overhead (×10?)
 - Distribution des Clocks & Sync ? **Proto UK Q1 2008 (à vérifier!!)**
 - Intégration avec la DAQ1 possible (⇒ socket)
 - CRC → DIF ADC ?
- A Faire:
 - 5-10 cartes DIF (V prés. Julie)
 - ⇒ tests (Banc: 1 proto ASU + SW)
 - VHDL : répertoire DIF Task Force - →
 - SW DAQ: Standalone et Slave
 - SW Slow Control (HV, LV)

- Repository ready (C. Combaret)
 - Configuration DIF
 - Configuration HR
 - Sequencage lecture digi
 - Sequencage lecture anal.
 - Data HR treatment
 - Readout ADC
 - I/O: **USB-DIF**, LDA-DIF, DIF-DIF
 - Slow control

- Full $\frac{1}{2}$ m³ DHCAL prototype
 - 40 plans de 70×70 cm² (8×8 HR)
 - Lect. digitale seule (event^t \supset DIF's ADC)
 - Intégration dans la DAQ2 (\supset Début ECAL phys. Proto ?)
- Mode de lecture
 - Train ou Single event
 - Train \rightarrow Synchro avant 1 spill puis lecture complète des HR durant inter-spill
 - Vitesse de lecture:
 - #evt (<127) × 160 bits × 1 MHz \rightarrow ~ 20kb en 20ms/HR sur une ligne
 - 20ms × 8 HR × 20% (max occup.) = 32kb en 32ms pour 1 ligne
 - (+ ADC data: 12 bits \rightarrow data × 6)

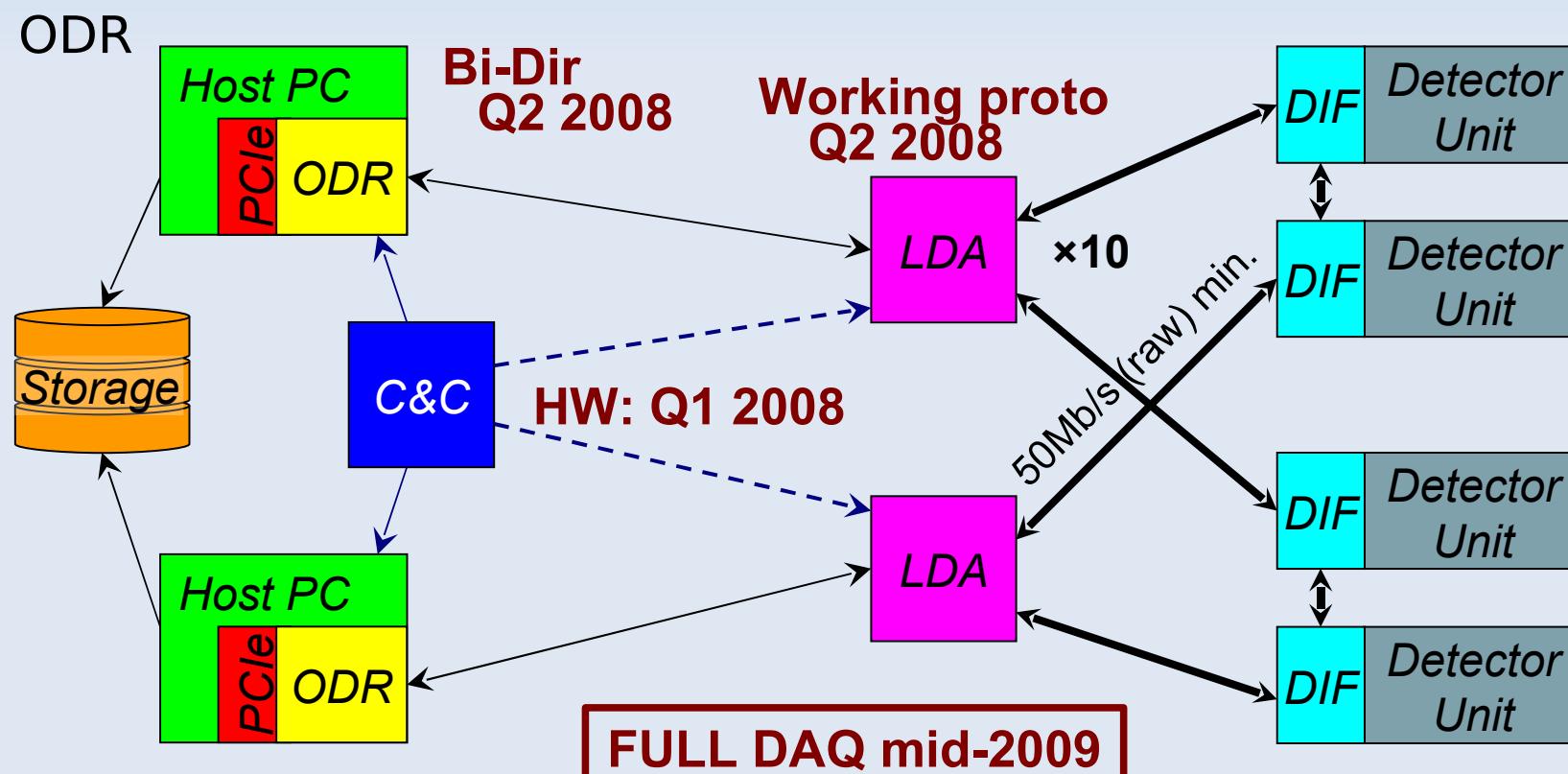
DAQ2 Architecture

DIF: Detector InterFace connects Generic DAQ and services

LDA: Link/Data Aggregator – fanout/in DIFs and drives link to

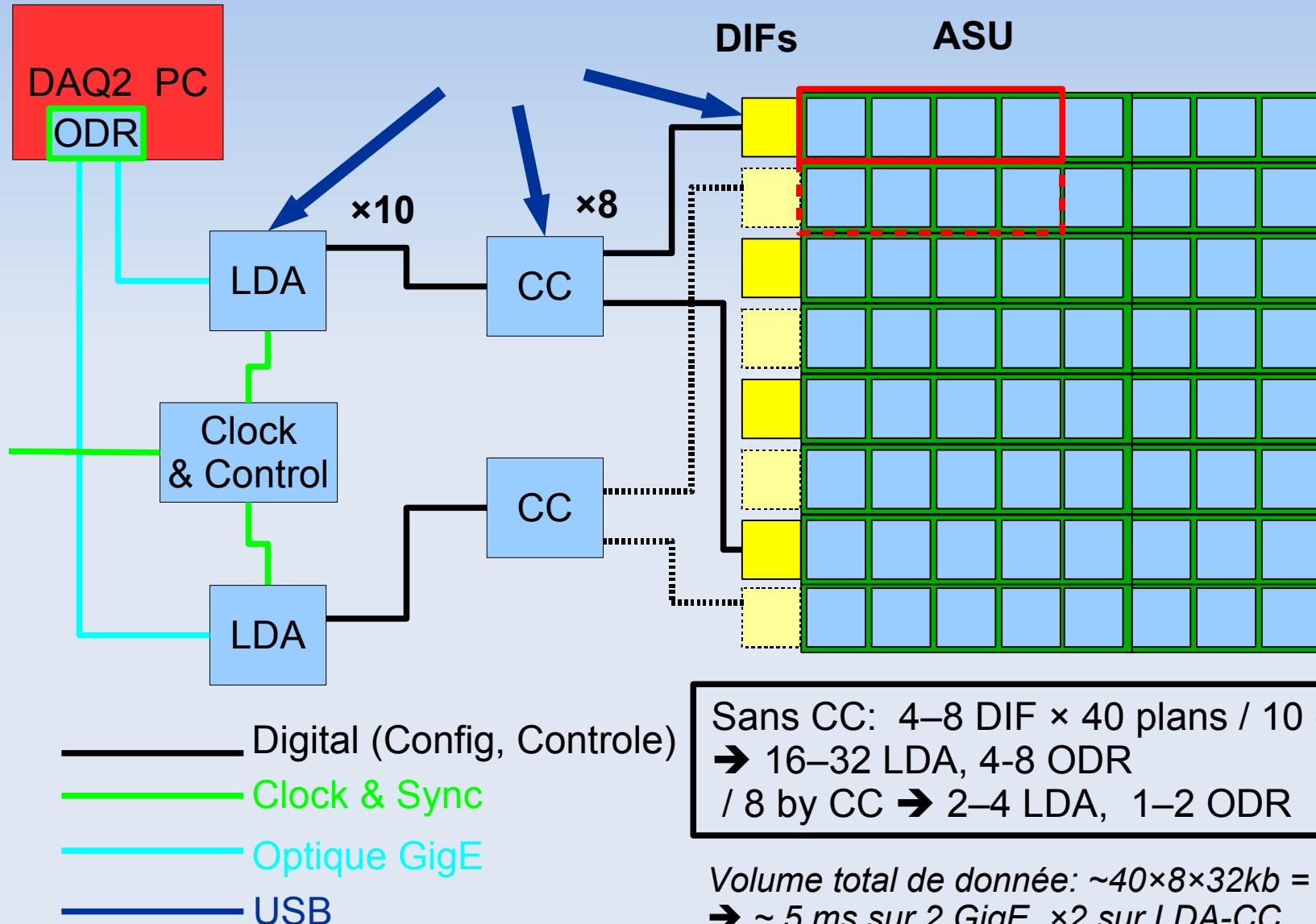
ODR: Off Detector Receiver – PC interface for system.

C&C: Clock & Control: Fanout to ODRs (or LDAs)



Adapted from M. Warren

M³DAQ (suite)



- Implémentation:
 - DAQ2: ODR → LDA → (CC →) → DIF
 - Dépendant de:
 - Avancement de la DAQ2 (esp. LDA)
 - Backup: CC lue par USB (USB2 = 40 Mb/s)
- A Faire:
 - DIF m² → m³,
 - Estimation Prix
 - Full prod: 320 unités + spares
 - Test complet de 320 cartes
 - Carte CC:
 - Confirmation nécessité (prix LDA, ODR vs prix CC+main d'œuvre)
 - Proto + prod & banc test (40 U) → Déb. 09
 - Modifs Protocole LDA–DIF → AV

Param. Critique:

- Taille des ASUs
 - Taille maximum d'1 PCB
 - Nombre max d'ASU liés
 - Longueur maximum des lignes DIF–HR acceptable

Conclusion

- Simple DAQ's near completion
- DHCAL1 test card: Very good basis for next gén (DIF)
 - → Compatibility of library SSDAQ
- M²DAQ: critical: Clock & control module (needs check)
- M³DAQ: structure fully dependant on the number of HR per line
 - Fully dependant on DAQ2 developpement (⇒ soft)
 - Measure of max length (Cambridge UK FPGA test Board)
 - Need price estimates (DIF, LDA, ODR)
 - → fix structure & evently start work on CC