



IN2P3
Institut national de physique nucléaire
et de physique des particules



Irfu - CEA Saclay
Institut de recherche
sur les lois fondamentales
de l'Univers

Prospectives 2012

Instrumentation & Détection

GT 14

Microélectronique

Electronique numérique

Informatique temps réel - Slow control

Le point de vue des électroniciens sur l'instrumentation

- La R&D instrumentale LHC est terminée depuis 10 ans
- L'effort porte sur upLHC, ILC et les projets qui prennent place entre ces jalons → Spiral2, SuperB, GSI, Neutrino Facility, Spatial ..
- En électronique, les 3 métiers μ E-ENum-RT, forment un continuum
 - Les fonctionnalités glissent d'un domaine de spécialité à l'autre
 - Le traitement au plus près du capteur est recherché

→ **Tendre vers des détecteurs compacts**

Fonction des contraintes des expériences

- **Nous disposons**

- μ E: Des ASIC, circuits FE ou capteurs, qui numérisent le signal au plus près
- ENum: Des FPGA, des cartes capables absorber les hauts flux de données
- RT: Des systèmes d'acquisition et de transport de données qui s'appuient sur les technologies de l'information (internet, télécommunication)

Pour en retirer une vision système, l'interaction et la complémentarité des spécialistes des 3 domaines sont indispensables

- **La μE diffuse vers les capteurs de tous les domaines d'expérience**
 - ➔ **Inflation du cahier des charges imposé aux filières Si**
 - Critères de fonctionnement
 - Dynamique, rapidité du signal
 - Faibles bruit et puissance
 - Environnement expérimental
 - Tolérance aux radiations
 - Cryogénie
 - Architecture: du Système sur puce
 - Numérisation-Prétraitement
 - Transmission des données
 - au Capteur Intégré
 - Collection de charge
 - Intégration verticale 3D
- **Productions conséquentes qui intéressent l'industrie**
 - ➔ **Un accès aux fondeurs de niches / Une diversification des nœuds**
 - Avant:
 - Partenariat CERN-IBM
 - Courtiers en fonderie
 - Maintenant
 - Consortium 3DIC
 - Fédération CPS
 - et à venir:
 - (Tezzaron)
 - (TowerJazz)
- ➔ **Nécessité de business plan ~ 1M€ sur 3 ans**

SiGe, 350nm

180nm

130 nm

65 nm

HRES épi/substrat
Multi-wells, TSV

Focal pour Alice:
R&D à ~50m² de CPS

ALICE, CBM,
SuperB, STAR, ILC,
... ATLAS

Budget: Accroissement du
ratio R&D / Production

- **Diversité des technologies**

350 nm AMS	Mature, nombreuses options.	Faible niveau d'intégration
350 nm XFAB	Seconde source 0.35. + Stitching	
180 nm XFAB	Existe depuis 2 ans	
180 nm AMS	Successeur du 0.35	Janvier 2012
180 nm Tower	Techno Imageurs / CPS	En validation
130 nm IBM	Référence actuelle sLHC	
3D Tezzaron - 130nm	LA rupture technologique	Maturation longue à venir
65 nm TSMC	Future référence CERN ?	Coût, Complexité

- **Impact sur le procédé de conception**

- Traduction des conceptions
- Disposer de briques bien maîtrisées et partagées
- Cette hétérogénéité sera mise à profit dans les procédés 3DIC

Ex. IP Club 0.35 μ m
New AIDA IP 65nm

- **Applications à haute intégration système**

- La recherche de filières dépasse le cadre strict du procédé de fonderie
- Elle doit prendre en compte le packaging au sens large
 - Traitement du Wafer / de la Puce
 - Interconnectique pour l'assemblage haute densité (AIDA)

- Stitching
- Ultra-amincissement
- Thin Film Wrap
- System In Package

➔ **S'ouvrir à des réseaux technologiques pour l'instrumentation**

- **Un métier qui se spécialise et se segmente**
 - Inhérent à la complexité croissante
 - ASIC/Capteurs
 - Procédés de fonderie
 - Outils

**Tendance similaire en
ENum & RT**

→ L'équipe μ E idéale pour l'instrumentation

Coordinateur du groupe de conception	Architecture globale: Implantation - Intégration de blocs Validation globale: Simulation - DFM et PostSimulation
Concepteurs analogiciens / signaux mixtes	Conception de blocs: Simulation – Réalisation - Vérification Option capteur: Etude de la collection de charge dans le Si
Concepteurs numériques Besoins croissants	Conception de blocs: Description HDL - Simulation – Synthèse Vérification des sous-ensembles
Ingénieurs CAO (Impliqué dans les projets)	Ajustement des outils, des kits des fondeurs Validation des flots de conception
Ingénieurs test et mesure (ASIC, Chaînes de circuits)	Tests sous pointes, caractérisation des prototypes Développement de bancs de caractérisation
Concepteurs PCB	Cartes de test ASIC / Capteurs et carte DAQ Particulièrement des cartes rapides
Concepteurs FPGA / DAQ / RT	DAQ de test en faisceau ASIC / Capteurs

→ Pour aller de l'avant

• Poursuivre la constitution d'équipes de taille critique

- Pôles fédérateurs de μE
- Equipes conséquentes de μE

IRFU - IN2P3
~50 $\mu\text{électroniciens}$

• Mener un travail collaboratif

- En interne (projet) avec:
 - les physiciens instrumentalistes
 - Les ingénieurs de tests → Design For Testability
 - Les autres acteurs de la chaîne d'instrumentation
- En externe:
 - Projets fédérateurs avec d'autres équipes μE
 - Partage d'expérience / de briques de base (IP)
 - Revue de projet des circuits majeurs

Faire face à la compétition

- Visibilité internationale
- Preuves de concept
 - Démonstrateurs clefs en main
 - Time to Market

→ ENum et RT: Démarche similaire

• Pour les μE auprès des capteurs, disposer de groupes compétents par domaine

- Calorimétrie - Tracker HPS / CPS - Spatial
- Cryogénie - Briques de base (IP, prog AIDA)

Cf. les réseaux
d'instrumentations
(CdIT)

- **Les outils de CAO ASIC, PCB et FPGA sont vitaux**

- Rester en adéquation avec la communauté internationale de $(\mu)E$ pour la Φ
- Poursuite de la mutualisation
 - Partage de la technicité
 - Prix raisonnables / Relations fournisseurs

- IRFU + IN2P3 ~ 700 k€/an
- IN2P3–Cadence: 1991-2012

- **Des outils toujours plus puissants**

- Simulateurs multi-cœurs, multiprocesseurs
- Post-simulations à haute granularité
- Transversaux aux $(\mu)E$ et Φ , rapprochant les modes de simulation

Langages très haut niveau
de description d'architectures
FE + RO + DAQ

- **Mais complexes à pratiquer quotidiennement**

- Flots de routage mixtes analogique/numérique (μE)
- Simulation de cartes haute vitesse
- Environnements de développement FPGA

→ **Ces évolutions doivent être accompagnées par**

- La formation ~70 IT, ~200 j/an sur Cadence jusqu'en 2011
- Des prestations spécialisées à envisager
 - Pour rester dans le cœur de métier

VCAD au CERN
Configuration du flot IBM 130nm
100 – 200 k€ / an

- **Constat: Les capacités des FPGA ne limitent plus l'application**

- Large spectre du FE aux larges DAQ
 - Numériseur (ADC) + FPGA
 - Acquisition / Prétraitement / Trigger / Transferts hauts débits

Fonction des contraintes

- Puissance, Volume
- Budget matière

→ **C'est la maîtrise de la complexité qui limitera l'application**

- **Niveau hardware: FPGA et Cartes**

- Spécifications ardues
- Connectique haute densité
- Power Integrity
- Signal Integrity, Clock Distribution

100 liens à ~30 GHz → 6 Tb/s !!!

>2000 broches

Alimentations multidomaines

Couplage haute densité FPGA–DDR3

- **Niveau firmware & environnement:**

- Développement logiciel embarqué // HDL de synthèse //cartes d'acquisition
- Planification du ciblage multi-FPGA
- Toujours plus de fonctions embarquées
 - Debugger, Analyseur logique, oscilloscope, drivers optiques?

Les FPGA sont des trous noirs

- **Niveau du marché**

- ALTERA - XILINX imposent de fait une répartition des ressources humaines

ARM mettra-t-il tout le monde d'accord?

→ Pour aller de l'avant

• Soutenir le savoir-faire

- Construire des réseaux d'expertise
 - Routage haute densité / haute vitesse
 - Environnement de développement XILINX / ALTERA
 - Protocoles de communication

• Encourager les développements collaboratifs

- Concepteurs de firmware (VHDL, Verilog, SystemC)
- Développeurs sur processeurs embarqués (C, C++)
- Numériciens de la μ E Front End

• Encourager les évolutions de méthodologie

- Utilisation de langages proches/communs
- Utilisation d'outils de partage de code
- Co-développement HDL de synthèse et C++ du processeur

• Investir dans des bibliothèques

- Achat d'IP mutualisées
- Echange de code
- Modèles en paramètres S

PCB: Allegro Multi-GHz
FPGA: DesignPlanner
DDR3: TimingDesigner

Cf. les réseaux DAQ
xTCA – sLHC
Narval – Spiral2

Tous cousins

La bibliothèque de composants de l'IN2P3
Une IP, une vraie valeur ajoutée

Extracteurs de paramètres
Oscilloscopes hautes performances > 5Ghz
→ Des instruments onéreux ~100k€

- **Toutes les expériences de physique ont adopté la DAQ en couches**
 - **Basse : Acquisition du flot de données**
 - Point crucial, Ressource partagée avec ENum (FPGA)
 - Arbitrage entre Code de synthèse rapide et Code exécutable souple, réutilisable
 - La performance dépend des synergies entre spécialistes ENum et RT
 - **Intermédiaire: Middleware**
 - Echange de données entre applications distribuées
 - Basé sur appels de procédures ou d'objets à distance
 - Utiliser des standards de référence
 - **Supérieure: Interfaces graphiques**
 - Ouverture aux technologies Web
 - Normes et environnements de développement
 - Des applications accessibles via les navigateurs
 - La fin des clients lourds installés sur stations dédiées
 - Banalisation de l'accès aux ressources
 - Ouvertures aux smartphones et tablettes
- **Ce modèle s'adapte selon les contraintes des domaines**

HEP précurseur

ICE:
Java
Python
Objective-C

Google Web Toolkit,
Struts / J2E
(Java Enterprise Edition)

Alertes, Monitoring,
Calibration

- **Spiral2: une DAQ robuste, versatile et modulable**

- Adaptée au principe des campagnes d'expériences **Gain en coût d'installation**
- Matériel **Optimisation des ressources humaines**
 - De 10 à 10000 voies, ~10kHz/voie, des Gb/s
 - Réseaux de cadencement & déclenchement, traitement du signal
- Logiciel
 - Format de données commun aux expériences pour traitement et stockage
 - Une standardisation du Ctrl&Cmd, de l'interfaçage avec les systèmes extérieurs

➔ **NARVAL: Une plateforme ouverte pour les besoins actuels et à venir**

- **upLHC: Des DAQ affutées pour la montée en luminosité**

- Matériel
 - Millions de voies, 40kHz-40Mhz/voie, des Tb/s
 - Acquisition centrée sur la couche basse
 - Fusion/disparition de niveaux de triggers
 - Prétraitement, Mise en paquets vers méga-switches réseau
- Logiciel
 - Middleware et logiciels embarqués, réduits au contrôle et à la supervision
 - Distribution dynamique des données sur fermes de PC

SALICE: ITS, proj. 10m² CPS
>1Tb/s sur TLO

sLHCB: DAQ triggerless
34Tb/s du FE à la Ferme
Event building @ 40MHz

→ Face à la complexité

- **Mener un travail collaboratif inter-labo**
 - Ex: Narval/Faster, des groupes de travail, de formation
- **Pour de l'ingénierie logicielle**
 - Méthodes de gestion de projets
 - Règles de conception et de qualité, traçabilité du code
- **Acquérir/développer de nouvelles compétences**
 - Ex. autour du switching réseau, «event-building specific » (hard & soft)
- **Disposer/développer des outils d'investigation et de qualification**
 - Vision système à différents niveaux d'implantations du firmware et software
 - Analyse, resimulation de situations / d'événements
 - Aide à la création d'environnement de test et validation
 - Part de la R&D croissante dans un projet

→ Les 3 Métiers

- μE doit poursuivre ses efforts vers l'intégration aux capteurs
- ENum est le pivot pour l'exploitation hyper-sélective des données
- RT doit fournir des systèmes puissants pour l'acquisition, le contrôle, la traçabilité

→ Globalement pour l'Electronique

- **Nous disposerons de la puissance des technologies de l'industrie**
 - A condition d'y avoir accès (Coûts, Volumes, Produits stratégiques)
 - A condition d'en maîtriser la complexité
- **Nous ferons émerger de nouvelles technologies**
 - Etre nombreux en spécialité
 - Etre structurés
 - Construire avec la vision de la chaîne d'instrumentation