

CLIC Electronics: *Acquisition system* *Evolution ...*

Jean-Marc Nappa

LAPP - Oct 2011 – Service Electronique



Sommaire:

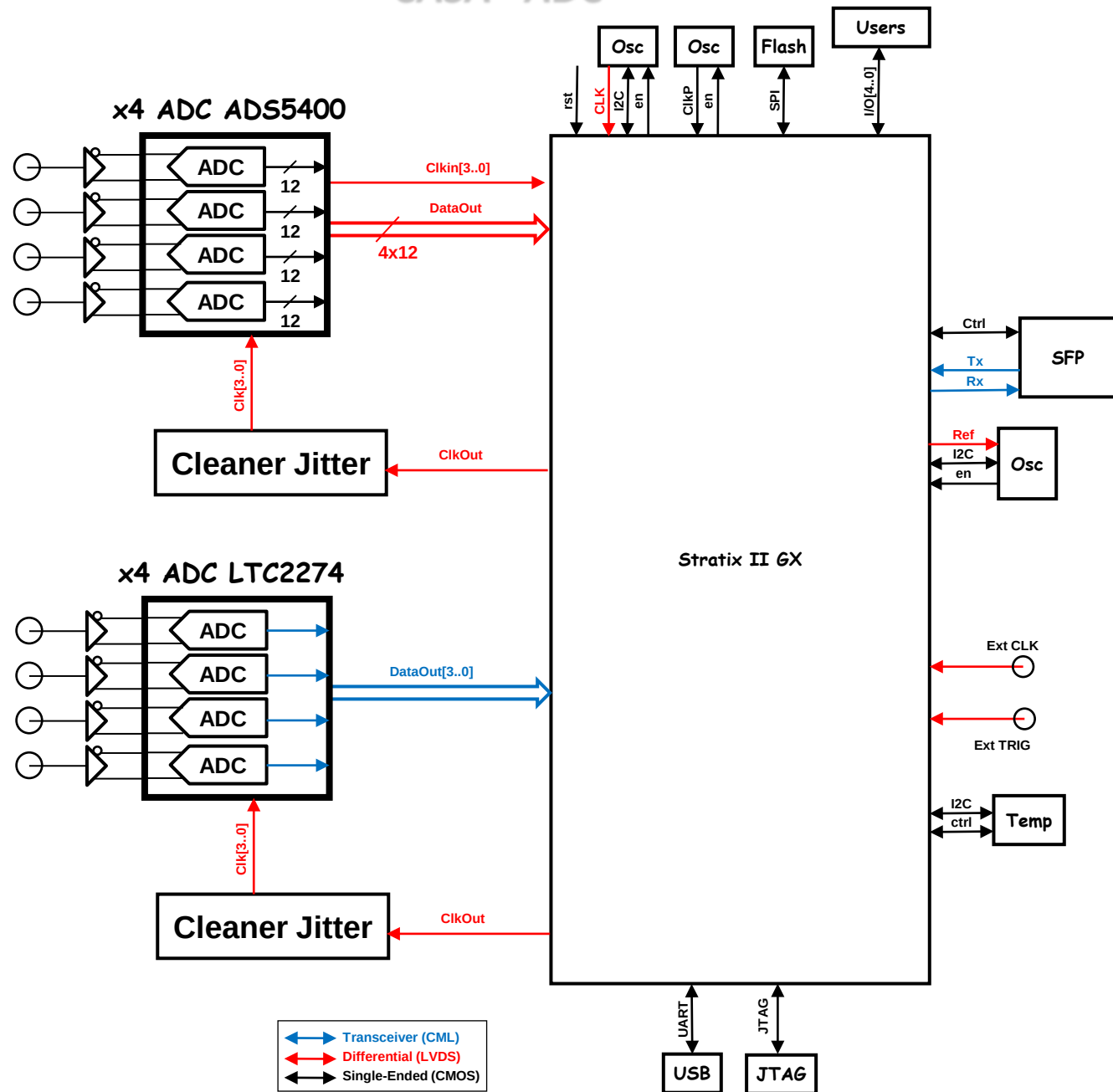
3 cartes d'évaluations =>

- **CASA-ADC**
- **CASA-GBT**
- **CASA-PCle**

- **CASA-ADC**

- x4 ADC 500 Msps & x4 ADC 100 Msps
- Acquisition des Données

CASA - ADC

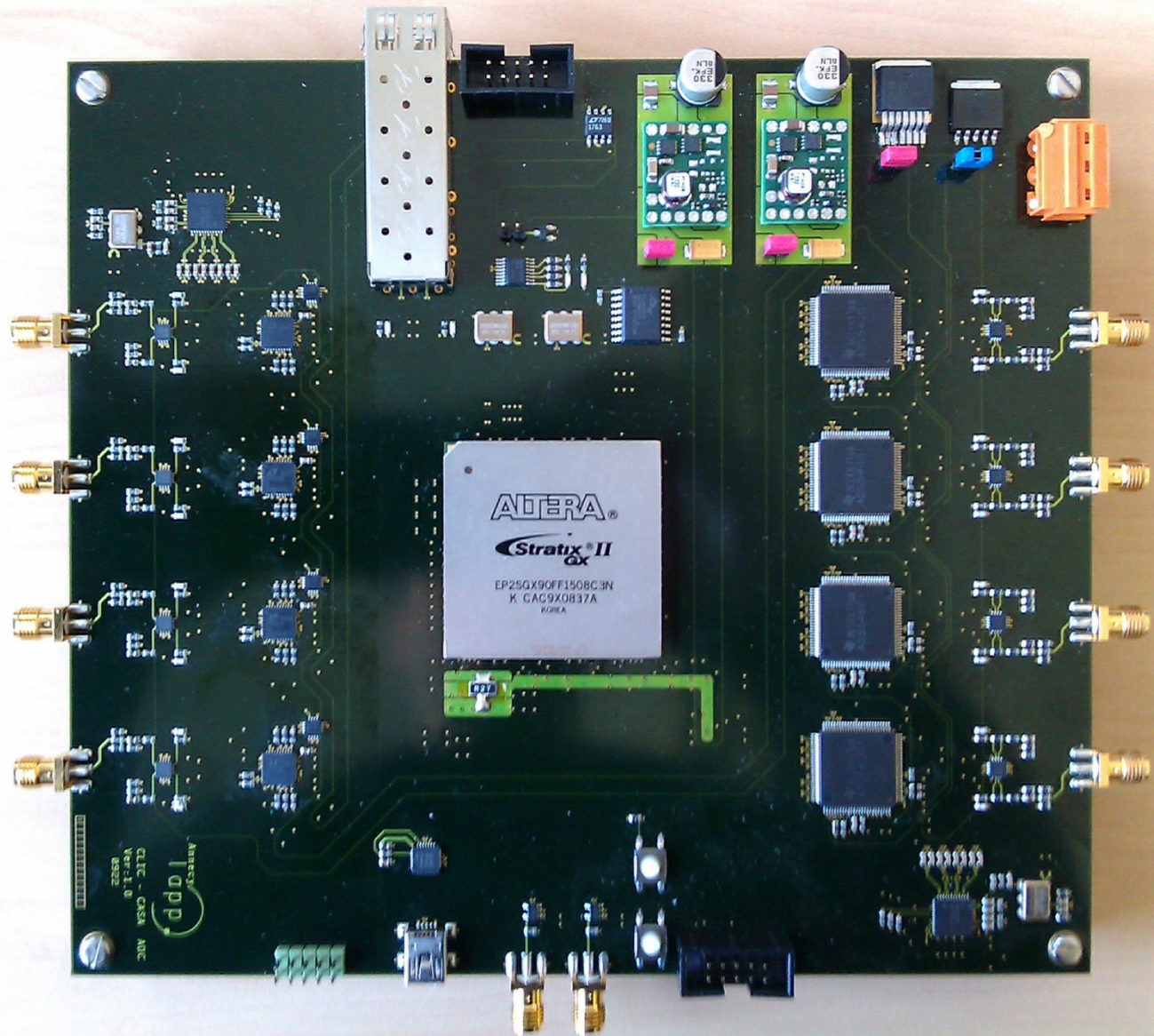


- **Spécifications :**

- x1 FPGA (Stratix II GX C3)
- x1 Transceivers Optiques (SFP 6.3 Gbps)
- x2 Entrées Analogiques (Clock & Trigger)
- x4 ADC 12 bits 500 Msps (ADS5400 Texas Inst.)
- x4 ADC 16 bits 100 Msps (LTC2274 Linear Tech.)

- **Caractéristiques PCB :**

- 14 couches en HITACHI FX
- Class 100 μm
- via 250 μm
- Impédance Contrôlée
- Dimensions : 170 x 190 mm / Epaisseur : 1.8 mm



Planning

- **CASA-ADC**

- Mai-Juin 2009 : Définition & Schéma
- Juillet 2009 : Simul. HSPICE Signaux “High Speed”
- Juil-Aout 2009 : CAO PCB
- Sept-Nov 2009 : Fab. PCB & Câblage

- **Tests**

- Tests fonctionnels
- IP PCIe-CLIC VHDL
- Test avec une carte PCIe (Kit Altera)

- **CASA-GBT**

- Acquisition des Données
- Emulation Protocole GBT (CERN)

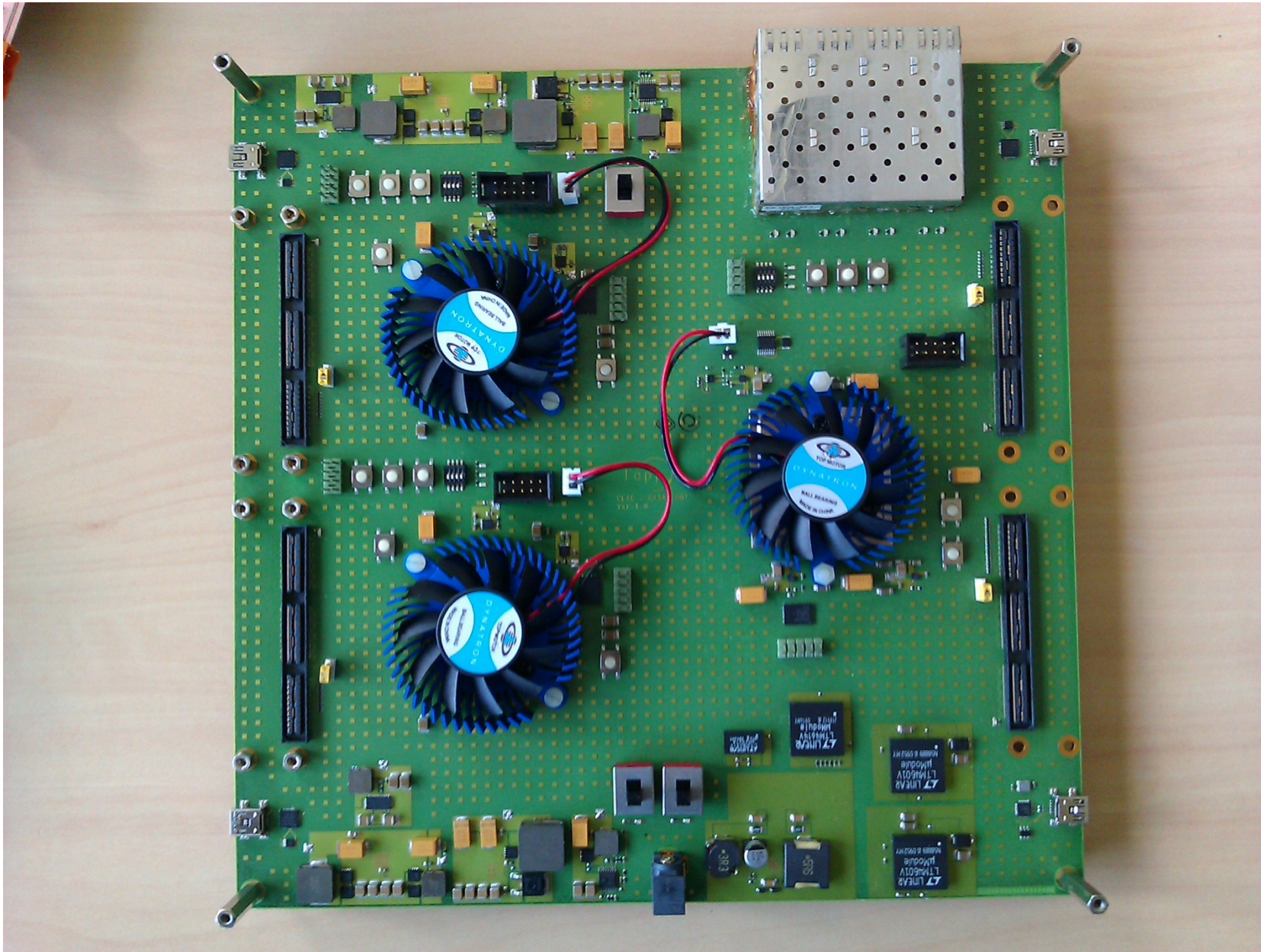


- **Spécifications :**

- x3 FPGA (x2 Arria II GX I3 & x1 Stratix IV GX C2)
- x4 Connecteurs “High Speed” 8.5 Gbps
- x4 Transceivers Optiques (SFP+ 8.5 Gbps)
- x3 Alimentations indépendantes

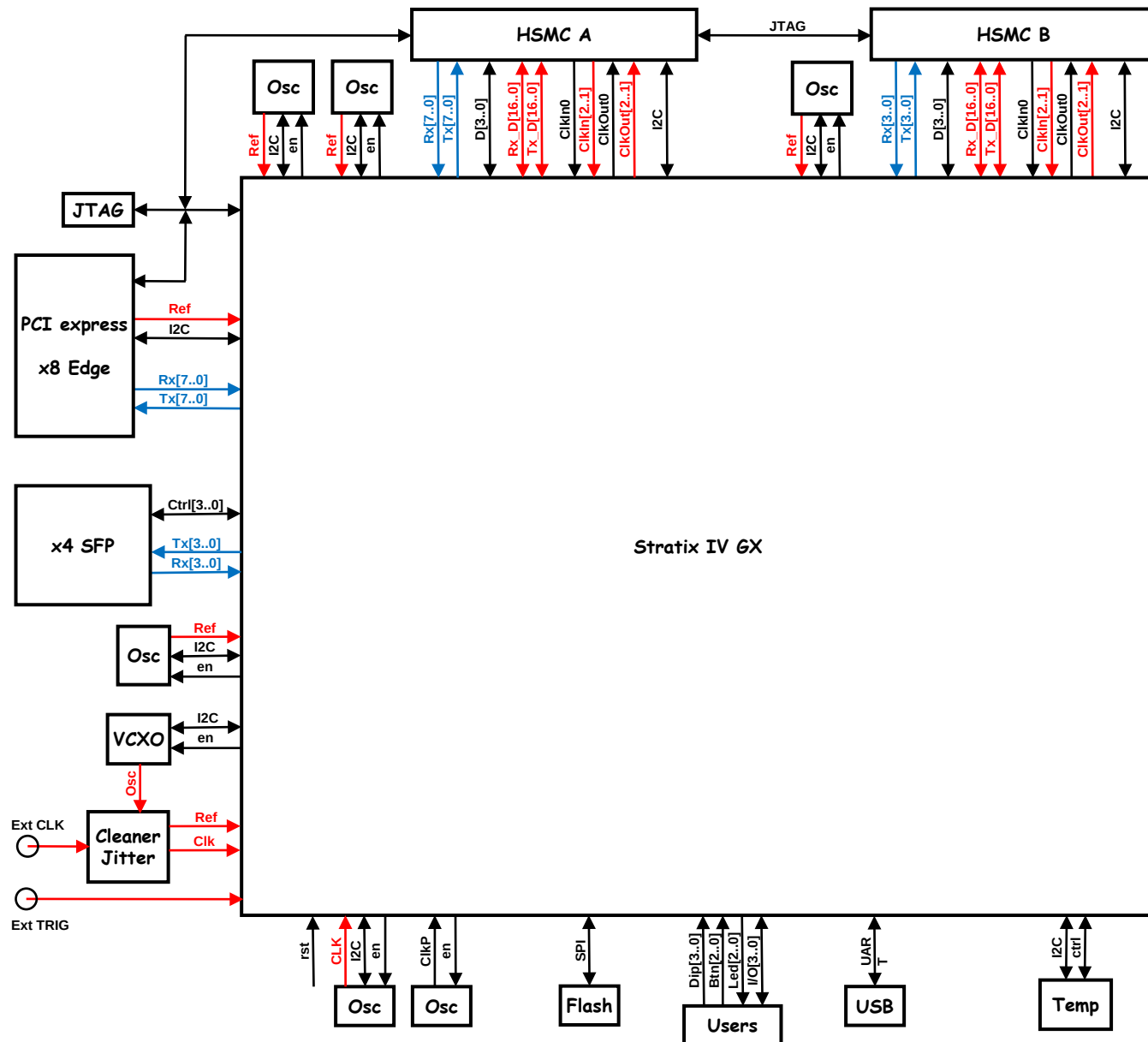
- **Caractéristiques PCB :**

- 18 couches en HITACHI FXII
- Class 60 μm
- Via laser 100 μm & Capped Filled / Via 200 μm
- Impédance Contrôlée
- Dimensions : 240 x 240 mm / Epaisseur : 2 mm



- **CASA-PCle**

- Collecteur de Données (x4 SFP+)
- Interface PCI Express x8 Gen2

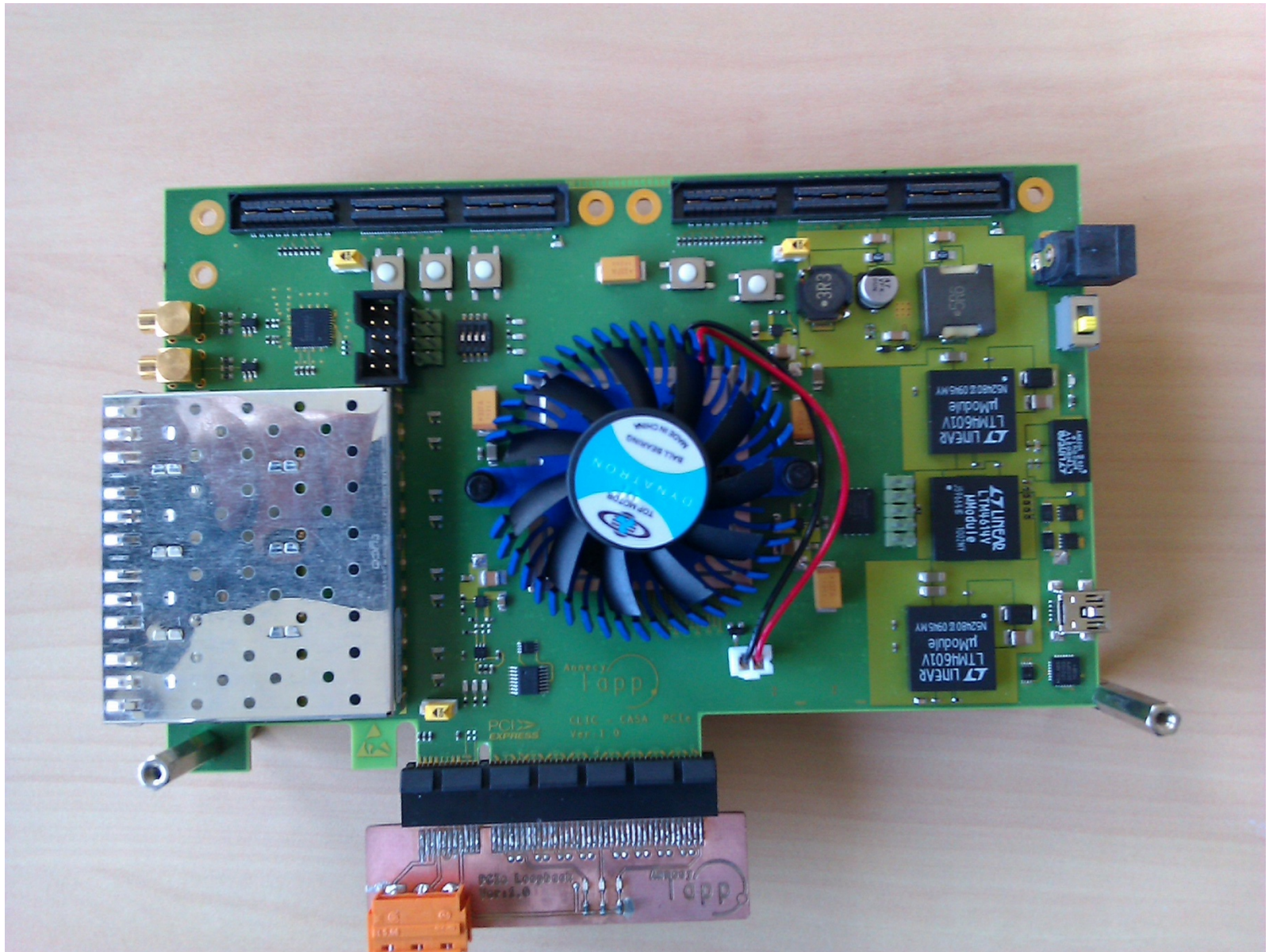


- **Spécifications :**

- x1 FPGA (Stratix IV GX C2)
- x2 Connecteurs “High Speed” 8.5 Gbps
- x4 Transceivers Optiques (SFP+ 8.5 Gbps)
- x2 Entrées Analogiques (Clock & Trigger)
- x8 Lanes PCI Express

- **Caractéristiques PCB :**

- 16 couches en HITACHI FXII
- Class 60 μm
- Via laser 100 μm & Copped Filled / via 200 μm
- Impédance Contrôlée
- Dimensions : 166 x 100 mm / Epaisseur : 1.57 mm



Planning

- **CASA-GBT**

- Mai-Juin 2010 : Définition & Schéma
- Juil-Aout 2010 : Simul. HSPICE Con. “High Speed”
- Sept-Dec 2010 : CAO PCB
- Janv-Mai 2011 : Fab. PCB & Câblage

- **CASA-PCle**

- Aout 2010 : Définition & Schéma
- Dec-Jan 2011 : CAO PCB
- Fev-Mai 2011 : Fab. PCB & Câblage

Planning (suite)

- **Tests**

- Juin-Aout 2011 : Tests fonctionnels
- Aout 2011 : Test avec CASA-MEZ (x2 Quad ADC)

- **Tests futur**

- Sept-Dec 2011 : IP PCIe-CLIC VHDL
- Jan-... 2012 : Protocole GBT (CERN)

CASA – MEZ (x2 Quad ADC)

