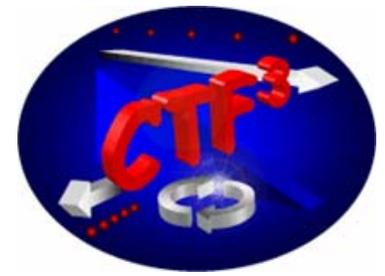




Laboratoire d'Annecy-le-Vieux  
de Physique des Particules



# Projet CTF3 au LAPP

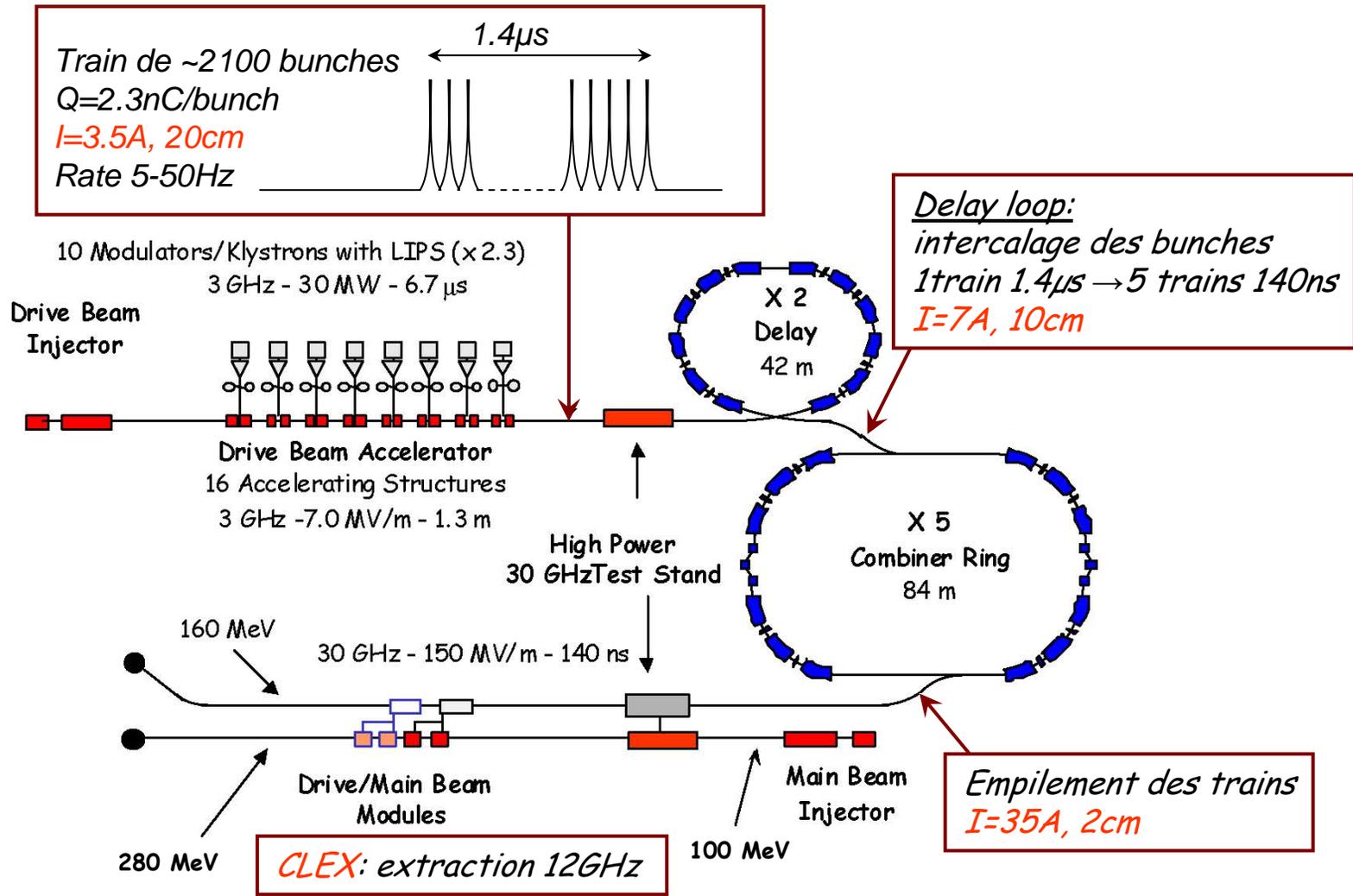
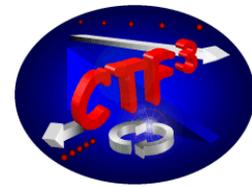
Louis Bellier, Jean Tassan, Sébastien Vilalte

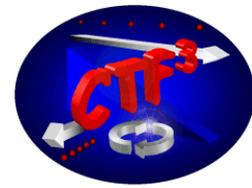


Réunion de service

04-12-2007

# BUT de CTF3: génération HF 12GHz

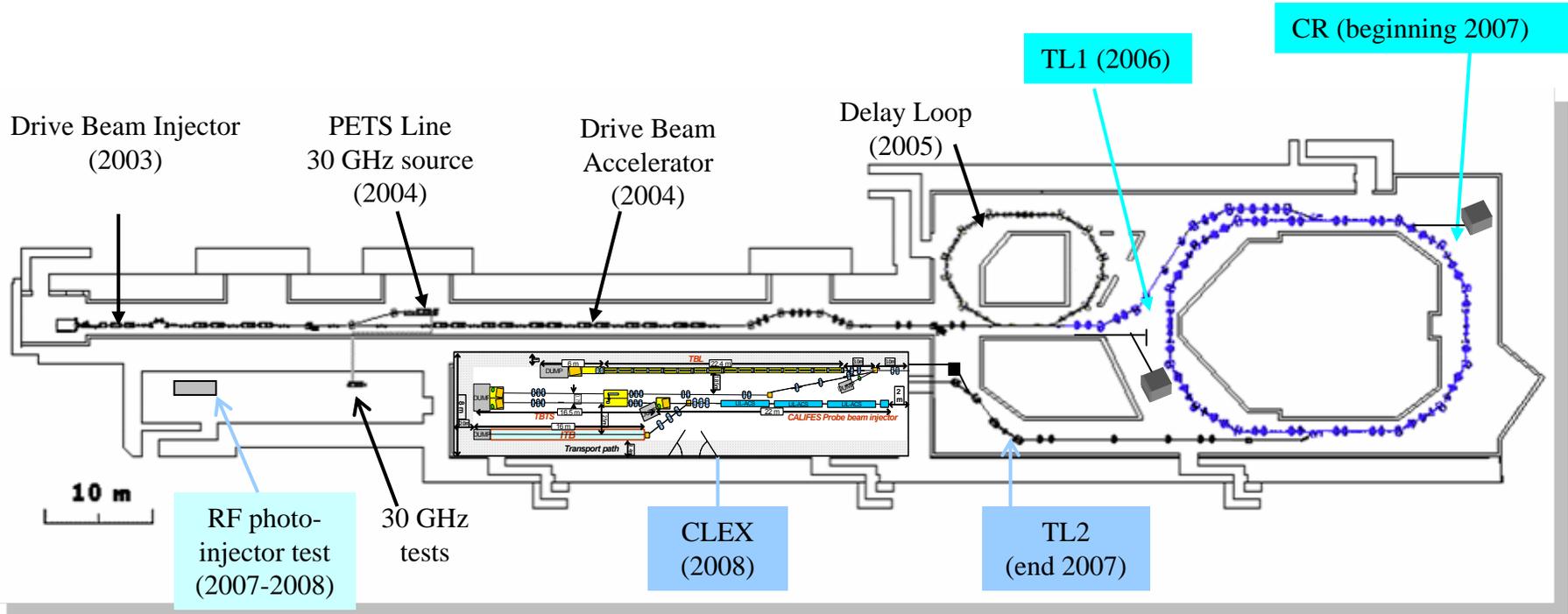
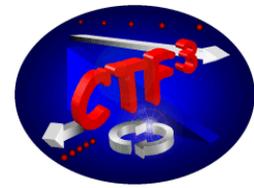




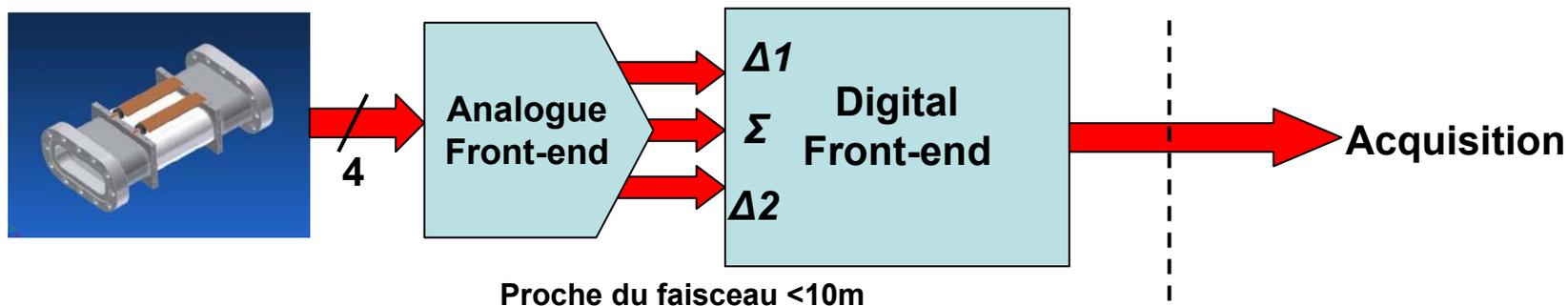
## Objectifs:

- Traitements analogiques des 4 courants ( $\Sigma$  &  $\Delta$ ) + acquisition par cartes ADC:
  - Architecture numérique Rad-Hard (alternative au VME).
- Chaîne électronique au plus près du faisceau:
  - Dynamique 12 bits vrais minimum  $\equiv$  résolution, SNR OK (10,5 pour VME)
  - Coûts moindres...
- Acquisition par carte ADC châssis VME déportés dans un 1<sup>er</sup> temps.
- Chaîne analogique + numérique pour TL2 et CLEX.

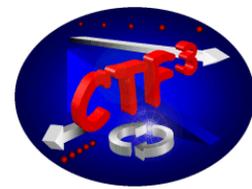
# Calendrier CTF3



- Design en 3 parties:
  - » Analogue front-end board (4 entrée  $\rightarrow$  1  $\Sigma$  & 2 $\Delta$ )
  - » Digital front-end board (échantillonnage)
  - » PCI acquisition board (loin des radiations)



**Compatible avec les différents capteurs**



## Historique:

**Septembre 2005:** Création du group CTF3 au LAPP.

**Février 2006:** Proposition d'une solution « front-end » complète pour la lecture des BPM.

**Novembre 2006:** Installation de modules analogiques dans la TL1 (7) + 1 « front end numérique testé dans la TL1.

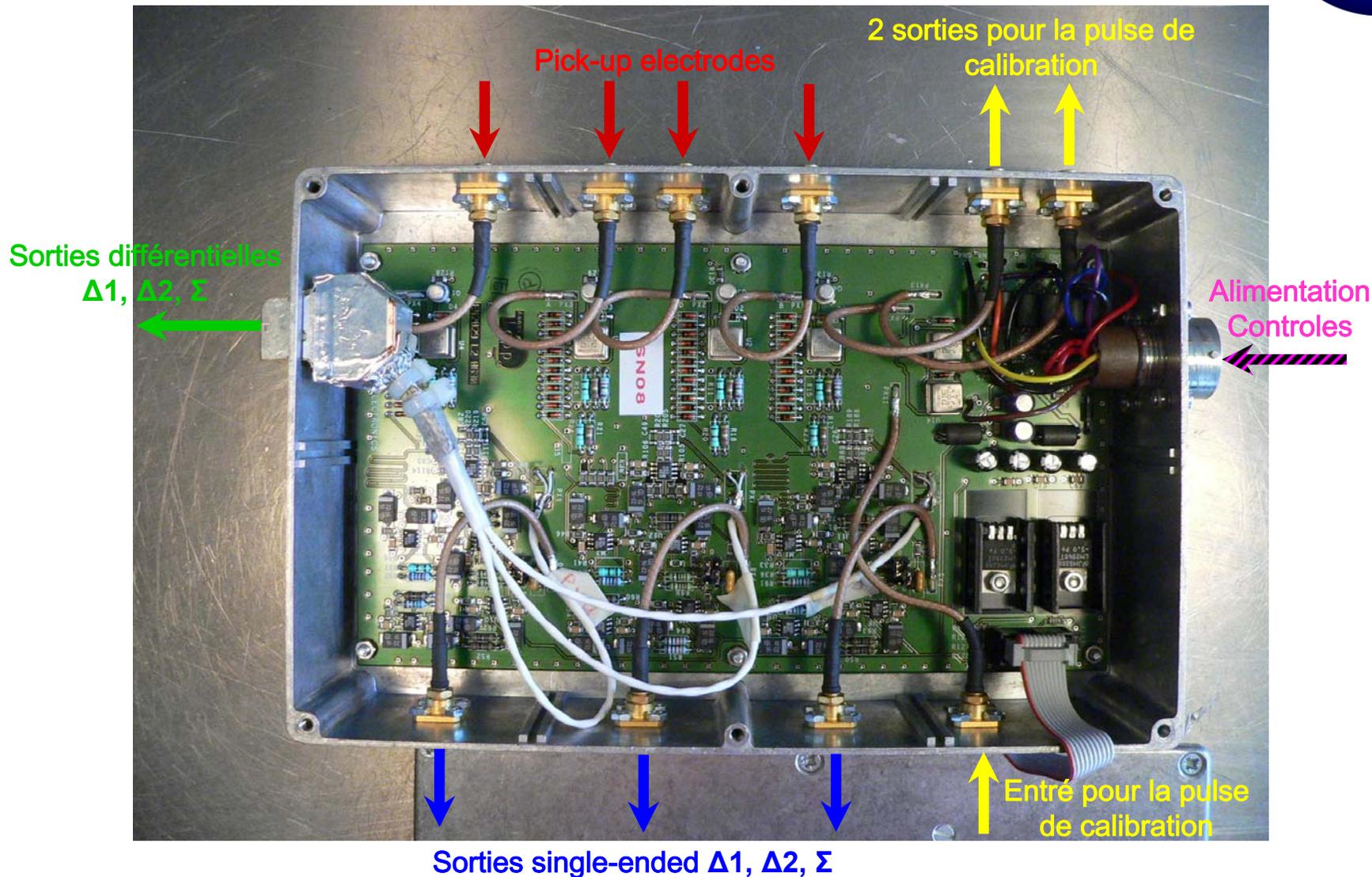
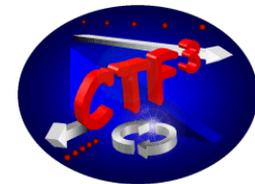
**Printemps 2007:** première partie du combiner ring équipée de modules analogiques (13) & mise en place de la compensation des BPI.

**Eté 2007:** Seconde partie du combiner ring équipée (7).

**TL1 & CR:** 27 électroniques de lecture avec filtres de compensation pour ADC VME.

1 front-end numérique sur TL1 pour validation de l'acquisition TL2/CLEX.

# Analogue Front-end



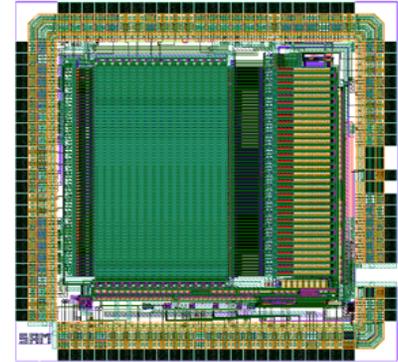
## Sampling Solution:

Utiliser la mémoire analogique SAM.

- Développé par le CEA pour HESS2.
- 1 mémoire (256 points) par canal  
500ns d'échantillonnage  
*Une pulse de 140ns*
- Fréquence d'échantillonnage **512MSps**
- Rad-Hard **200kRad**

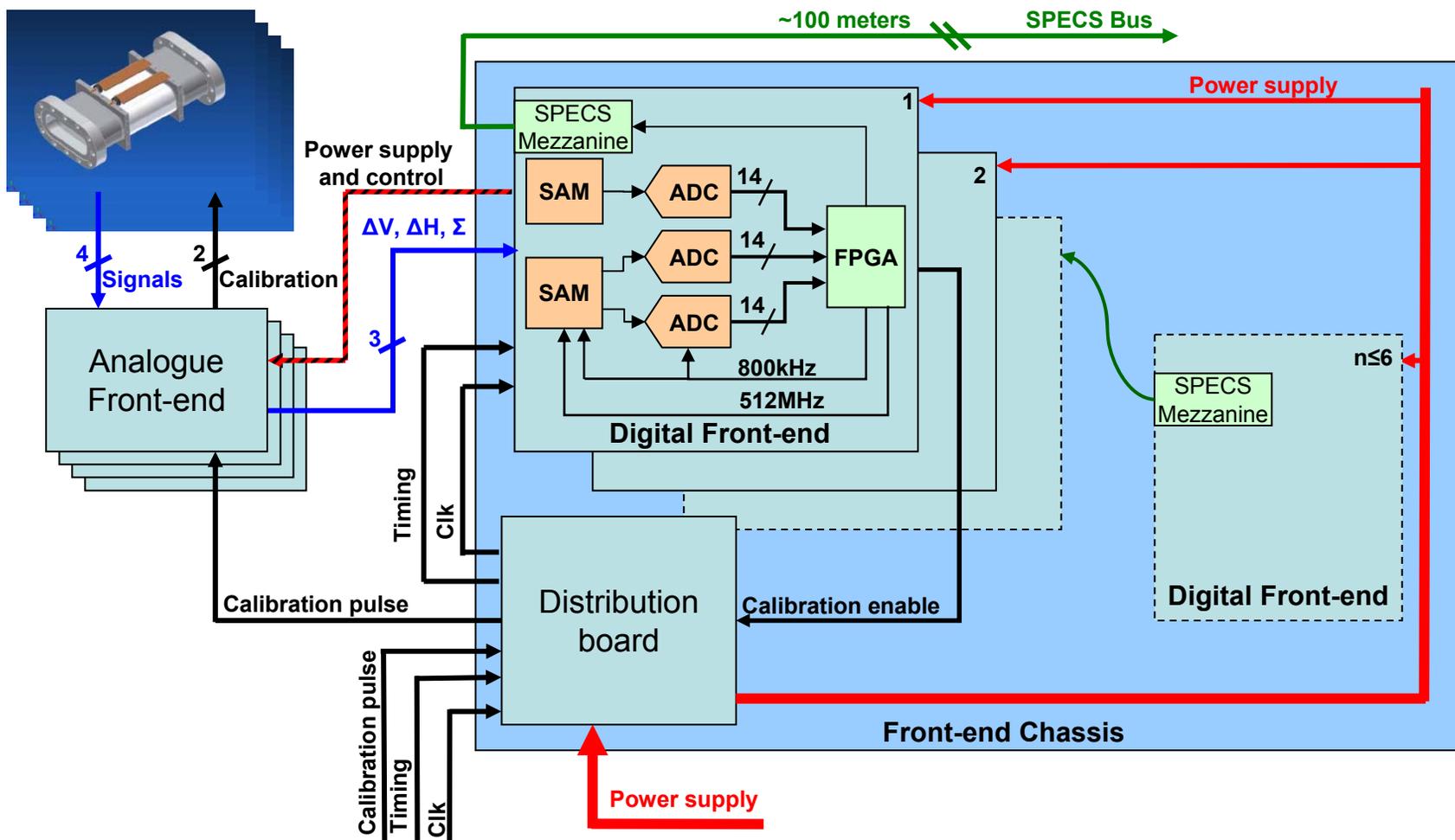
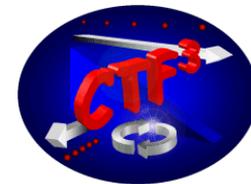
→ Après le SAM: ADC rad-Hard, 14 bits, **800kSps**.  
↳ Synchronisé avec la sortie du SAM

→ Technologie à **35kRad** (FPGA)

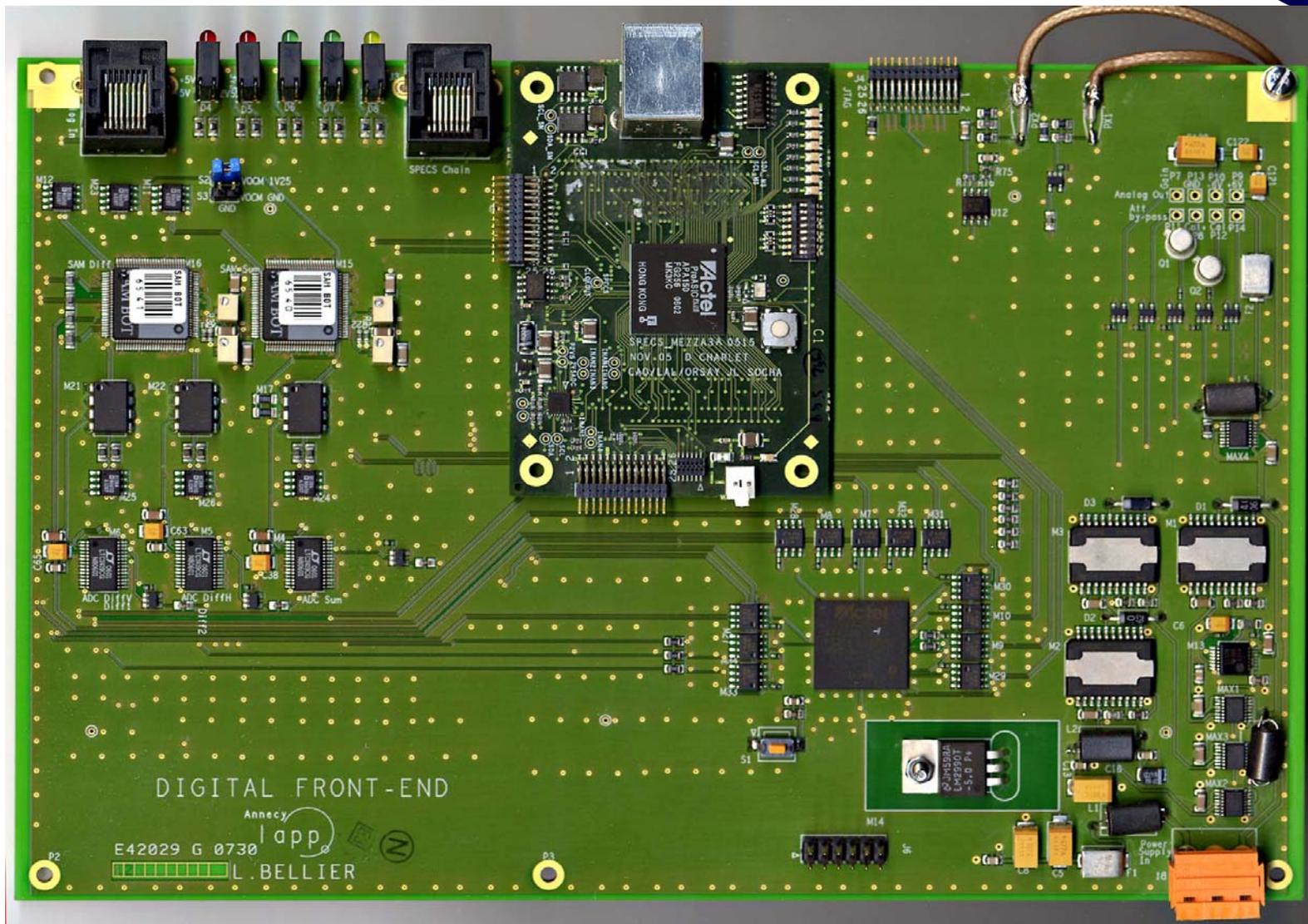
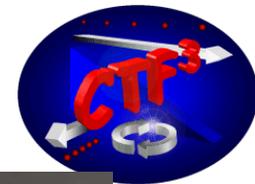


Mémoire SAM

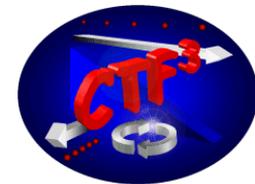
# Architecture digital front-end



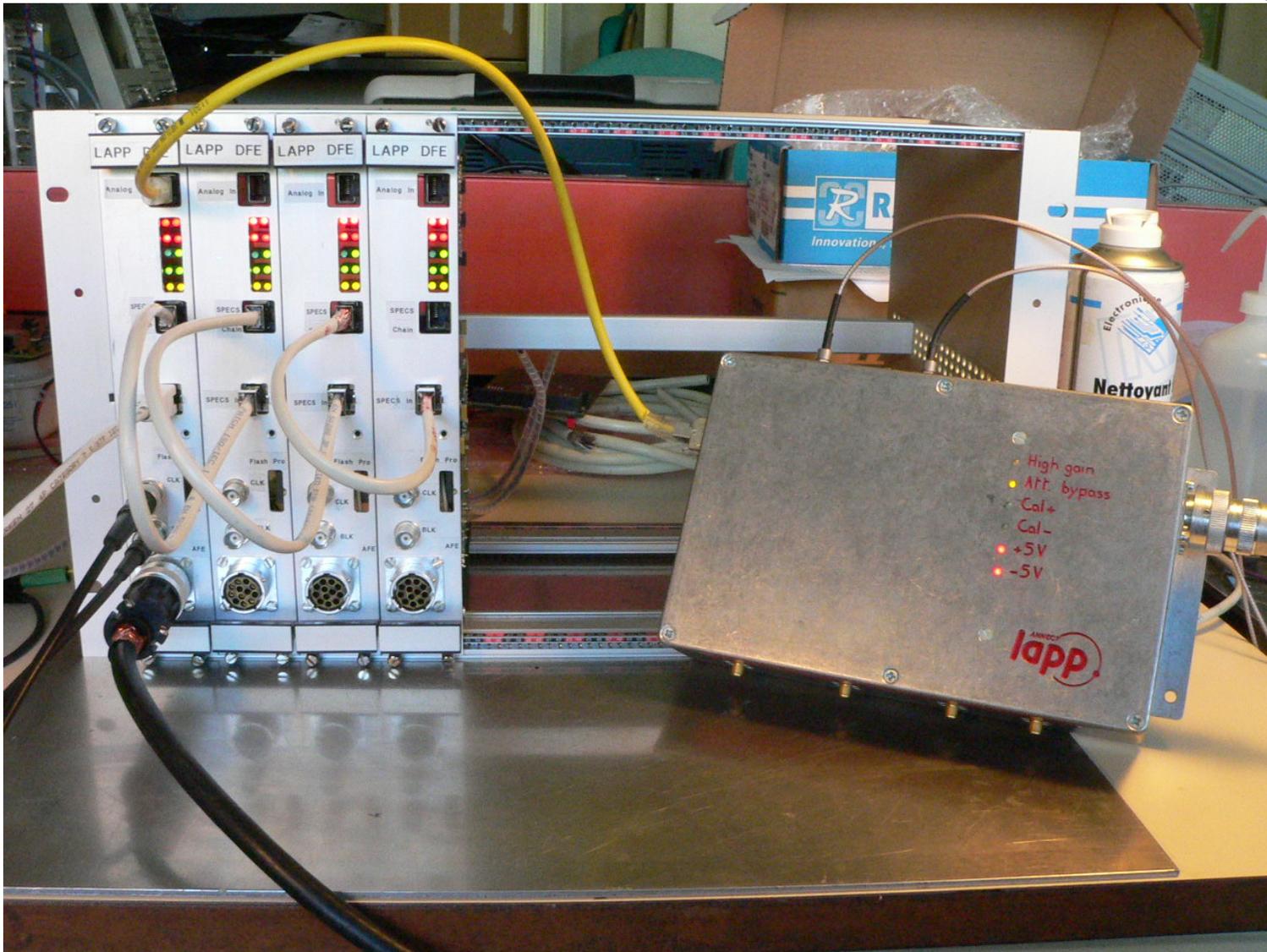
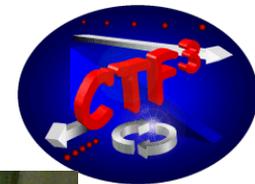
# Carte Lapp Digital front-end



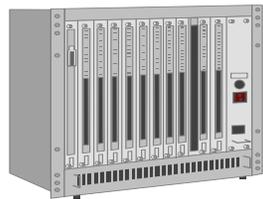
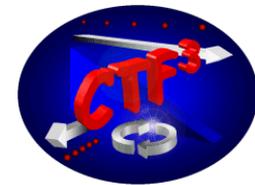
# Specs PCI



# Front-end



# 2 Solutions



Câble analogique (100m)

**Solution originale :**  
 Carte ADC 8 canaux VME.  
 Transmission single-ended sur de longs câbles en analogique. Coût total pour 50 BPMs: **240 k€**



Analogue Front-end



Analogue Front-end

Digital cables (100m)



Digital Front-end

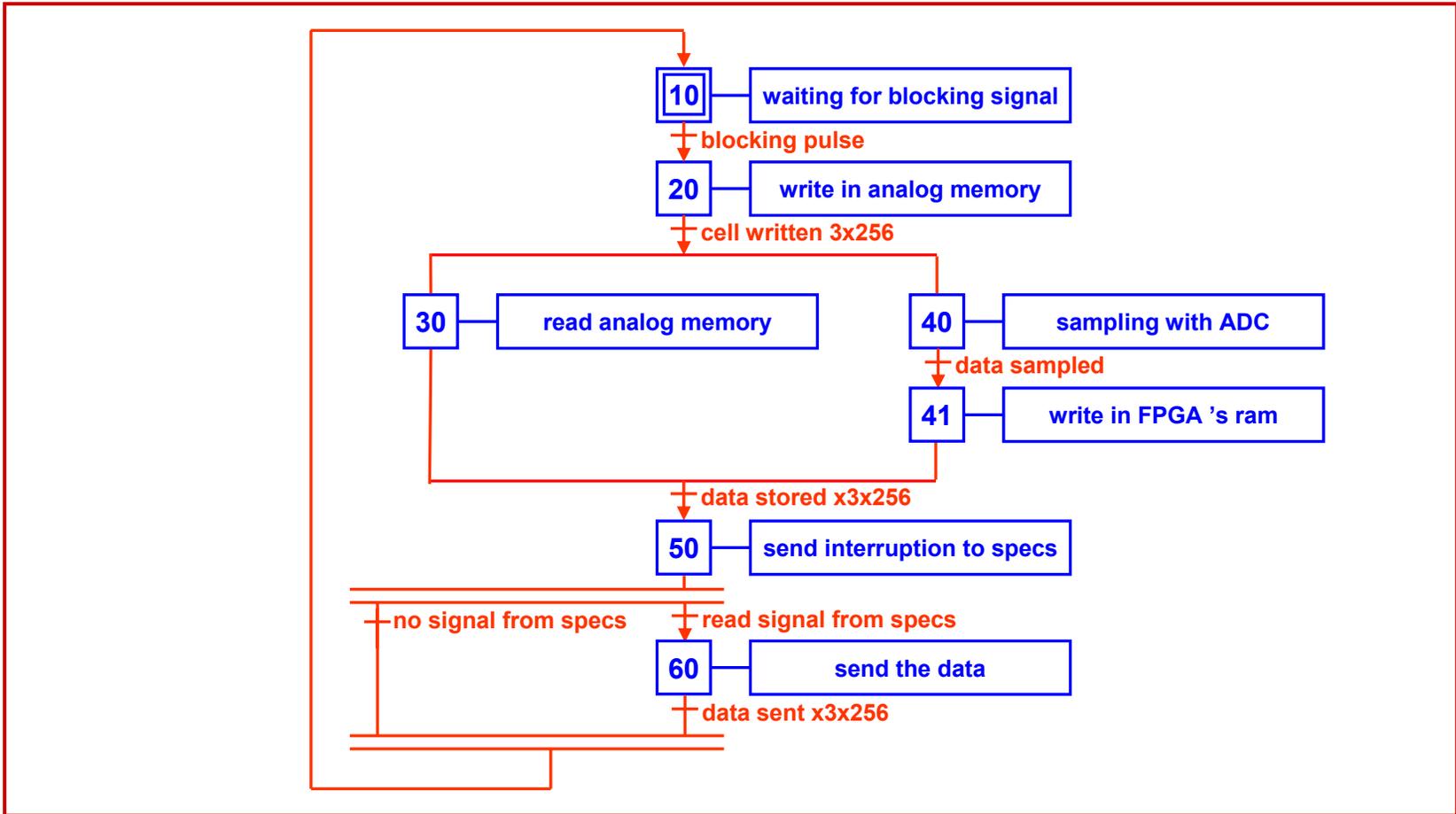
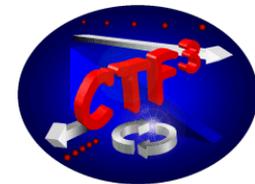


Linux gateway

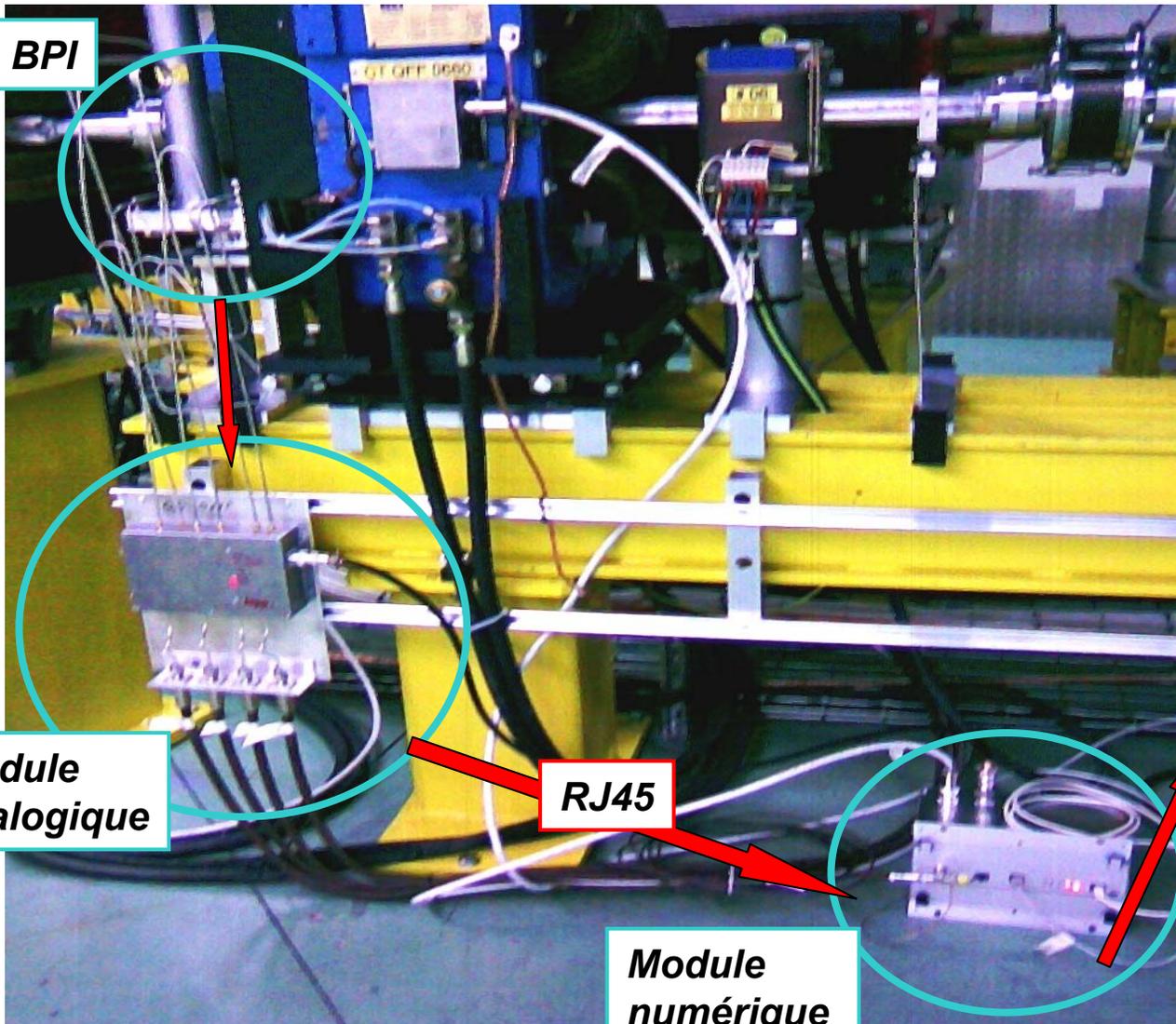
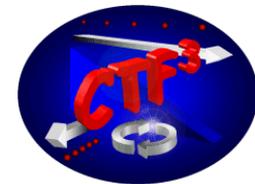
**Nouvelle solution:**  
 Digital front-end boards sous le faisceau. Transmission différentielle depuis la carte analogique. Juste 1 câble Ethernet pour un maximum de six BPMs. Coût total pour 50 BPMs: **80 k€**

**Nouvelle solution → 3 fois moins cher!!!**

# Cycle d'échantillonnage



Dans CTF3, sous la TL1



BPI

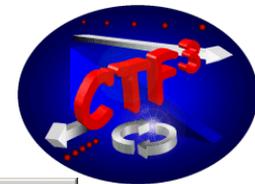
Module analogique

RJ45

Module numérique

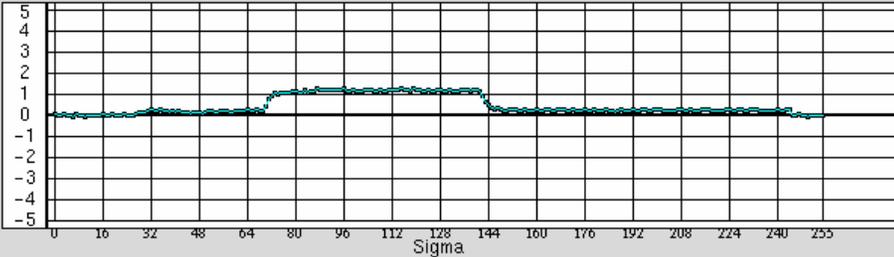
Acquisition (Ethernet)

# Lecture du faisceau

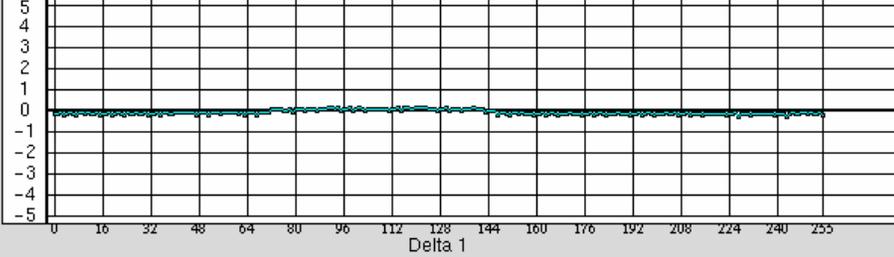


X Selection d'une DFE
\_ □ ×

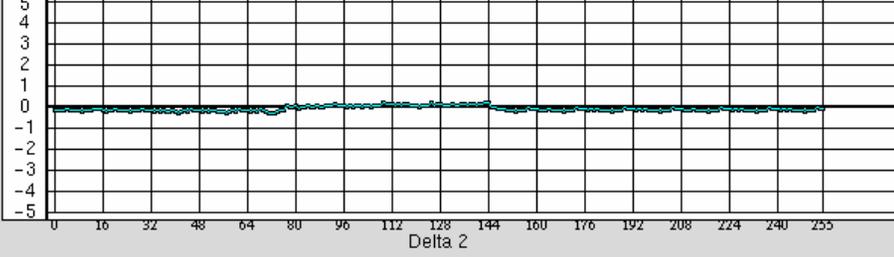
Fichier Fenetre Aide



Sigma



Delta 1



Delta 2

Gain :

Attenuation ByPass :

Cal + :

Cal - :

Calibration :

Acquisition
Refresh parameters

Charger

Enregistrer

Parametres

Charger les registres de la memoire SAM

Reset de la SpecsMaster PCI

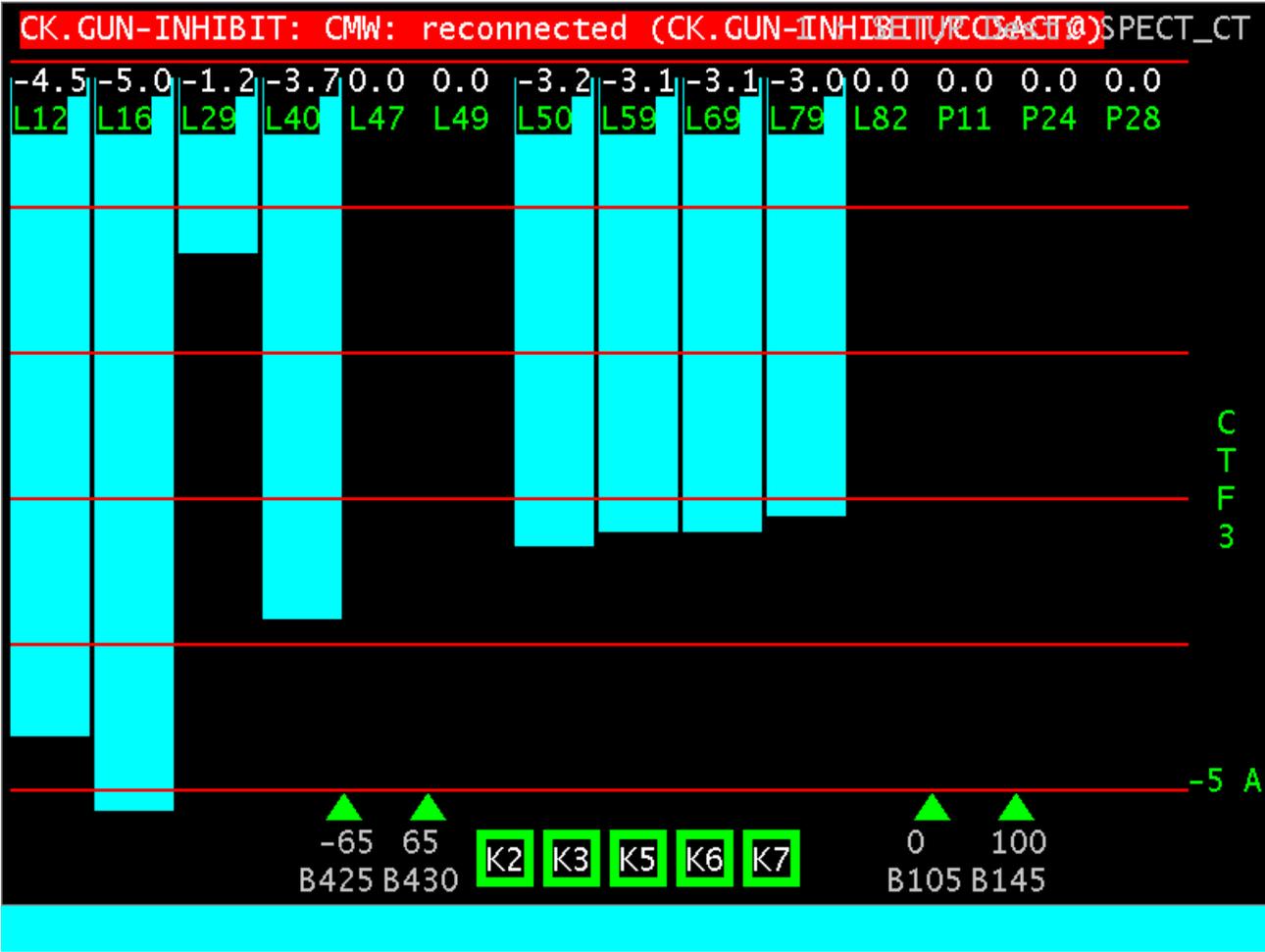
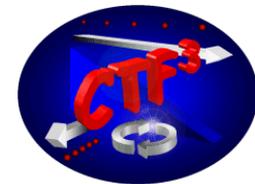
Reset de la SpecsSlave

Reset de la DFE

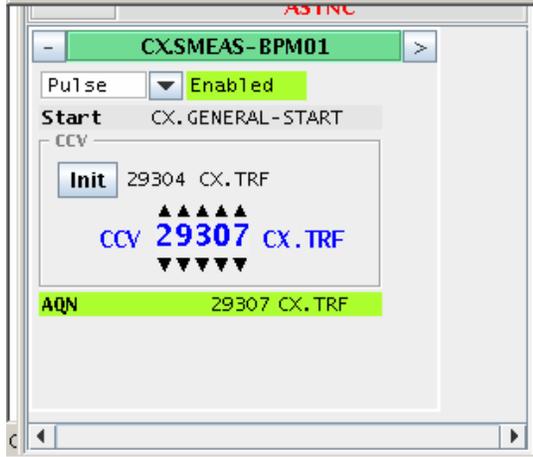
Effacer

Retour

# Lecture du faisceau

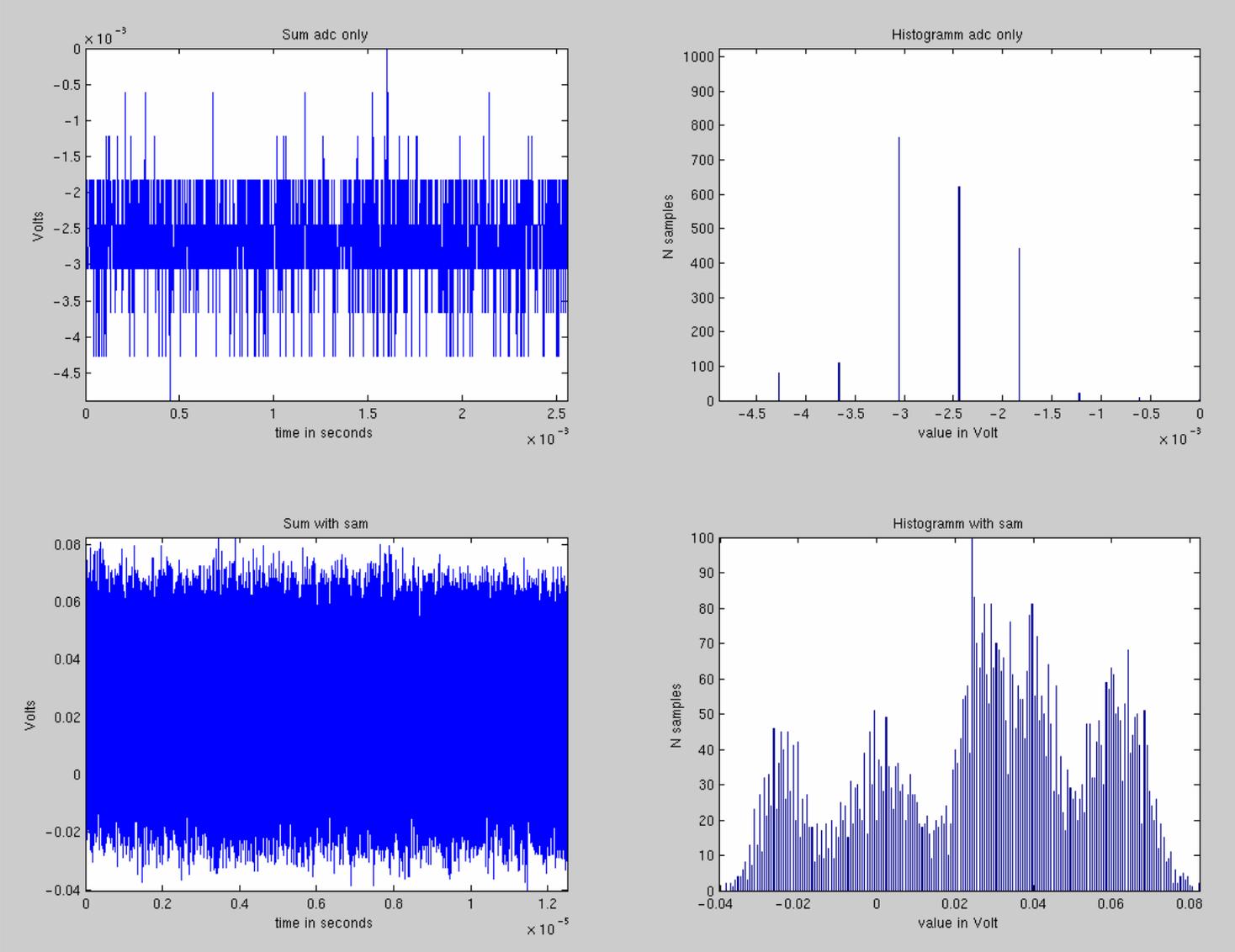
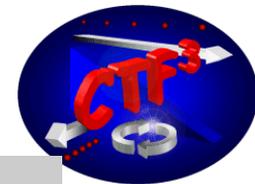


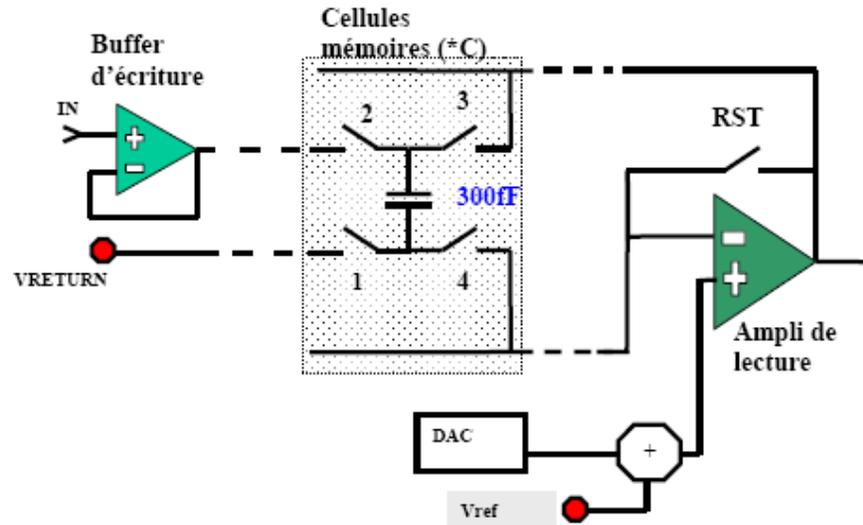
Courant dans le LINAC



Réglage du timing

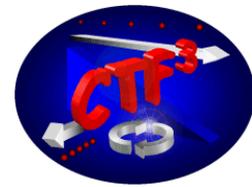
# Améliorations SAM(1)





Corriger les offsets:

- Soustraire les piédestaux lignes/lignes dans le FPGA en identifiant les cellules lues
  - Faire le zéro en salle de control
  - Configurer les DACs de chaque ligne via la liaison série en identifiant les cellules lues
- ⇒ Meilleur dynamique possible

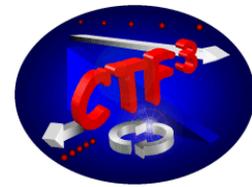


## Prochaine installation: Mars 2008

**Analogique:** **16** modules de lecture de BPI's en collaboration avec Uppsala.  
10 pour TBTS → BPM de 40mm (Uppsala).  
6 pour TL2 → BPI de Frascati.  
4 spares.

**Numérique:** **43** cartes font-end pour TL2, TBTS, TL2', TBL. (+7 spares)  
9 châssis avec cartes de distribution avec 4~6 DFE.  
Production en collaboration avec CERN & Uppsala.

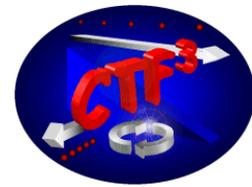
**Coûts:** DFE coute /BPM avec câbles et châssis → **~1.6k€**.  
VME solution → **~4.8k€** câbles analogiques chers.



*Pour CLIC, solution de numérisation au voisinage du faisceau appropriée (grand nombre de pick-ups sur un long accélérateur).*

*1 accès tous les km, plusieurs points à étudier:*

- **Alim:** *basse tension non réalisable (pertes dans les long câbles)*
  - Alim 220V Rad-hard dans les châssis.
  - Alim DC (i.e. 48V) avec convertisseur DC/DC
- **Calibration:** *générateur de courant de calibration local → pb dans un environnement radioactif (résistance des MOS aux radiations).*
- **Câbles horloge/Ethernet** *besoin de “relais” dans la machine → fibre optique ou techno sans fil (wifi).*



- 1 kit complet de lecture de BPM
- Série en cours de fabrication
- De nombreuses évolutions possibles
- Développement du soft pour répondre aux attentes des opérateurs
- Installation fin 1<sup>er</sup> trimestre 2008
- Terminer documentation
- Améliorer dynamique du SAM