

# Activités SiLC-IN2P3 en 2007 et perspectives

D. Fougeron, R. Hermel (LAPP)

M. Berggren, W. Da Silva, G. Daubard, J. David, M. Dhellot,  
J.F. Genat, J.F. Huppert, D. Imbault, F. Kapusta, H. Lebbolo,  
Tranh Hung Pham, Ph. Repain, F. Rossel, A. Savoy-Navarro  
(LPNHE)

Meeting ILC à IPNL-Lyon, 25 Juin 2007

PASSAGE DEVANT R&D PANEL SUR TRACKING, BILCW'07, ICHEP, Pékin, O207



The Committee Reviewing the LLC Detector Tracking systems:  
LC-TPC, CuCLOU, SILC, SID

Proposal to the ILCSC R&D Panel on Tracking for the ILC  
Submitted on January 29, 2007, by

## The SiLC Collaboration

(Silicon Tracking for the Linear Collider)

Dept. of Physics, University of Michigan in Ann Arbor, USA  
LAPP, IN2P3/CNRS in Annecy, France  
University of Barcelona and University Ramon Llull in Barcelona, Spain  
Centro Nacional de Microelectronica (IMB-CNM) and CSIC in Bellaterra, Spain  
Dept. of Physical Sciences and Helsinki Institute of Physics (HIP), University of Helsinki, and VTT Technical Research Center of Finland, in Helsinki, Finland  
Inst. für Experimentelle Kernphysik (IEKP), Karlsruhe University in Karlsruhe, Germany  
Liverpool University in Liverpool, UK  
Moscow State University and SiLab in Moscow, Russia  
Dept. of Applied Physics, Obninsk State University of Atomic Energy in Obninsk, Russia  
LPNHE, University Pierre and Marie Curie, IN2P3/CNRS in Paris, France  
Charles University in Prague, Czech Republic  
Santa Cruz Inst. of Particle Physics (SCIPP), University of California in Santa Cruz, USA  
Inst. de Fisica de Cantabria (IFCA), University of Cantabria and CSIC in Santander, Spain  
Depts. of Physics of Yonsei University, Korea University, Seoul National University and SungKyunKwan University, all in Seoul, and Dept. of Physics of Kyungpook National University in Daegu, Korea  
INFN-Torino and University of Torino in Torino, Italy  
Inst. de Fisica Corpuscular (IFIC), University of Valencia and CISC in Valencia, Spain  
Inst. of High Energy Physics (HEPHY), Austrian Academy of Sciences in Vienna, Austria  
Hamamatsu Photonics K.K. in Hamamatsu City, Japan

Edited by *Aurore Savoy-Navarro*<sup>\*)</sup>

<sup>\*)</sup> Contact: aurore@lpnhe.in2p3.fr

# A verrrrrrrrrry long review process

# SiLC: Silicon tracking for the Linear Collider

R&D for the next generation of large Silicon tracking systems for the ILC presented by:

Hong Joo Kim (Kyungpook National University, Korea),  
Manuel Lozano (IMB-CNM/CSIC, Spain),  
Aurore Savoy-Navarro (LPNHE-UPMC/IN2P3-CNRS, France),  
Valeri Saveliev (Obninsk State U., Russia) (cancelled),  
Bruce Schumm (UC in Santa Cruz, USA),  
Marcel Vos (IFIC/CSIC-U. of Valencia, Spain),  
Jean Francois Genat (LPNHE-UPMC/IN2P3-CNRS, France)

to the ILC R&D Panel Committee, Tracking Review,  
at BILCW07, February 4-8, 2007, Beijing, China

On behalf of the SiLC Collaboration

We have been the cobayes...



### Tracking Review General Questions: Answers from the SiLC R&D Collaboration

Introductory remark:

The SiLC R&D collaboration is dedicated to the development of the new Silicon tracking systems for the ILC experiments. This R&D activity follows the tracking schemes presently defined in the various ILC detector concepts that include Silicon tracking, namely GLD, LDC and SiD where teams of SiLC are collaborating. The tracking strategy in those 3 concepts mainly differs by including a gaseous detector as central tracker (GLD and LDC), or not (SiD). In any case, 4 tracking regions can be considered:

- > The outer layers both in the barrel and the End Cap regions
- > The inner layers including as well the barrel and forward components near to the vertex detector.

The tracking schemes here below are therefore the starting point for the SiLC studies:

**SiD concept: All-Silicon tracking strategy**  
Integrated Silicon tracker,  
**Barrel: more a "sagittier" than a true tracker?**  
with fully integrated Forward tracker:  
**Appealing for hermeticity & large angle Physics.**

**GLD TPC**  
Inner barrel: 4 d.s Si layers  
True tracker vs just a "linker"  
Pb: material budget in front of TPC?

**LDC**  
Si Envelope: {SET+(SIT+FTD)+ECT}  
✓ Combines both TPC & Silicon tracking technologies  
✓ Each Si component LINKS 2 subdetectors (sensor transition)  
✓ Improves tracking overall performances (see sinus)  
✓ Calibration of systematics & full coverage

**Si Envelope is like stretching a all Silicon tracking into 2 parts: inner and outer ones and install a TPC in between.**

**SiLC:UNIQUE place to study/compare these various crucial tracking concepts**

Tracking schemes in the various ILC detector concepts with, for each case, the main issues/questions that SiLC R&D is currently addressing

# R&D détecteurs au silicium

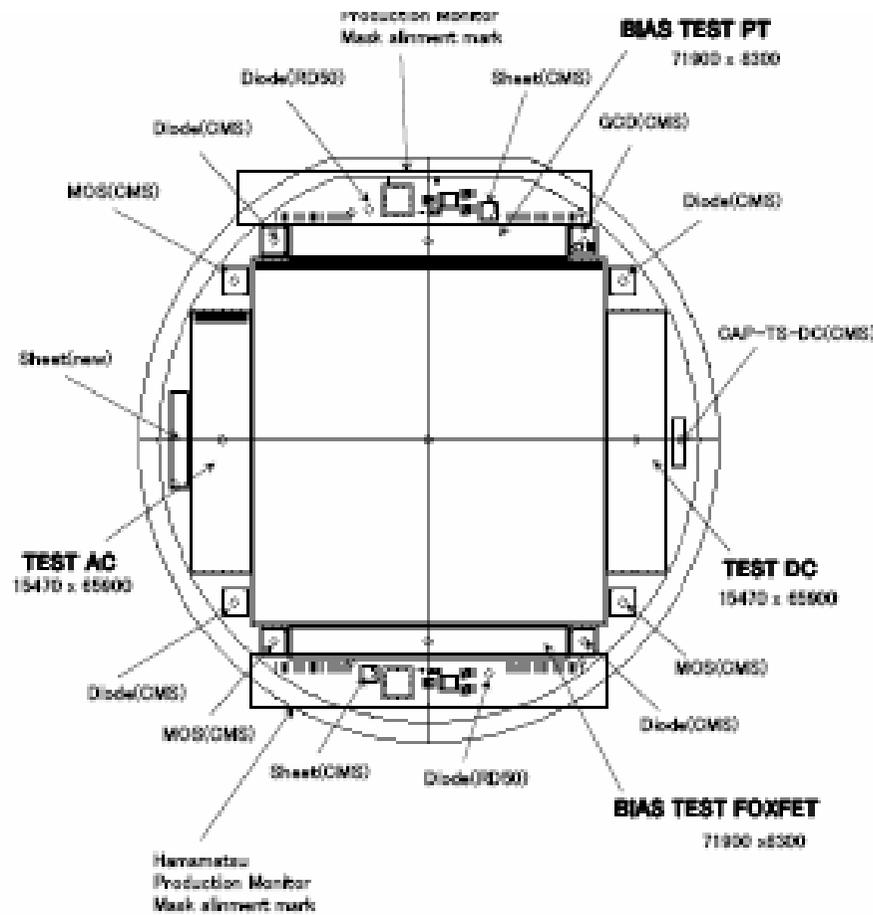
*LPNHE avec IEKP Karlsruhe, HEPHY Vienna, IFCA+IMB/CSIC, HPK*

- Nouveaux détecteurs HPK Silicium à  $\mu$ pistes, incluant le traitement pour alignement avec laser et des tests de structures incorporés.
- Test amincissement LPNHE avec Edgetek
- Connection FEE sur  $\mu$ pistes (LPNHE, IMB, HPK)
- Perspectives: nouvelles technologies Silicium sur pixelization et sur  $\mu$ pistes (collaboration étendue à autres groupes SiLC, Labos de recherche dans le domaine et industries).

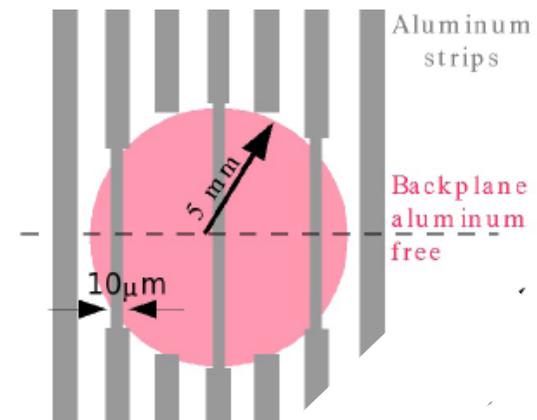
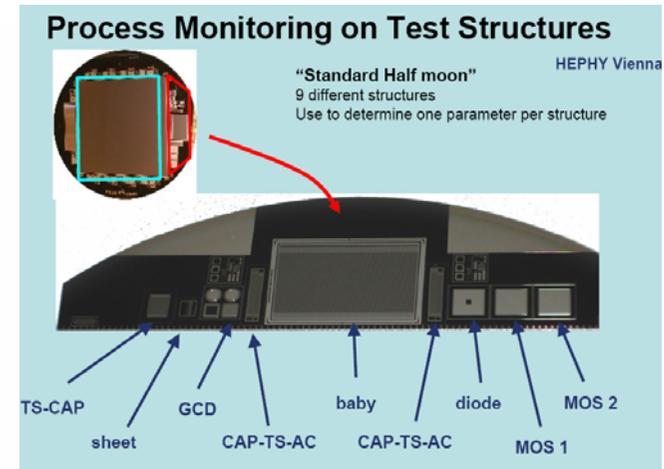
## ***SilC work program for sensor R&D 2007-2008***

- Step 1 (2007)
  - ✓ Wafer thinning (100, 200, 300 $\mu$ m)
  - ✓ Strips larger wafer (50  $\mu$ m pitch)
    - Test new readout chips (DC coupling, power cycling)
  - ✓ Improve standardized test structures and test setups
- Step 2a (2008-)
  - ✓ Move from pitch adapter to in-sensor-routing
    - Test crosstalk, capacitive load of those sensors
- Step 2b (2008-)
  - ✓ Test 6" double sided sensors (LPNHE + Canberra)
- Step 2c (2008-)
  - 8" (12") single sided DC wafer

Nouveaux wafers 6" à  $\mu$ pistes (HPK), structures de test (HEPHY) pour production de détecteurs de 9.5x9.5cm<sup>2</sup>, épaisseur 320 $\mu$ m, pitch 50 $\mu$ m; 5 détecteurs sur 35 traités pour test d'alignement avec laser; Pour prototypes (si possible) tests en Octobre 07 et tests avec LCTPC 08.



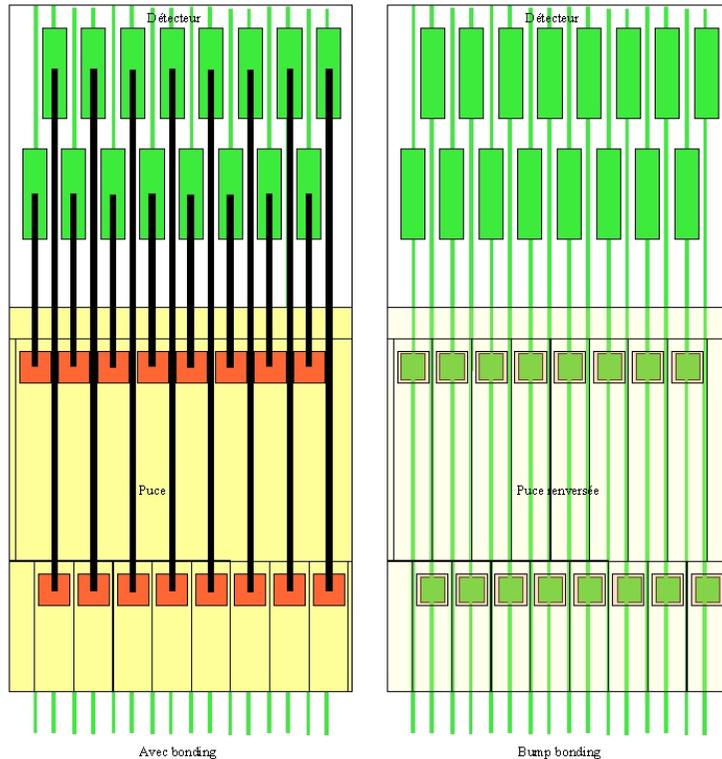
Design finalisé: 21/6/07



5 wafers traités pour alignment

# “Inline pitch adapter” sur Chip SiTR pour SiLC

ILC – BUMP - BONDING



Avec bonding

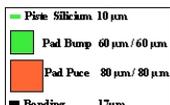
Bump bonding

Silicium avec 1 couche de métal

ILC-flip-chip/ bonding

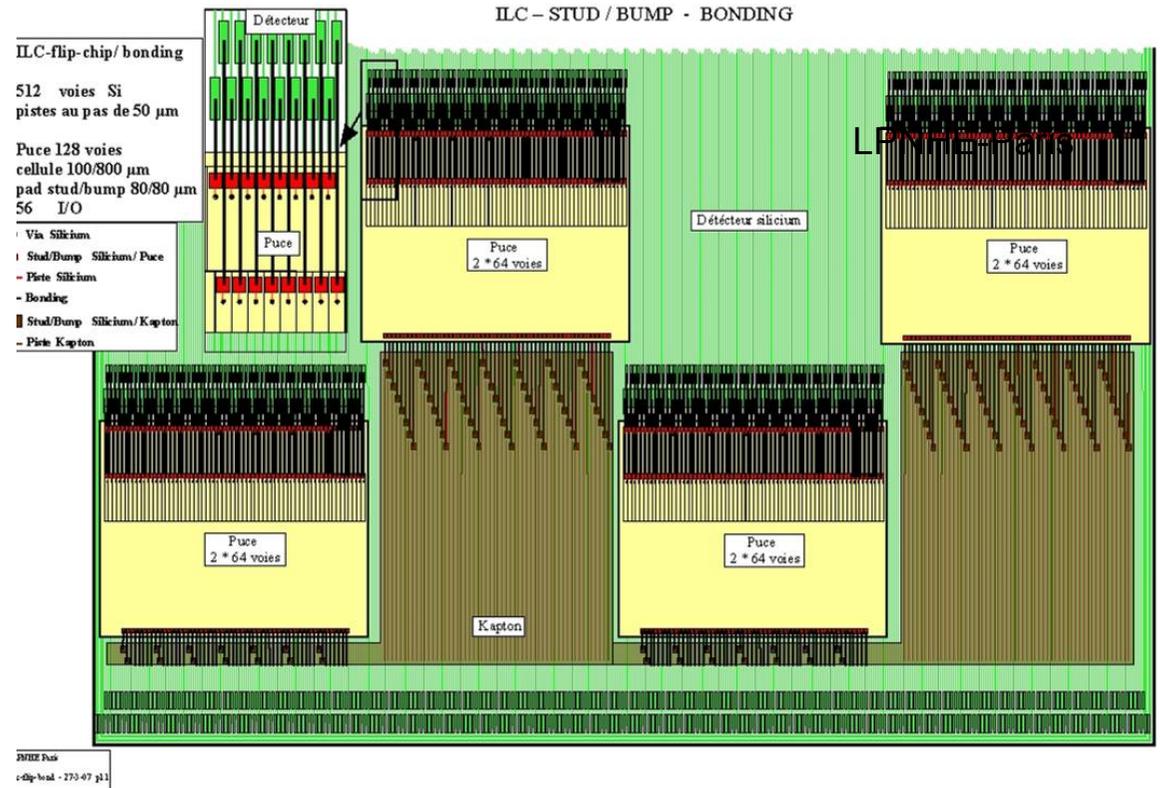
512 voies Si  
pistes au pas de 50  $\mu\text{m}$

Puce 128 voies  
cellule 100/800  $\mu\text{m}$   
pad Bump 60/60  $\mu\text{m}$   
56 I/O



LPNHE-Puc  
flip-bond - 273-07 p11

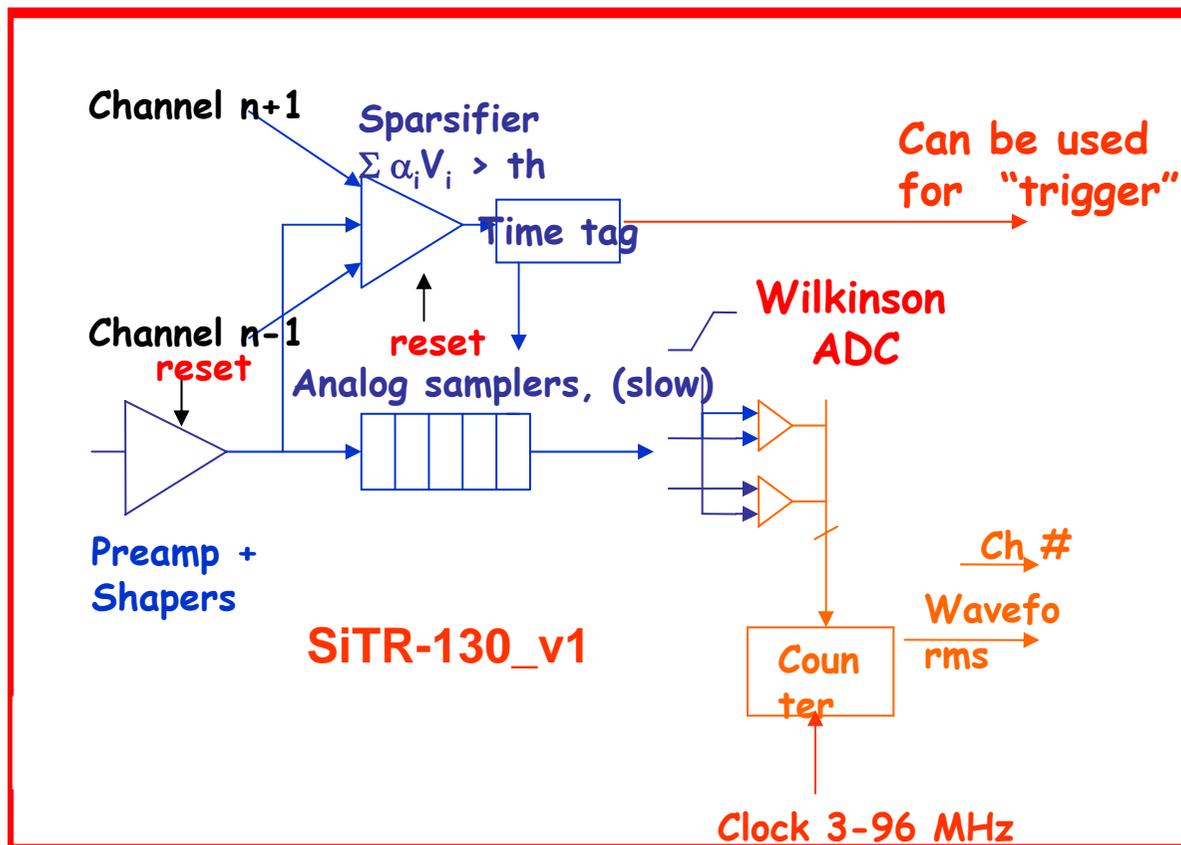
ILC – STUD / BUMP - BONDING



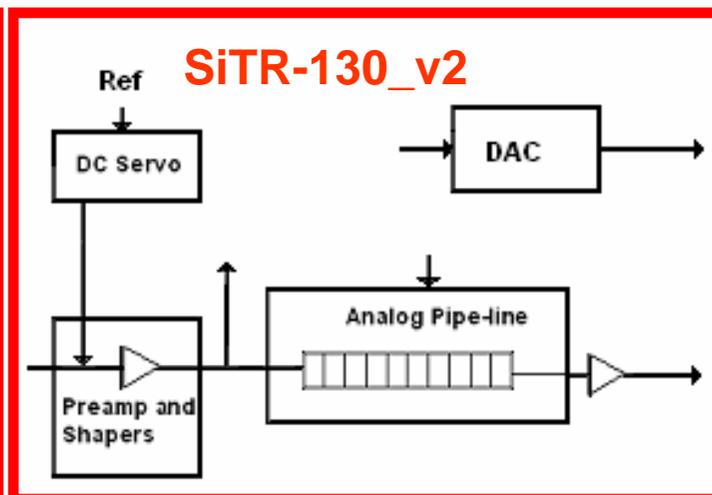
- SiLC (LPNHE) fournit les chips (SiTR-130\_128v)
- HPK assure le bump bond du chip sur détecteur en: Bump  
Flipchip  
Stud-bonding  
(MoU et NdA en cours préparation)
- Tests prévus en 2008

# R&D FE Electronique en DSM: LAPP & LPNHE

- Tests des deux SiTR-130\_v1 et \_v2 envoyés en fonderie en 2006
- Design du SiTR-130 pour mini production pour équiper prototypes à partir de 2008

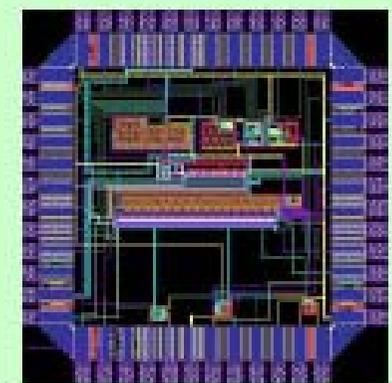


**Version 1: LPNHE Reçue fin 2006**  
 premiers tests fonctionnalité OK, tests avec détecteur  
 et caractérisation détaillée: en préparation



**Version 2: LAPP**  
 (D. Fougeron + R. Hermel)  
 DC servo adapté au détecteurs  
 à couplage DC  
 DAC: calibration  
 Pipeline amélioré/version v1.  
**Reçue 5/1/07: en test au LAPP**

# Layout et photo des chips SiTR-130\_1 et \_2

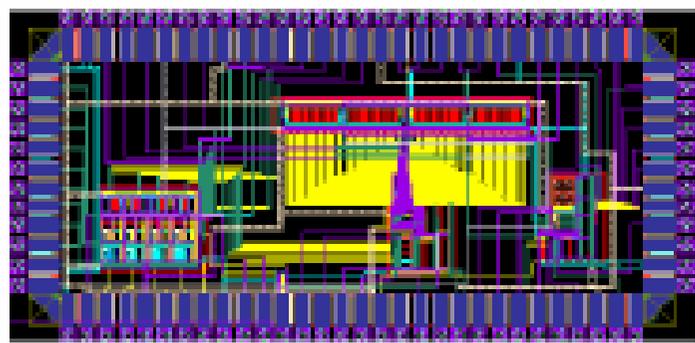


Layout

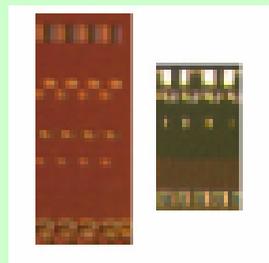


Picture

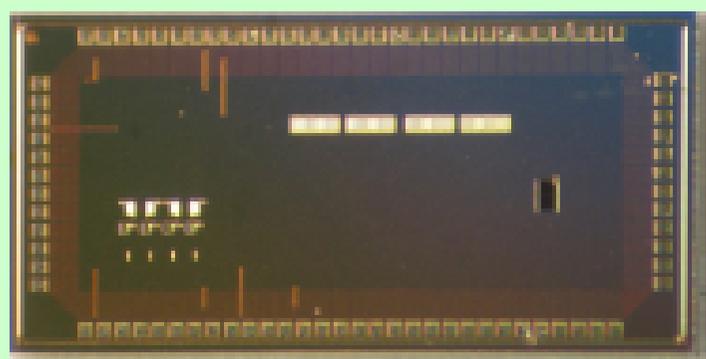
One channel 1.5 x 1.5 mm<sup>2</sup>



Layout of the 130nm chip including sampling and A/D conversion

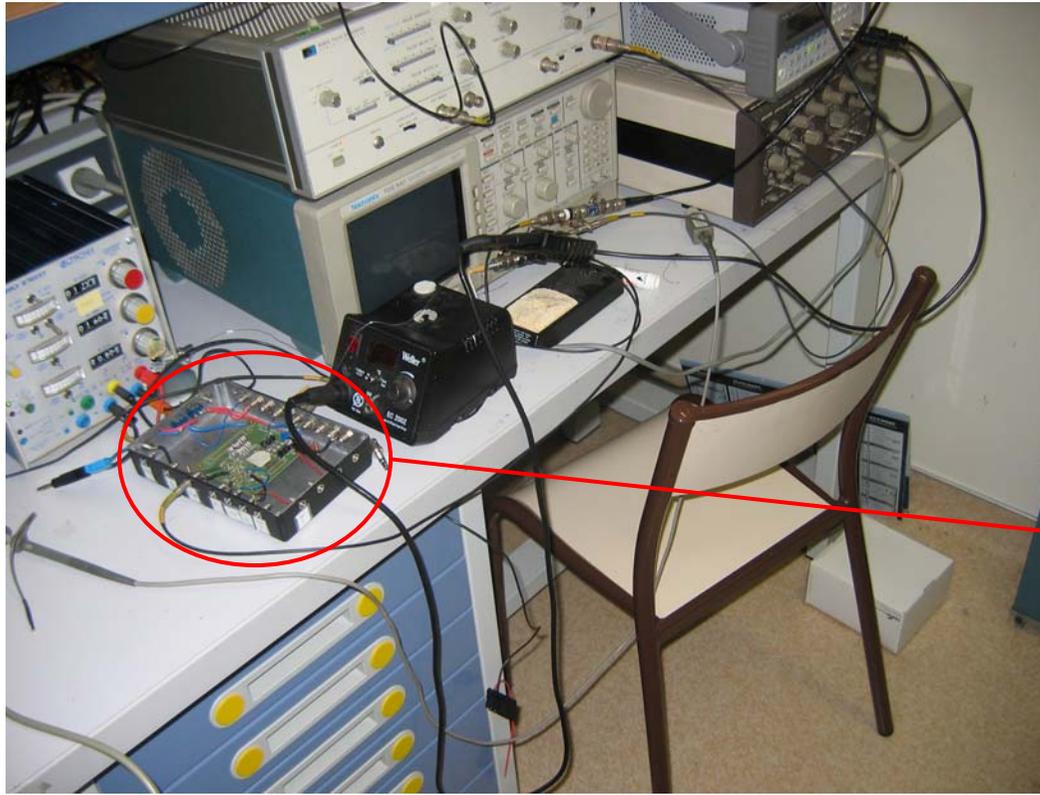


180nm 130nm



Picture

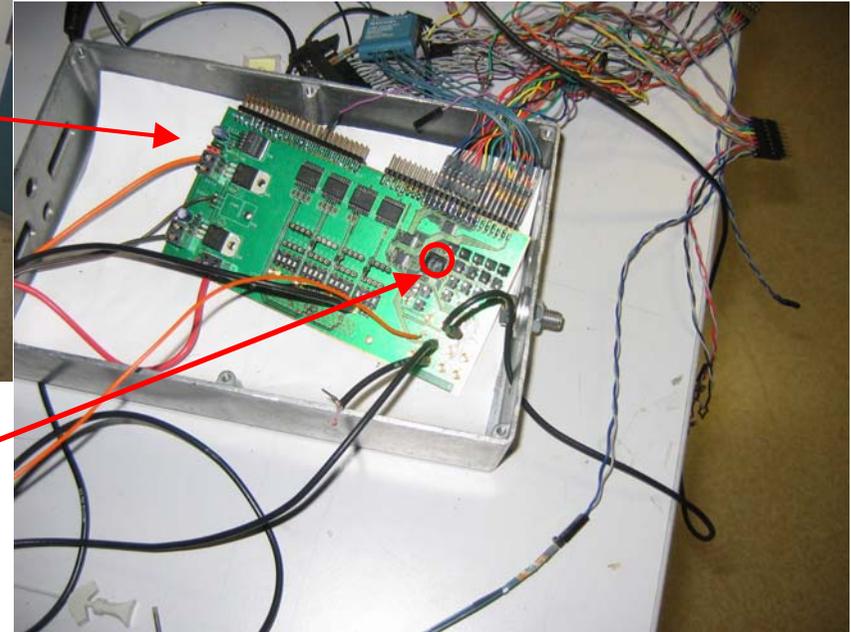
## Test de fonctionnalité du SiTR-130\_v1



Banc de test fonctionnalité-chip au LPNHE

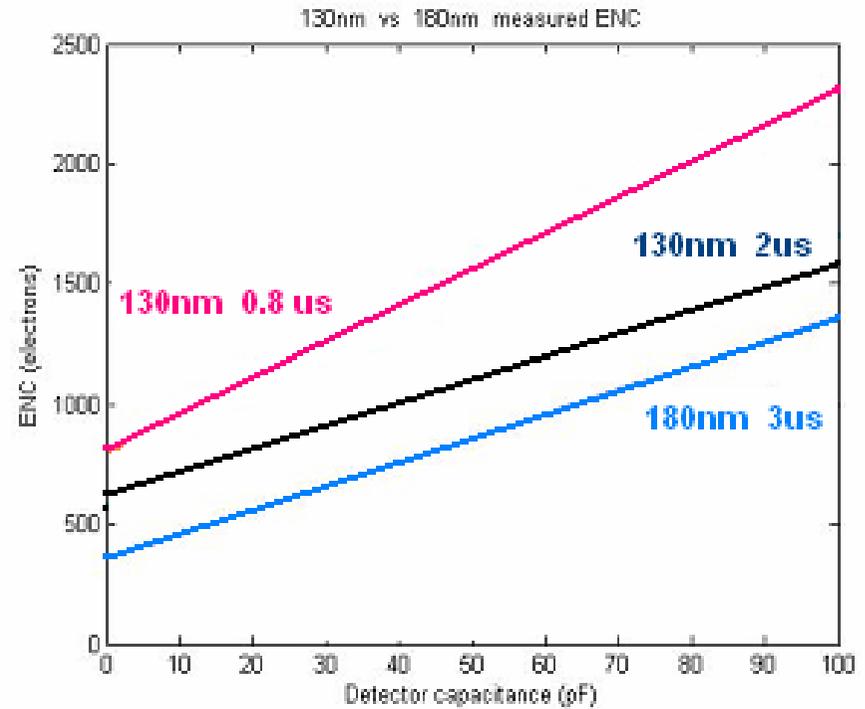
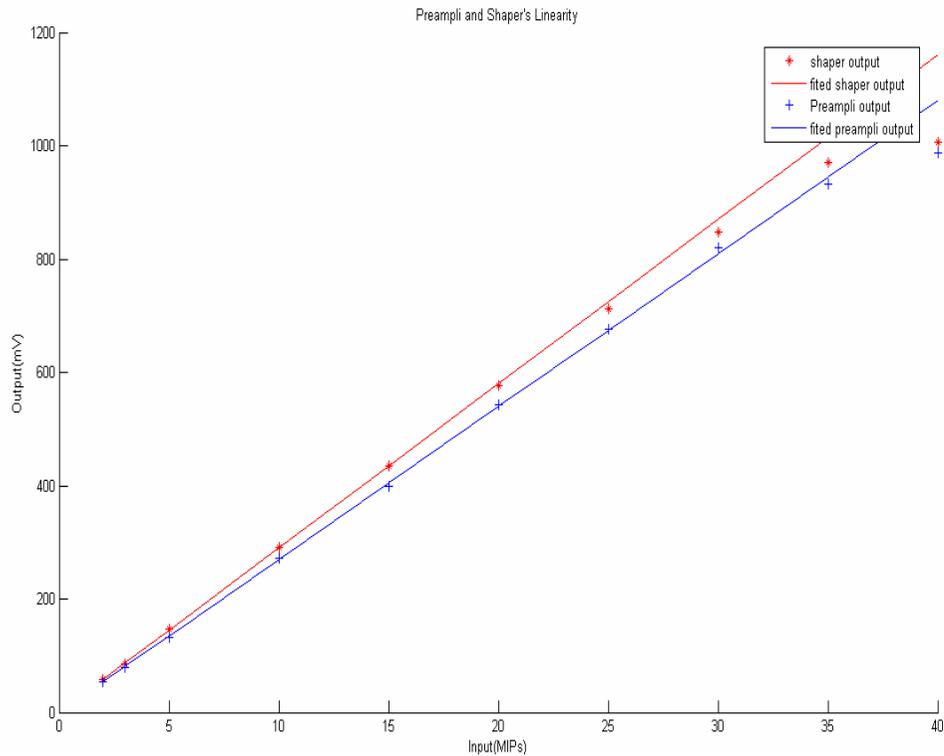
Chip SiTR-130\_v1

Carte test-fonctionnalité du chip



Un système complet de test est en cours de mise en œuvre au LAPP pour le SiTR-130\_v2 y inclus avec programme automatique de test

# Résultats test fonctionnalité SiTR-130 v1



Preamplificateur :

Gain = 27mV/MIP

Dynamique = 25MIPs (<1%)  
= 30MIPs (<5%)

Shaper :

Gain = 29mV/MIP

Dynamique = 20MIPs (<1%)  
= 30MIPs (<5%)

Performance en Bruit:

130nm @ 0.8 ms : 850 + 14 e-/pF

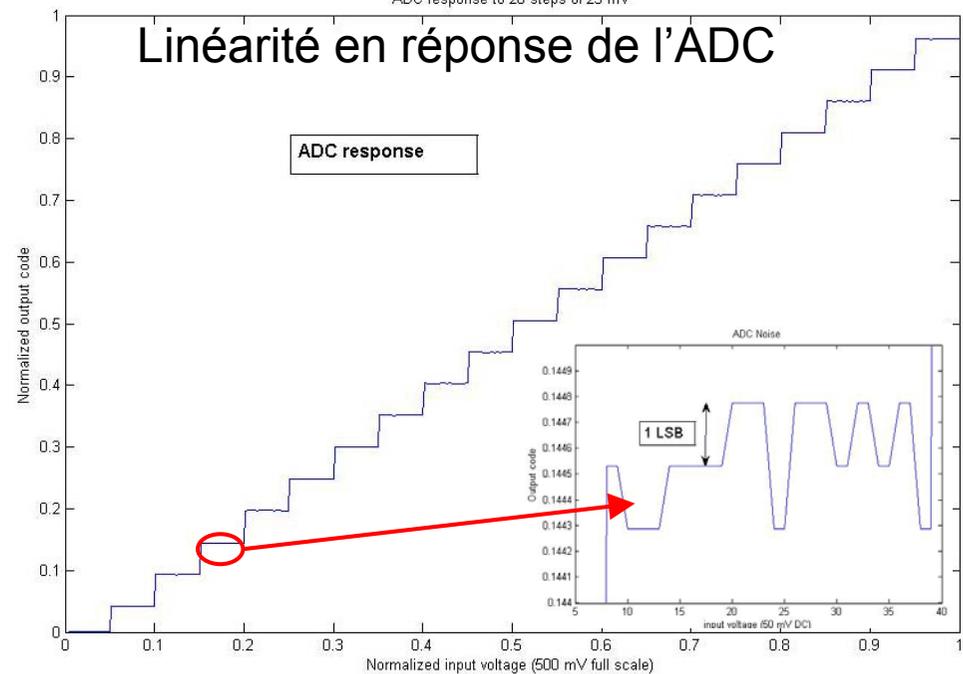
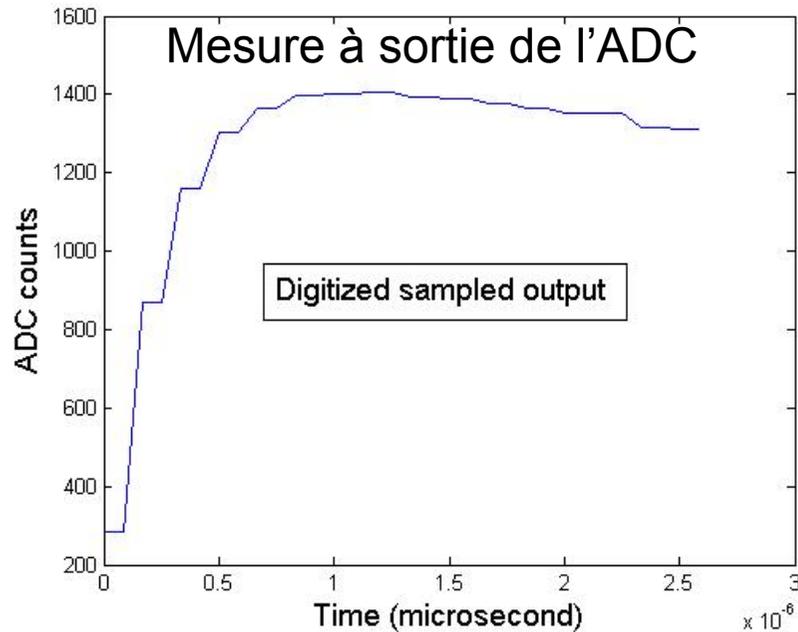
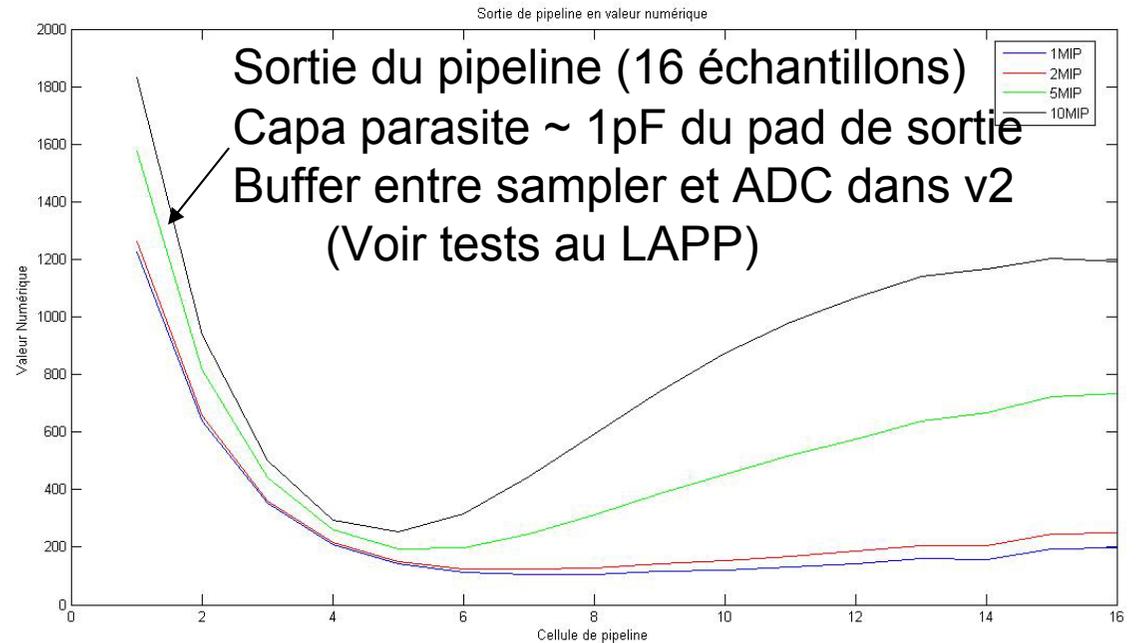
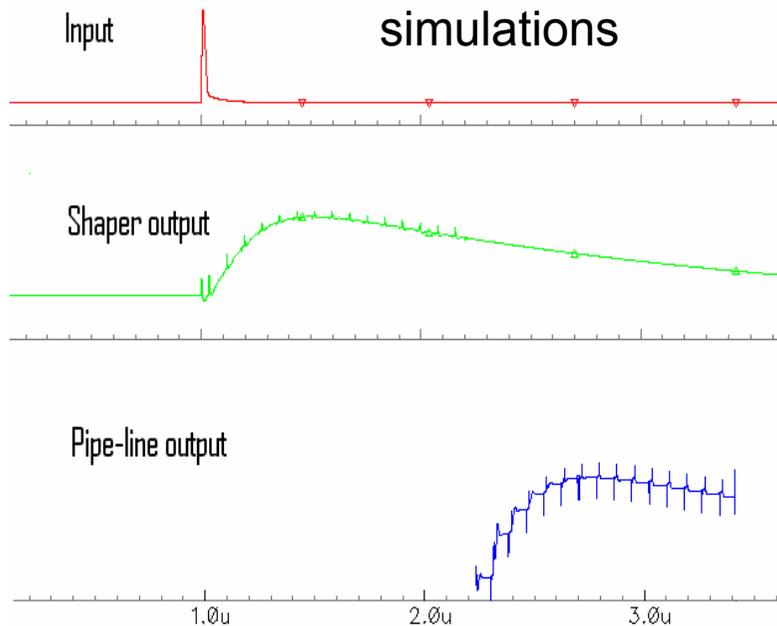
130nm @ 2 ms : 625 + 9 e-/pF

625\*sqrt(2/3 ms)=510 e-/pF

180nm @ 3 ms : 375 + 10.5 e-/pF

Puissance (Preamp+ Shaper) = 290 mW

# Résultats test fonctionnalité SiTR-130\_v1 => OK



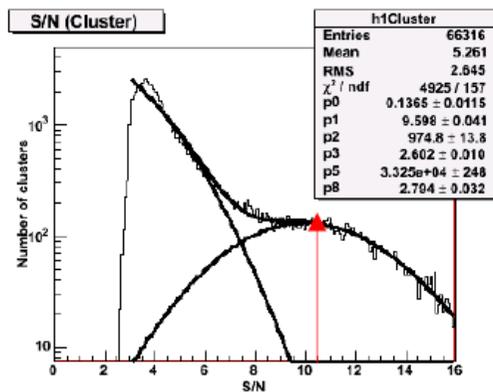
# SiTR-130\_v1 et v2: tests restant à faire

## Mesure extensive de l'ADC

- Linéarités      integrale, differentielle
- Bruit            fixed pattern, random
- Vitesse         Fréquence maximum d'horloge

*Nombre de bits effectif (ENOB)*

*Et caractérisation fine du SiTR-130\_v2 au LAPP*



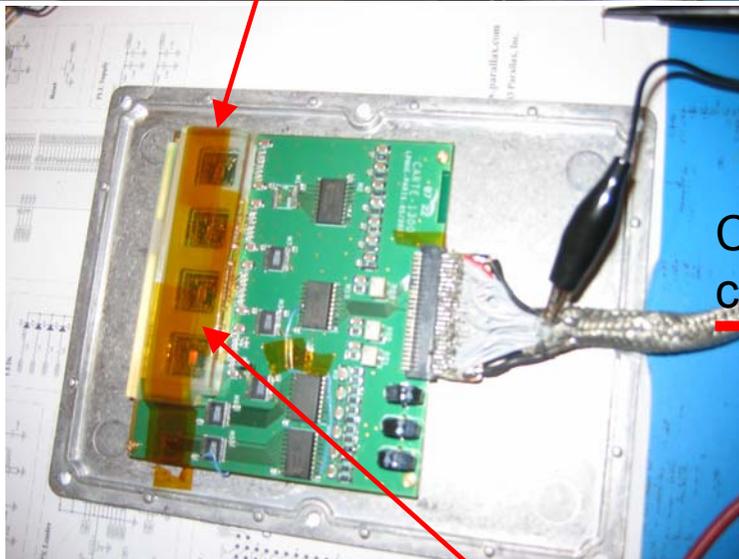
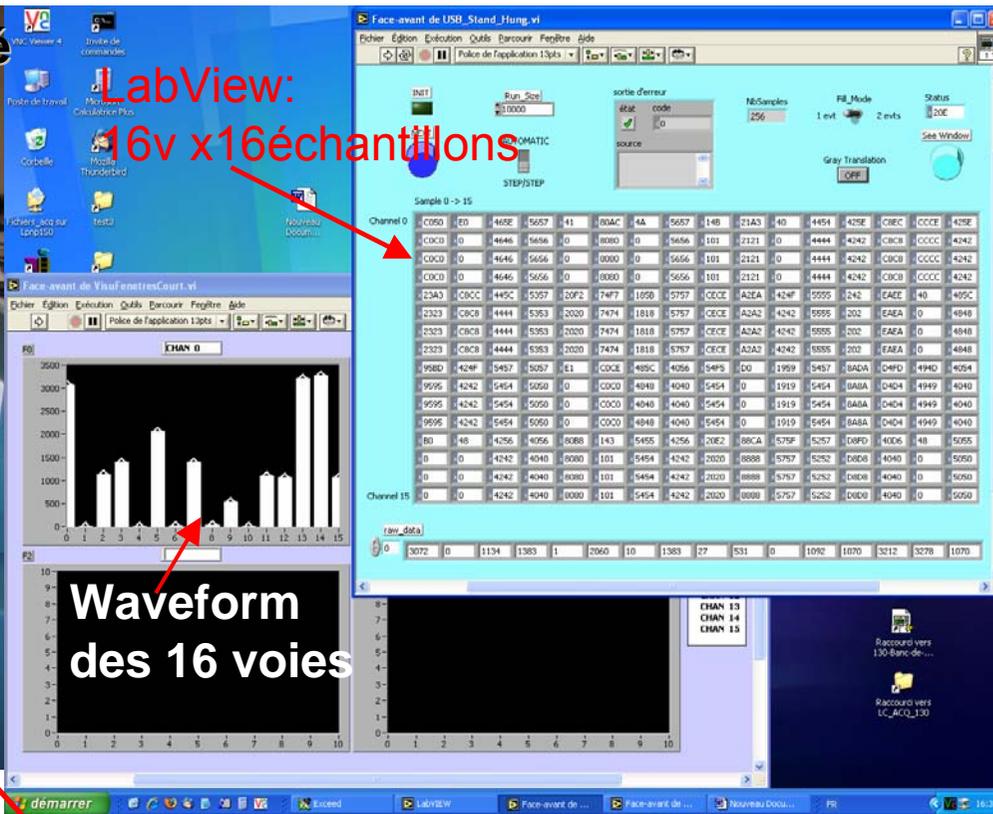
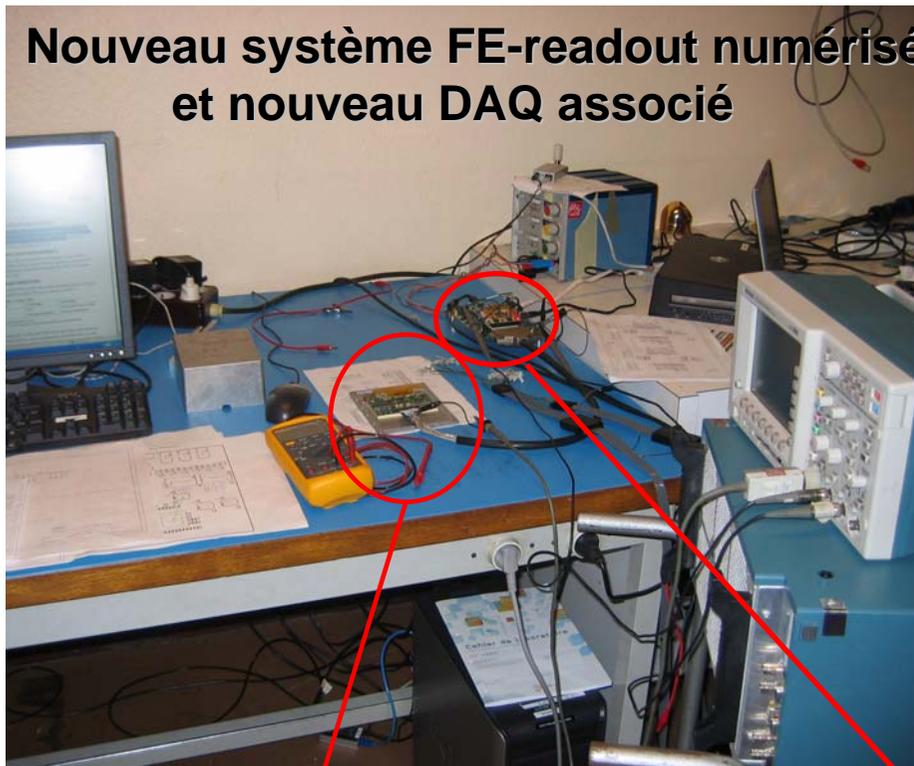
Premiers tests avec détecteur sur carte FE et avec source radioactive en cours de préparation au LPNHE sur module 3CMS (fabriqué par IEKP)

Puis en test en faisceau prévu au CERN en Octobre:

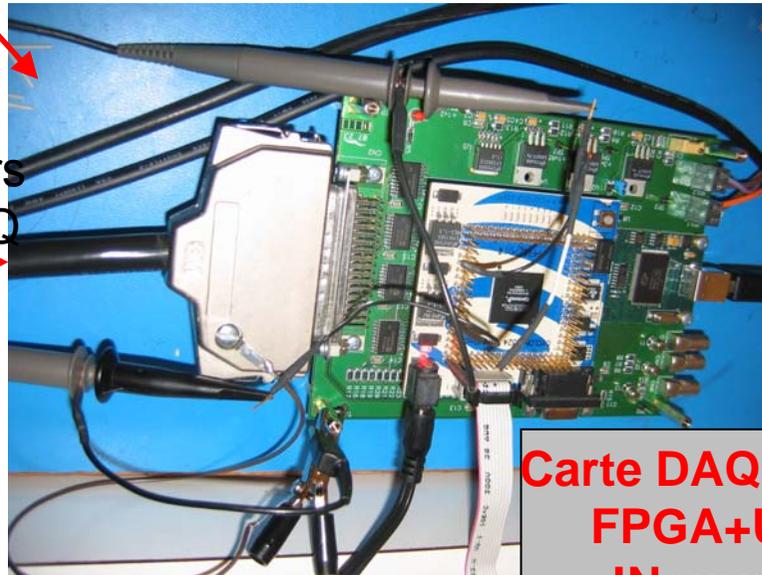
**Caractérisation complète.**

Ces tests servent au design du SiTR-130\_128ch, basé sur même architecture, mais 128 voies/chip et power cycling; il devrait être envoyé en fonderie en fin 07 (EUDET).

# Nouveau système FE-readout numérisé et nouveau DAQ associé



Câble vers carte DAQ

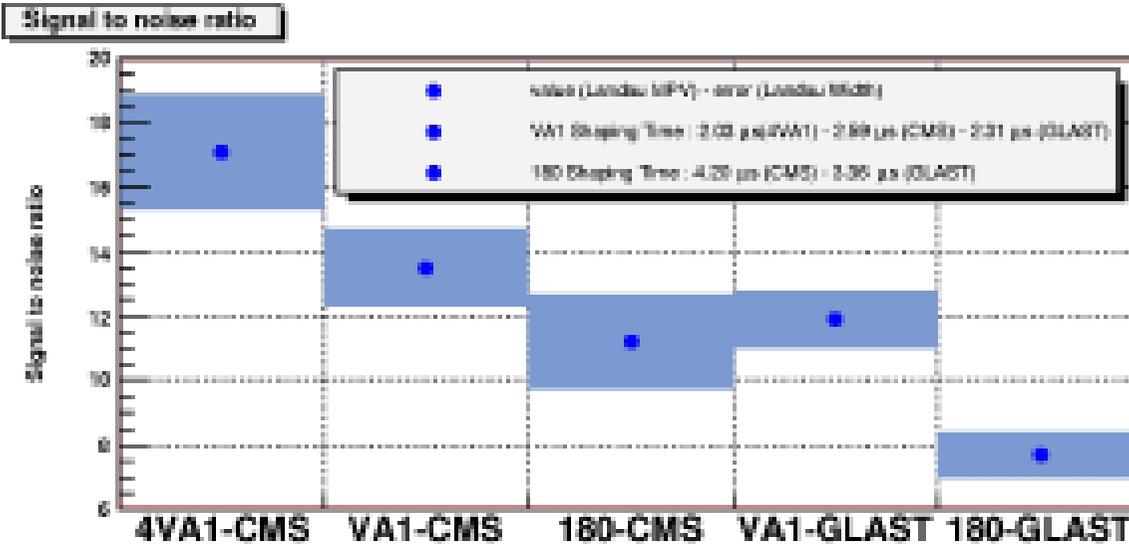


**Carte DAQ(VHDL) FPGA+USB !Nouveau!**

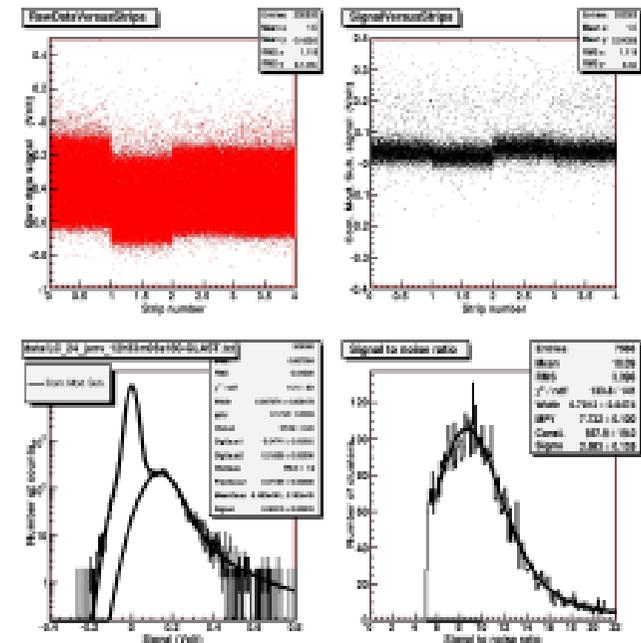
Carte FE équipée de 4 SiTR-130\_v1  
→ nombre de voies traitées = 16

# Test détecteur-FEE sur banc de test au labo

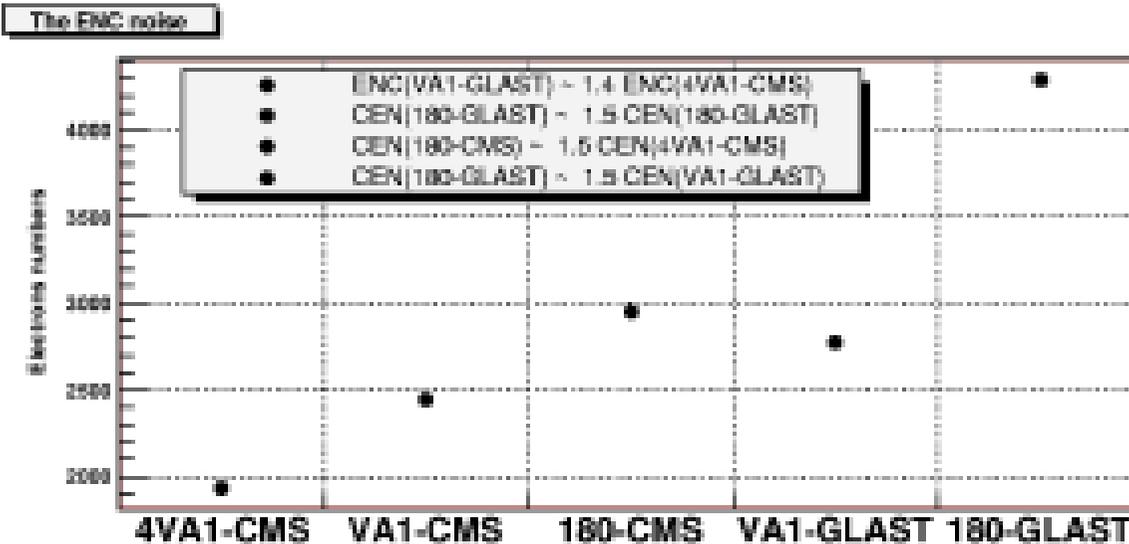
Mesures de S/N (MPV) et de bruit (ENC) sur modules 3CMS et 10 GLAST, réalisés sur banc de test LPNHE, avec lecture: VA1 (référence) vs SiTR-180



## Signal Studies : 180-GLAST



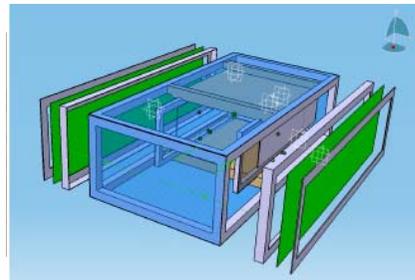
S/N ~ 8



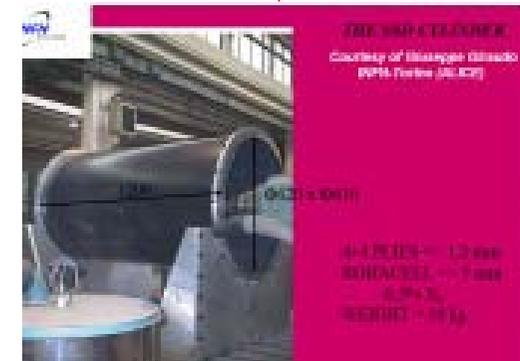
# Mécanique: design & construction de protos

- Construction de prototype détecteur (voir test en faisceau)
- Enceinte de refroidissement et Cage de Faraday (présentation EUDET S.B., 21/5/07: proto dû en Octobre 07 pour EUDET)

Insulating cage for DESY test beam



Manque de manpower Mécanique au LPNHE: prototype sera fait par Turin



Résultats actuels:  $\sim 0.6\text{mWatt/v}$   
 → Pb essentiel: dissipation en puissance des voisins

	Preamp	Shaper	Zero suppr	Pipe- line	Total Analog	ADC	Logic	Total Digital
180nm/ch	90	180			270			
130nm/ch	148	148	198	10	575	66		
Common				100		5	96	101

# Tests en faisceaux (EUNET)

- Tests à DESY 4/6 au 17/6, TB22, préparatoires pour:
- Tests au CERN 10/10 au 22/10, TB H6 au SPS
- Préparation du test avec LCTPC: prévu Automne 08 par LCTPC.



## *Tests @ DESY en Juin 07: BU, DESY, IEKP, IFCA, OSU, LPNHE, Prague*

→ Suite aux tests sur banc de test au LPNHE  
nouvelles mesures performances:  
CMS-180nm vs VA1 (ref)

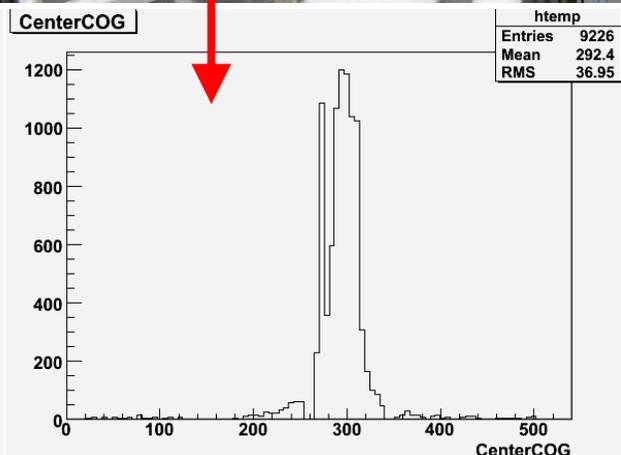
→ Essai de mesurer S/N avec nouveau chip:  
3CMS et 16 voies de SiTR-130\_v1

- nouveau DAQ Hard: FE numérique+  
FPGA + USB

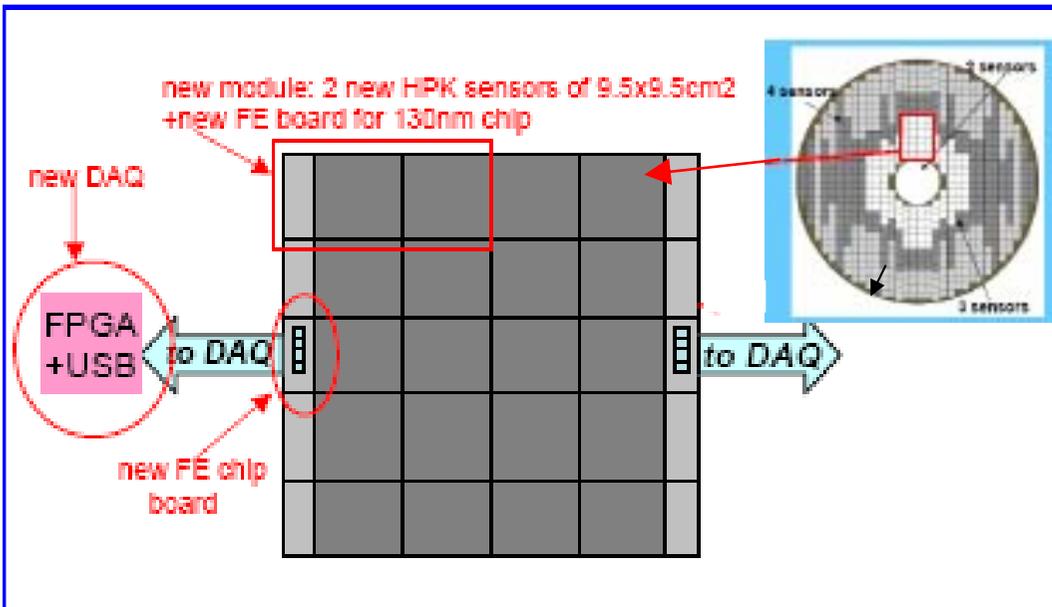
- nouveau DAQ soft (VHDL + LabView)
  - nouvelle carte FE
  - nouveaux câbles

- Tests préliminaires de fonctionnalité de l'ensemble  
DAQ hard + soft, FE et détecteur y inclus  
avec source radioactive:

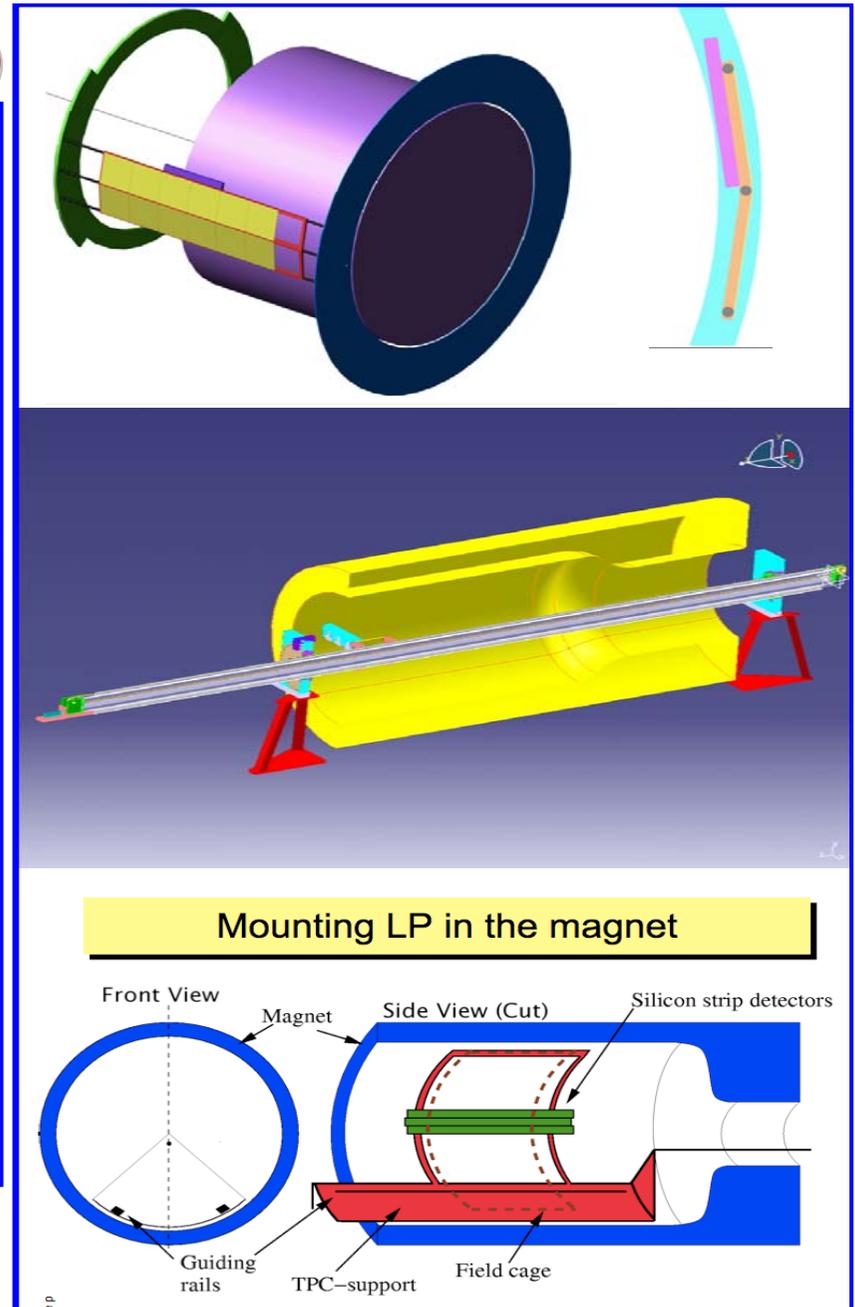
***Tout près du but!! (voir suite)***



# Faisceaux tests au CERN (Oct 07)



Premier prototype de "grande dimension" (EUDET) et premier des 4 plans à construire et équiper pour 08-09. Ils donneront 2 points XY/trace. C'est un système pouvant être associé à proto calorimétrie pour test combiné. Prévu aussi un premier prototype du système d'alignement à laser (IFCA ).



**Tests avec LCTPC (Aut 08)**  
*IEKP, HEPHY, DESY, LPNHE*

# Meetings collaboration SiLC

- **Prague: 25-27 Avril, 5<sup>ème</sup> meeting SiLC**

<http://www-ucjf.troja.mff.cuni.cz/ilc/silc/meeting/index.html>

5th SiLC Meeting - Prague

25th - 27th April 2007

Welcome
Programme
Information
Accommodation
Transport
Registration
List of participants
IPNP Web Page
SiLC Web Page



We are looking forward to seeing you!

Prague team

- CERN: 10 Juillet
- CERN: 7 Septembre
- **Turin: 12-14 Décembre, 6<sup>ème</sup> meeting SiLC**
- Et meetings téléphoniques dédiés sur: simulations, tests faisceaux, R&D détecteurs....

# Perspectives

Le LPNHE est moteur et/ou a soutenu dès le départ du projet dans le projet SiLC sur plusieurs directions de R&D:

- **Nouvelle génération détecteurs à μbandes**: wafers  $\geq 8''$ , amincis, petits pitches ( $25\mu\text{m}$ ) et à traitement spécial pour alignement (amélioration qualités optiques).
  - **Applications technologie Silicium 3D à**:
    - Extension de pixelisation au trajectomètre, d'abord sur couches internes et au tout trajectomètre (simulations en cours)
    - nouveaux détecteurs à microbandes 3D (sans bord, très mince, très basse tension de polarisation)
    - Connectivité directe du chip FE sur  $\mu$ pistes.
  - **FE numérisé en VDSM**: prochain pas = SiTR-90. Nécessité de garder cette leadership en France (IN2P3).
  - **Recherche de solutions en mécanique** pour diminuer au maximum le %X0 (matériaux, design mécanique des structures, "refroidissement")
- Tous ces aspects sont à forte synergie avec le (S)LHC comme l'ont bien compris nos partenaires qui sont impliqués dans ces deux objectifs avec cette R&D générique.

***Ces buts vont être poursuivis et développés ces prochaines années***

# Personnel (ETP) et demande AP+missions

Le profil présenté l'année dernière devrait rester valable pour ETP et demandes AP et missions ainsi que le profil donné jusqu'en 2010. Mais, à souligner pour le LPNHE: la pénurie ITA en Mécanique

**Demande AP et profil seront finalisés fin de cette semaine;**

**MAIS**

**Trois caveats importants cependant:**

- Construction de prototypes de certaine dimension avec détecteurs Silicium (non financés par EUDET)
- Développement des nouvelles technologies détecteurs Si (synergie avec SLHC)
- Missions pour tests en faisceau à FNAL à partir de 2008 (?).