

Optimisation de Capteurs CMOS pour un Détecteur de Vertex à l'ILC

Marc Winter (IPHC/Strasbourg)

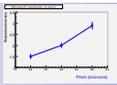
laboratoires IN2P3 du projet : LPSC/Grenoble, LPC/Clermont-F., IPHC/Strasbourg

instituts collaborant : DAPNIA/Saclay, DESY, Uni. Hamburg, JINR-Dubna

contributions hors ILC : IPN/Lyon, Uni. Frankfurt, GSI-Darmstadt, STAR coll.(LBNL, BNL)

PLAN

- Réalisations juin 2006 – juin 2007
- Projets \rightarrow fin 2007
- Projets pour 2008 \rightarrow moyens demandés
- Résumé



- Développement en parallèle de 3 parties du capteur :

- ⊕ matrice de pixels groupés en colonnes lues en // avec CDS/pixel & sorties discriminées
- ⊕ ADC 4-5 bits destinés à remplacer les discriminateurs à terme
- ⊕ μ circuits de \emptyset et mémoires de sortie

- Approche en deux étapes :

- 1) Dévt de capteurs pour des applications à moyen terme (2009)

↳ moins exigeant que ILC (2 couches int.), mais \sim OK pour 3 couches ext. :

- ◇ EUDET: $1 \times 2 \text{ cm}^2$, $t_{r.o.} \sim 100 \mu\text{s}$, encodage binaire (discr.) du signal ;
- ◇ STAR: $2 \times 2 \text{ cm}^2$, $t_{r.o.} \sim 200 \mu\text{s}$, encodage binaire (discr.) du signal ;

↳ exploitation en conditions expérimentales réelles dès 2009/2011

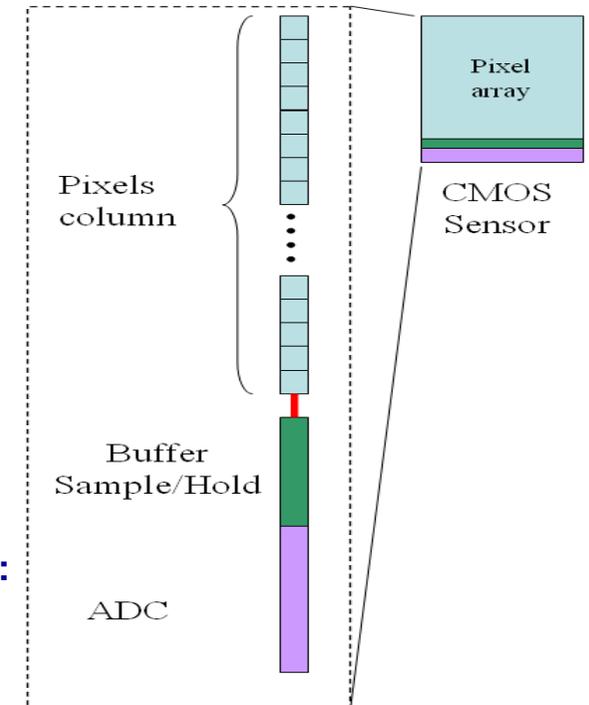
- 2) Dévt de capteurs adaptés à l'ILC (surtout couches int.) en extrapolant des capteurs de EUDET & STAR:

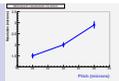
- ◇ augmenter la fréquence lecture de $\sim 50 \%$
- ◇ remplacer les discr. par des ADC

- Développer les capteurs dans une technologie CMOS bien adaptée :

⊕ coût, pérennité, fréq. des runs MP, taille de grille, couche épi, ... \rightarrow AMS-0.35 OPTO

▷▷▷ Il faudra trouver & caractériser la technologie du capteur final



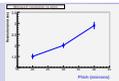


- Run d'ingénierie déclenché par le prototypage pour STAR (MIMOSA-20 : surf. active $\sim 2 \text{ cm}^2$) :
 - ✳ fabrication en été 2006
 - ✳ 2 + 4 galettes (8" \Rightarrow 50 réticules/galettes)
 - ✳ 2 épaisseur de couche épitaxiée : ~ 11 & $15 \mu\text{m}$ \Leftrightarrow options "14 μm " & "20 μm "
 - ✳ nouveau capteur utilitaire en remplacement de MIMOSA-5 :
 - \lesssim 50 fois plus rapide, fonctionne à T_{ambi} , rad. tol., pilotage JTAG intég., ...
 - \hookrightarrow équipera plusieurs démonstrateurs : STAR, CBM, EUDET, autres télescopes, dosimètres, ...

■ Autres motivations du run:

- ✳ évaluation du rendement
- ✳ comparaison épi-14 vs épi-20
- ✳ études d'amincissement industriel
- ✳ 1/2 réticule disponible pour autres capteurs que MIMOSA-20 :
MIMOSA-16, -17, -18, -19, ADC, structures de test





■ Erreur de fabrication du fondeur \rightarrow conséquences dépendent de l'architecture du capteur :

✳ capteurs MIMOSA-17 pour le démonstrateur du télescope de EUDET validés,

\hookrightarrow montés sur proto du télescope et testés avec succès à DESY en juin

✳ MIMOSA-18 (pitch $10 \mu m$) \rightarrow Télescope A Pixels de l'IPHC (TAPI)

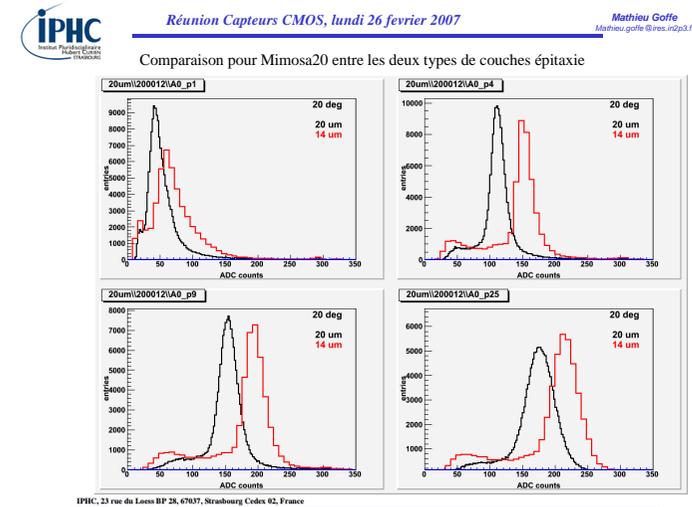
\hookrightarrow TAPI à 3–4 plans testé avec succès à DESY en juin

✳ MIMOSA-20, -17 : pixels défectueux (plusieurs %)

au centre de la matrice \rightarrow rendement ???

✳ épi-14 vs épi-20 : clusters mesurés dans épi-14

présentent de meilleures caractéristiques \rightarrow



■ 2ème fabrication au 1er trimestre 2007 :

✳ 1 param. de contrôle du fondeur n'est pas dans les spéc \rightarrow csq non prédictibles (sf temps perdu ...)

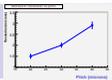
✳ 2 galettes non découpées en test à l'IPHC (MIMOSA-20 et -17) : $I_{fuite} > 10$ fois trop élevé

\hookrightarrow plusieurs pistes explorées pour comprendre ...

✳ 3ème galette envoyée à LBNL pour amincissement à $50 \mu m$

\hookrightarrow montage sur prototypes d'échelle qui seront installés dans STAR

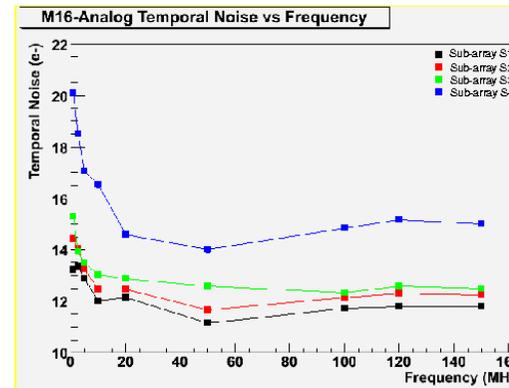
✳ galettes 4 et 5 seront utilisées pour projet d'intégration de capteurs sur CVD



Capteur rapide MIMOSA-16 :

- 32 // columns of 128 pixels (CDS/pixel)
- 24 colonnes équipées d'un discri.
- 4 sous-matrices :
 - S1** : diode de $1.7 \times 1.7 \mu m^2$
 - S2** : diode de $2.4 \times 2.4 \mu m^2$
 - S3** : S2 avec pixels rad. tol.
 - S4** : grande diode - amplif. différente

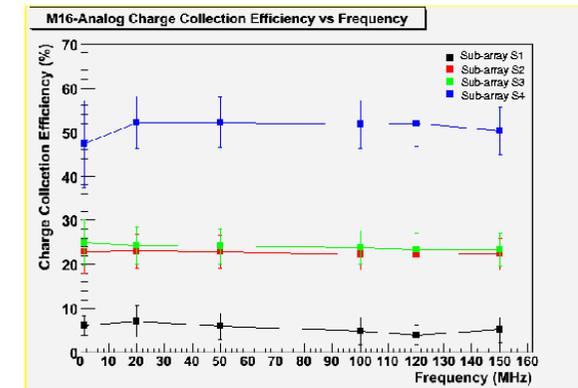
Temporal noise vs Frequency
Chip#0 (old mezzanine board)
Columns 28-31



08/01/07

Résumé résultats Mimosa-16 chip#0

Charge Collection Efficiency vs Frequency
Chip#0 (old mezzanine board)
Columns 28-31



08/01/07

Résumé résultats Mimosa-16 chip#0

1ers tests de la partie analogique (source ^{55}Fe) au DAPNIA :

mesures de N(pixel), FPN, variation du piédestal, **CCE (clusters de 3x3 pixels) vs $F_{r.o.}$** variée jusqu'à 150 MHz

Prochains tests : partie numérique \rightarrow IPHC en juin \rightarrow SPS en septembre

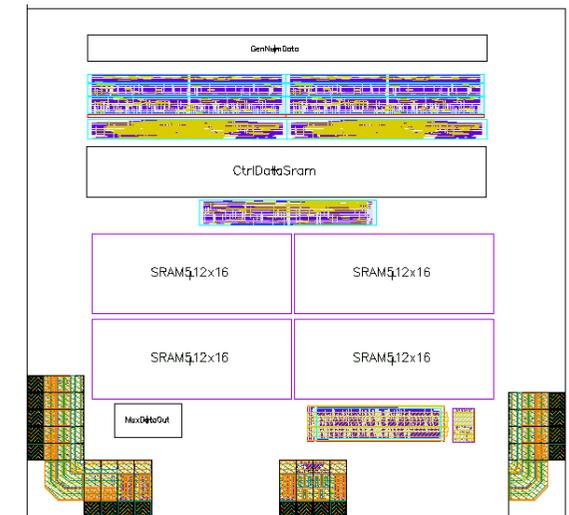
Prochaine étape : EUDET \rightarrow MIMOSA-22 (pitch $\sim 18 \mu m$; 64 x 544/576 pixels) $\triangleright \triangleright \triangleright$ soumission en oct.'07

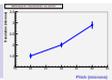


- Dévt d'ADC de 4 – 5 bits (flash, flash pipe-line, SAR, Wilkinson) :
 - plusieurs prototypes de petite taille (≤ 16 voies) fabriqués et testés
 - ADC du LPSC bien avancé \rightarrow version de 128 voies (?) pour fin 2007
 - finalisation du design début 2008 \rightarrow 1ère intégration dans capteur en 2008

■ Micro-circuit de Suppression des ZÉros (SUZE-01):

- 1er circuit (\emptyset et mémoires) conçu au 1er semestre 2007 (cahier des charges de EUDET et STAR) :
 - composition (surface : $3.5 \times 3.6 \text{ mm}^2$) :
 - logique de \emptyset en 2 étapes
 - 4 mémoires de sortie (biblio. AMS)
 - soumission fin juillet (AMS-0.35)
 - prochaine étapes (2008):
 - intégrer SUZE-01 sur un capteur rapide (e.g. MIMOSA-22)
 - augmenter la vitesse de traitement pour l'ILC (couches int.)
- \rightarrow prototype SUZE-02 en 2008





Ressources humaines engagées sur la R&D des capteurs CMOS-ILC à l'IN2P3:

◇ **IPHC (réparties sur 5 projets)**: ~ 8 ETP sur VD (ILC)

12 concepteurs μ circuits (dt 3 doct., 1 post-doc) – 4 ing. tests – 6 phys. (dt 2 MC, 3 doct.)

◇ **LPSC**: 1.6 concepteurs μ circuits & DAS – 0.2 phys.

◇ **LPCC**: 0.5 ing. concepteurs μ circuits

⇒ **Total des ressources humaines ~ 11 ETP**

Besoins en personnels (IPHC) dans les ~ 2 années à venir:

⊕ 1 IE ou IR concepteur de μ circuits

⊕ 1 T pour tests de μ circuits

⊕ ~ 1 phys. + 1 post-doc pour affiner le cahier des charges et la géométrie du VD \rightarrow Lol, EDR !

Secteurs insuffisamment couverts :

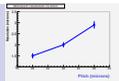
⊕ dévt des capteurs munis de pixels à mémoires multiples (FAPS, Chronopix, ...), contre EMI

⊕ affinage du cahier des charges et de la géométrie d'un VD équipé de capteurs CMOS \rightarrow chercheurs

⊕ caractérisation des capteurs \rightarrow ingénieurs ou chercheurs

⊕ intégration mécanique des capteurs \rightarrow chercheur(s) et ingénieurs (réunions tél. interregio org. FNAL-RAL)

⊕ conception des détecteurs proches du VD \rightarrow pixels des bouchons, trajecto. intermédiaire



■ Dévt de l'architecture rapide à colonnes traitées en parallèle avec sorties numérisées

- ⇨ plusieurs ADC (SAR, flash, semi-flash, Wilkinson) 15 keuros
- ⇨ 1 capteur de grande taille avec sorties numérisées et \emptyset intég. : MIMOSA-22 40–50 keuros
- ⇨ 1 capteur de petite taille avec ADC intégré 20 keuros
- ⇨ micro-circuit de suppression des zéros plus rapide que SUZE-01 : SUZE-02 10 keuros

Total (avec cartes de pilotage & lecture \rightarrow 20 keuros) 110 keuros

■ Caractérisation d'une nouvelle technologie

- ⇨ exploration de la technologie AMS-0.18 OPTO 30 keuros

■ Amincissement à $\lesssim 40 \mu m$

- ⇨ essais aux USA, à Dalian (Chine), etc. 10 keuros

\Rightarrow Total des prestations externes intéressant directement l'ILC : 150 keuros



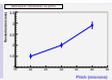
Partie des demandes étiquetée "ILC" (préliminaire) :

| Catégorie | IPHC | LPSC | Total |
|----------------------|---------------|--------------|---------------|
| Prestations externes | 60 kE | 17 kE | 77 kE |
| Fonc. & Petit équipt | 10 kE | 4 kE | 14 kE |
| Equipement | 10 kE | – | 10 kE |
| Sous-total | 80 kE | 21 kE | 101 kE |
| Missions | 25 kE | 4 kE | 29 kE |
| TOTAL | 105 kE | 25 kE | 130 kE |

Autres sources de financement :

⊕ en synergie directe avec l'ILC : EUDET, CBM (GSI), coll. avec DAPNIA

⊕ en synergie indirecte avec l'ILC : STAR (DoE), imagerie (industrie, DAT-IN2P3), CPER



■ Progrès réalisés en 2006/2007 :

- architecture rapide (col. //) : tests de M16, design de M22
- ADC : convergence du design en accord avec toutes les spécifications
- ∅ : 1er micro-circuit (SUZE-01) envoyé en fabrication
- technologie AMS-0.35 OPTO : caractérisation (rendement, épi-14 & épi-20)
- capteurs de grande taille : démonstrateurs (EUDET, STAR, CBM), TAPI, amincissement

■ D'ici 2008/09 :

- ▷ finaliser capteurs pour détecteurs sur faisceau (STAR, EUDET) \rightarrow tests en conditions réelles
- ▷ réaliser 1ers capteurs avec ADC ou ∅ intégrés
- ▷ viabiliser l'amincissement $\lesssim 40 \mu m$
- ▷ "viabiliser" techno. CMOS $< 0.25 \mu m$
- ▷ investiguer Si/CVD et techniques d'intég. 3D
(coll. Fraunhofer, contact FNAL et LIA Japon, SLHC, ...)

■ Projections budgétaires: \rightarrow échelle complète $\gtrsim 2010$

2008 : 77 (prest. ext.) + 14 (fonc.) + 10 (equip.) + 29 (missions) = 130 keuros (préliminaire)

> 2008 : besoins \sim identiques (à 20 % près) si les partenaires financiers actuels maintiennent leur intérêt

- ### ■ Renforcements souhaités :
- ▷ 1 IE/IR concepteur de μ circuits
 - ▷ 1 T pour tests de μ circuits
 - ▷ 1 phys. & 1 post-doc pour affiner le cahier des charges et optimiser la géométrie du VD