
La mesure du temps au LPC Caen

- Résultats de tests du marqueur de temps SNATS (Super NEMO Absolute Time Stamper)
- Bloc interpolateur de temps à 50 ps (R&D)

L.Leterrier
Laboratoire de Physique Corpusculaire de Caen

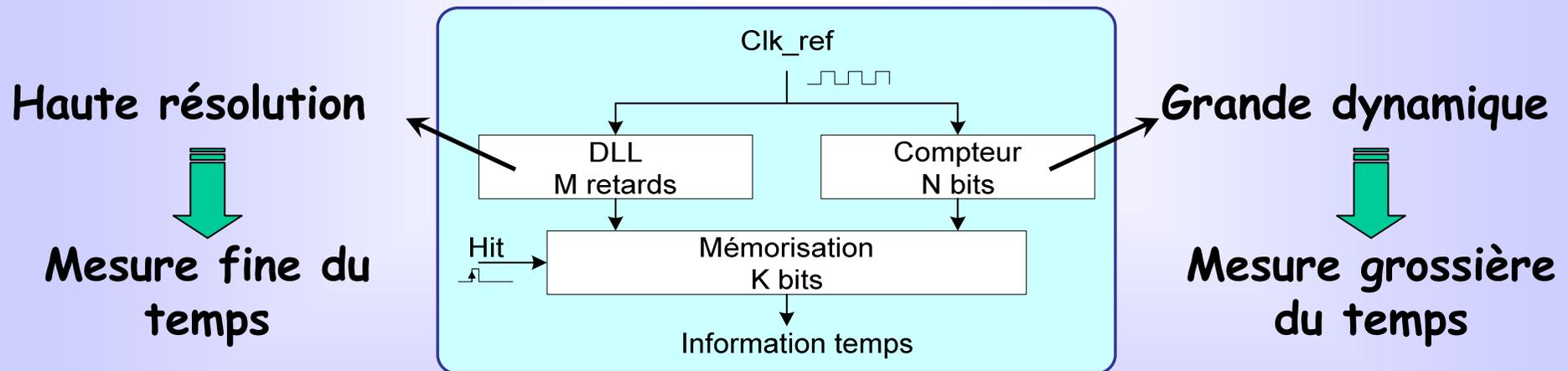
SNATS (Super Nemo Absolute Time Stamper) : rappels

Collaboration entre LAL et LPC Caen

Objectifs :

- Mesure du temps avec une résolution ≈ 100 ps RMS
- Marquage du temps sur quelques dizaines d'heures

Principe:



Le cahier des charges de SNATS : rappels

Techno AMS CMOS 0.35 μm (C35B4)

Fréquence d'horloge : 160 MHz

DLL à 32 cellules

décalai d'une cellule \approx 195 ps

DNL < 10 %

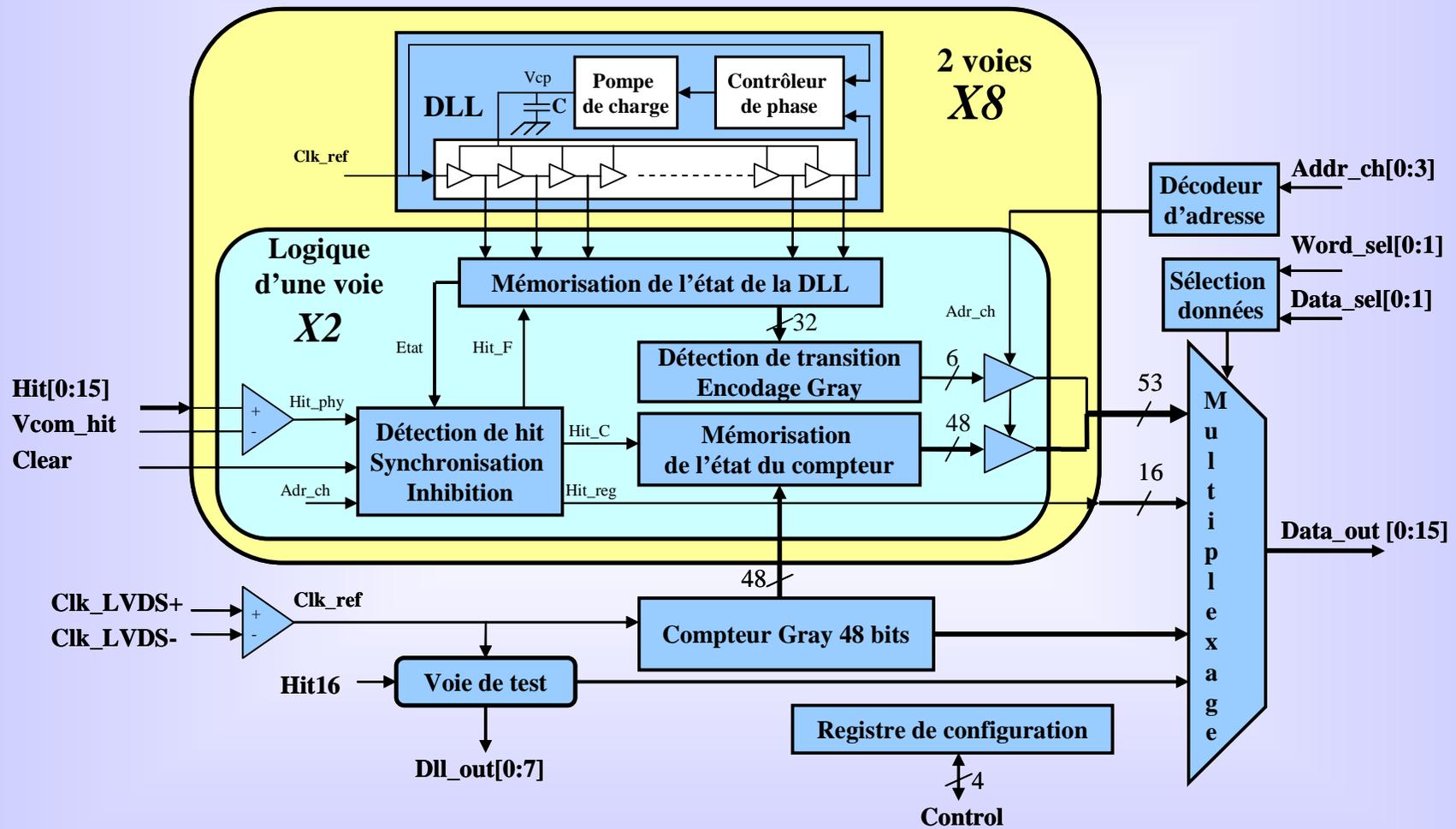
Dynamique de codage : 53 bits

- ↪ compteur d'horloge sur 48 bits (\approx 20 jours)
- ↪ encodage de l'état de la DLL sur 5 bits
- ↪ sortie parallèle 16 bits (4 mots 16 bits)

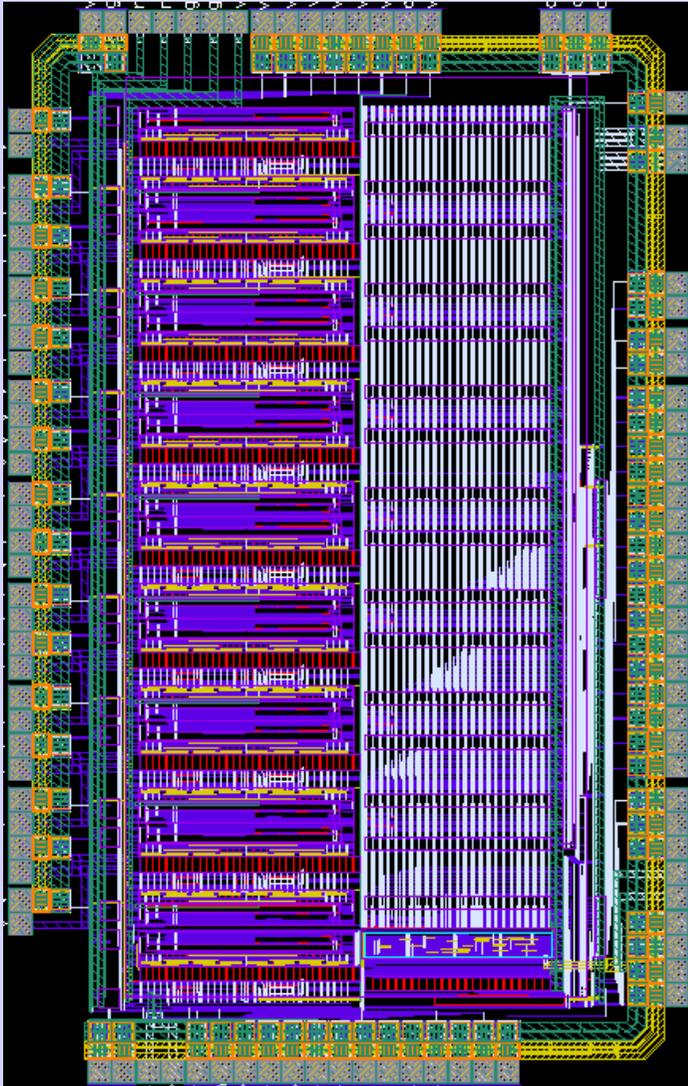
Modularité : 16 voies/chip

Puissance < 500 mW

L'architecture de SNATS : rappels



SNATS : rappel



Taille : $4467\mu\text{m} \times 2853\mu\text{m}$

Surface : $12,7 \text{ mm}^2$

Boitier : CQFP100



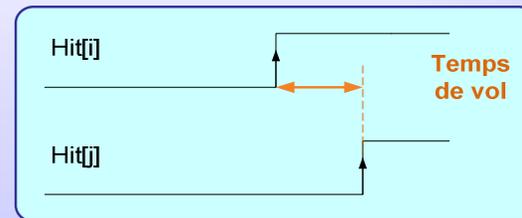
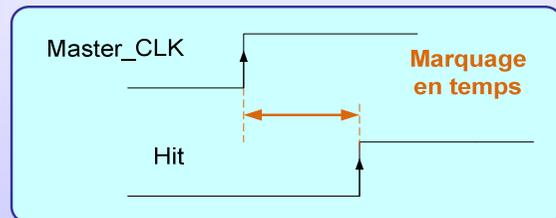
Les résultats de test

- La fonctionnalité de SNATS:

- ↪ SNATS est fonctionnel malgré quelques défauts
- ↪ Fréquence de fonctionnement entre 100 MHz et 200 MHz
- ↪ Puissance consommée ≈ 400 mW

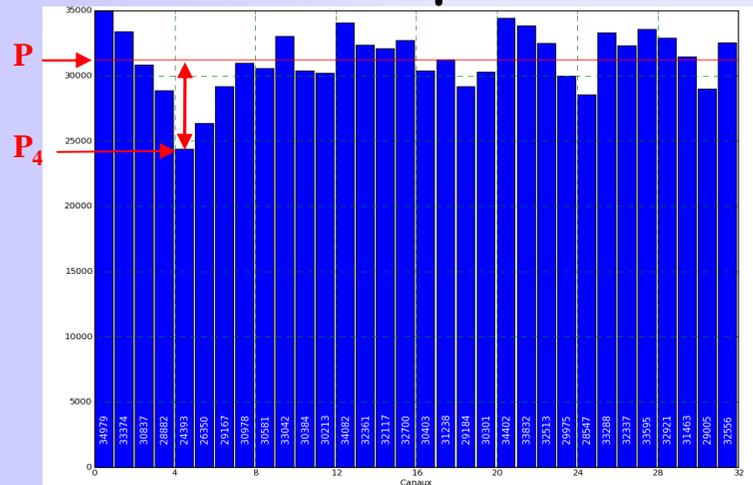
- Les performances de SNATS (@ 160 MHz)

- ↪ La Non Linéarité Différentielle (DNL)
- ↪ La Non Linéarité Intégrale (INL)
- ↪ La résolution RMS (σ)
- ↪ La diaphonie



Les résultats de test : La DNL

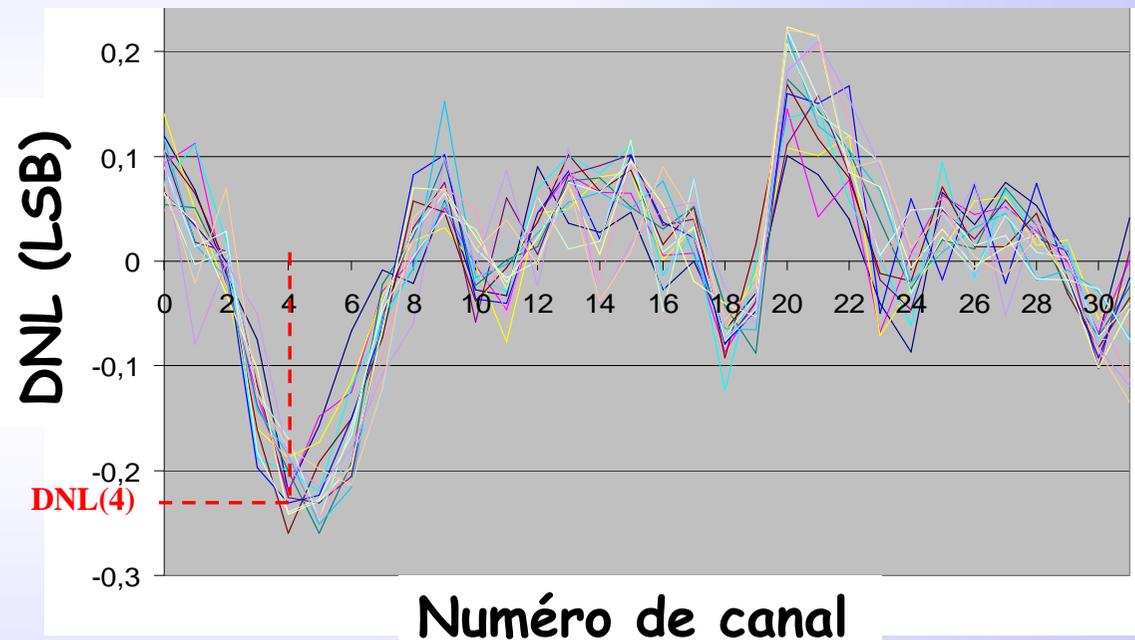
Pour chaque voie :



$$DNL(i) = \left[\frac{P_i - P}{P} \right]$$

i : numéro du canal

Pour les 16 voies:



$DNL = \pm 0,26 \text{ LSB} \gg DNL_{\text{spécifiée}} = \pm 0,1 \text{ LSB}$

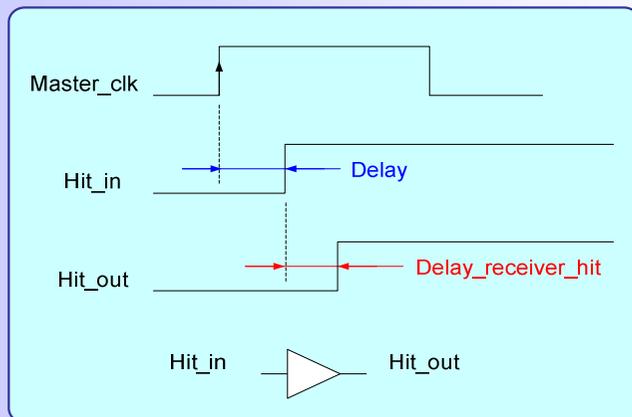


Les résultats de test : La DNL

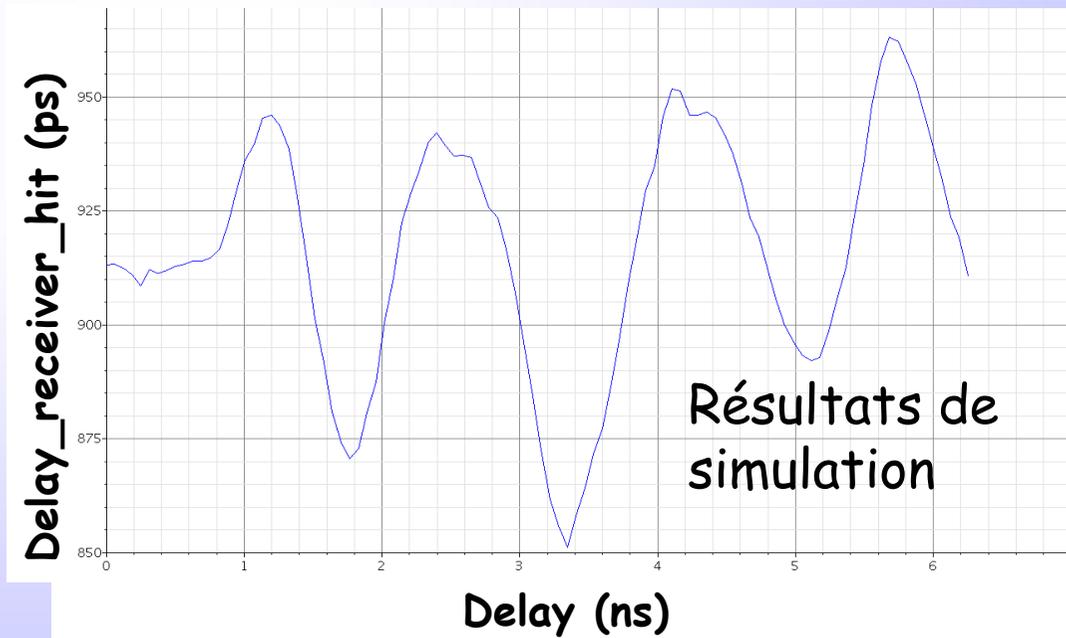
Les causes de la DNL élevée

↳ Self de bonding

↳ Les récepteurs de Hit et le récepteur d'horloge partagent la même alimentation  Le temps de propagation du récepteur de Hit est fonction de l'instant d'arrivée du signal Hit par rapport au signal d'horloge!



Solution: Séparer les alimentations entre les récepteurs

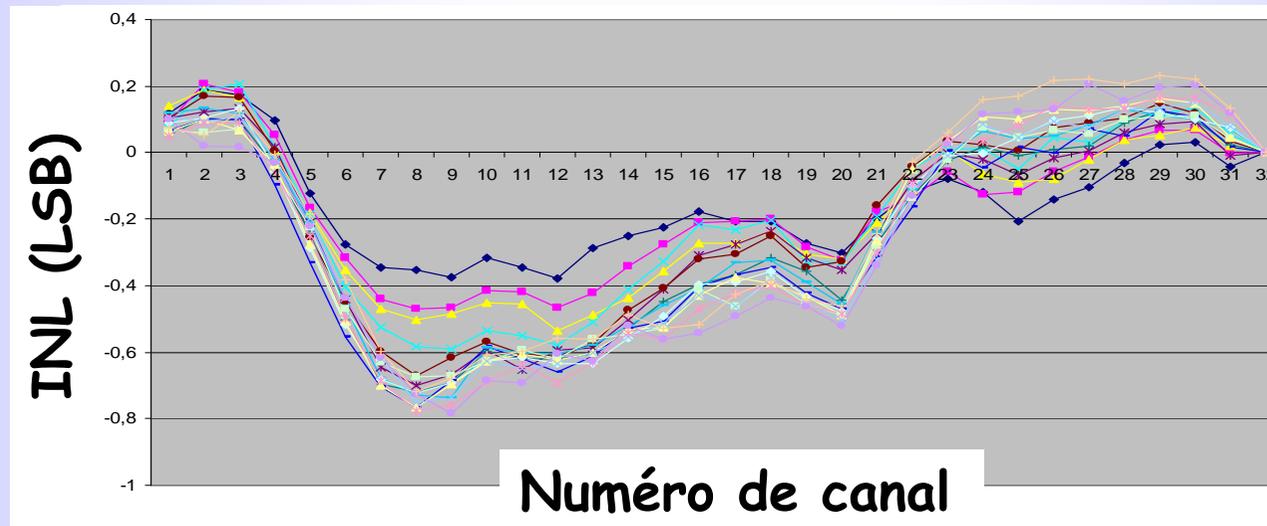


Les résultats de test : L'INL

Pour chaque voie :

$$\text{INL}(i) = \sum_{k=0}^i \text{DNL}(k) \quad i : \text{numéro du canal}$$

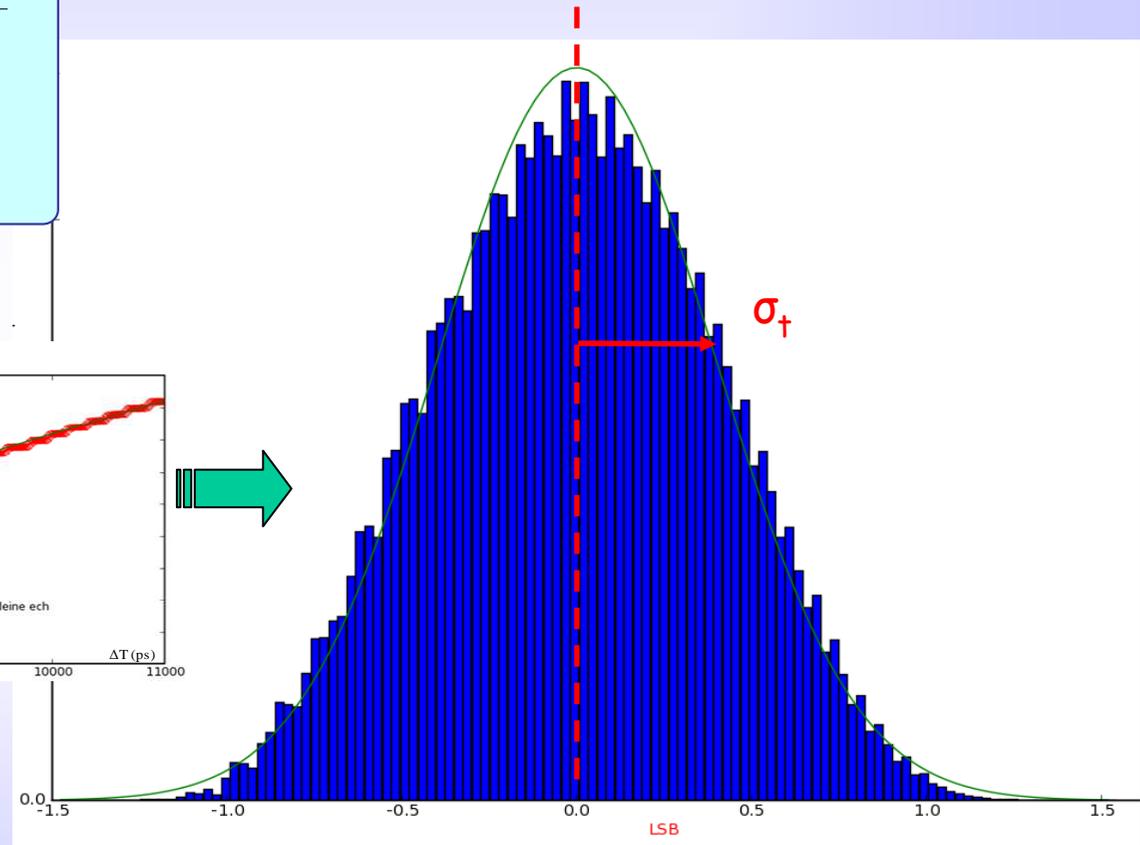
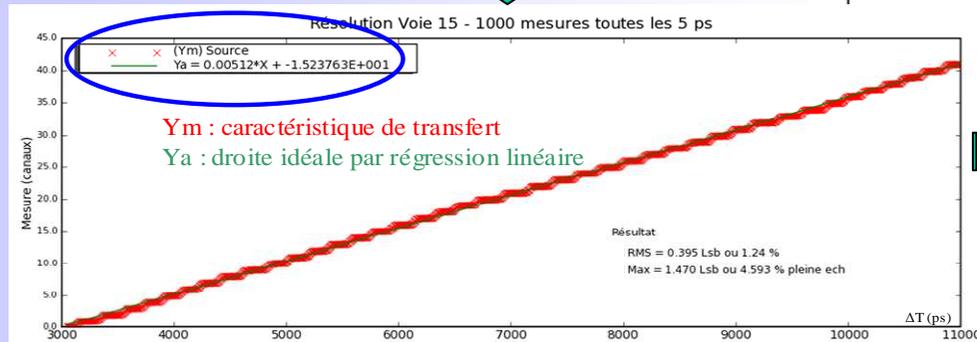
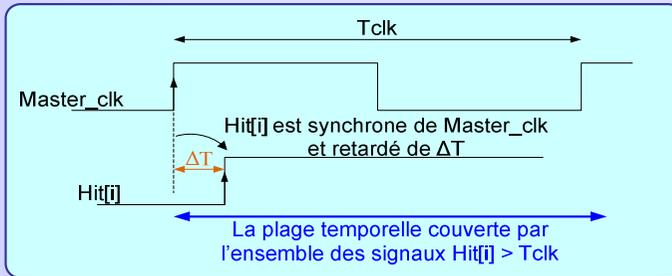
Pour les 16 voies:



$$\text{INL} = \pm 0,78 \text{ LSB} < \text{INL}_{\text{spécifiée}} = \pm 1 \text{ LSB}$$



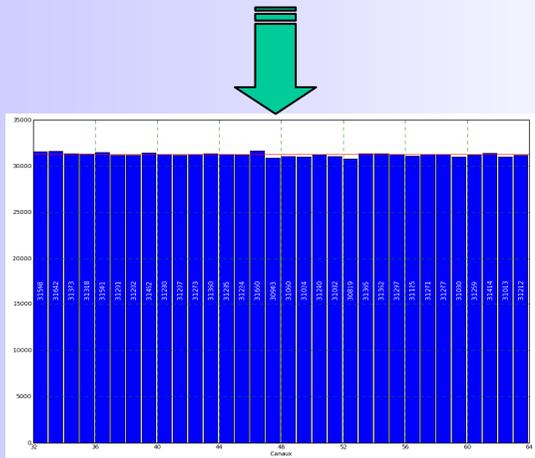
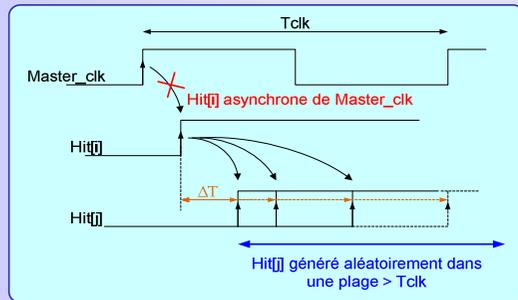
Les résultats de test : La résolution RMS



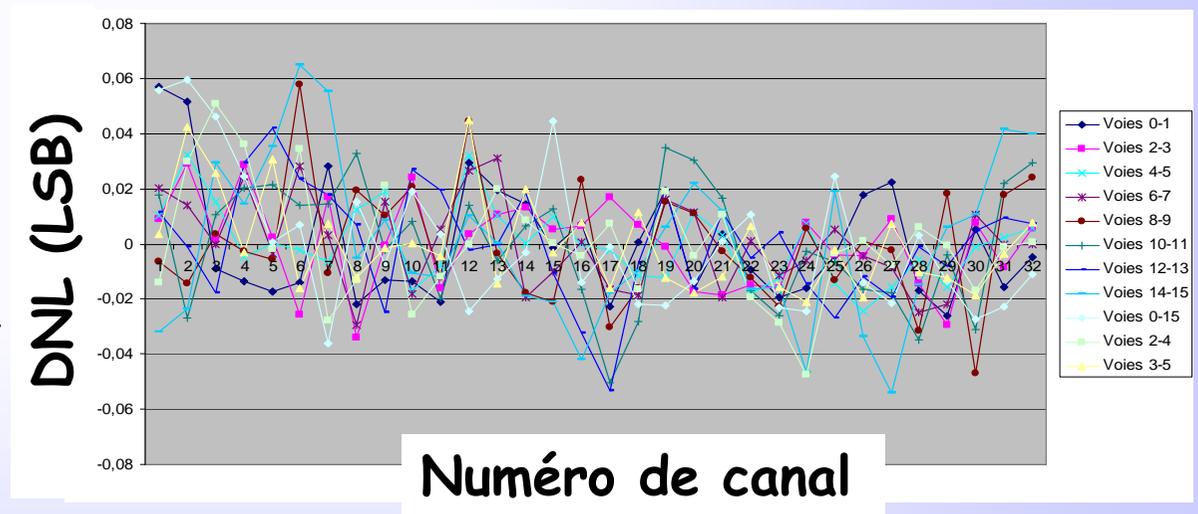
$$\sigma_t \text{ max} = 78 \text{ ps} > \sigma_t \text{ spécifié} = 70 \text{ ps}$$



Les résultats de test : La DNL en différentielle (entre 2 voies)



Pour 11 couples de voies:

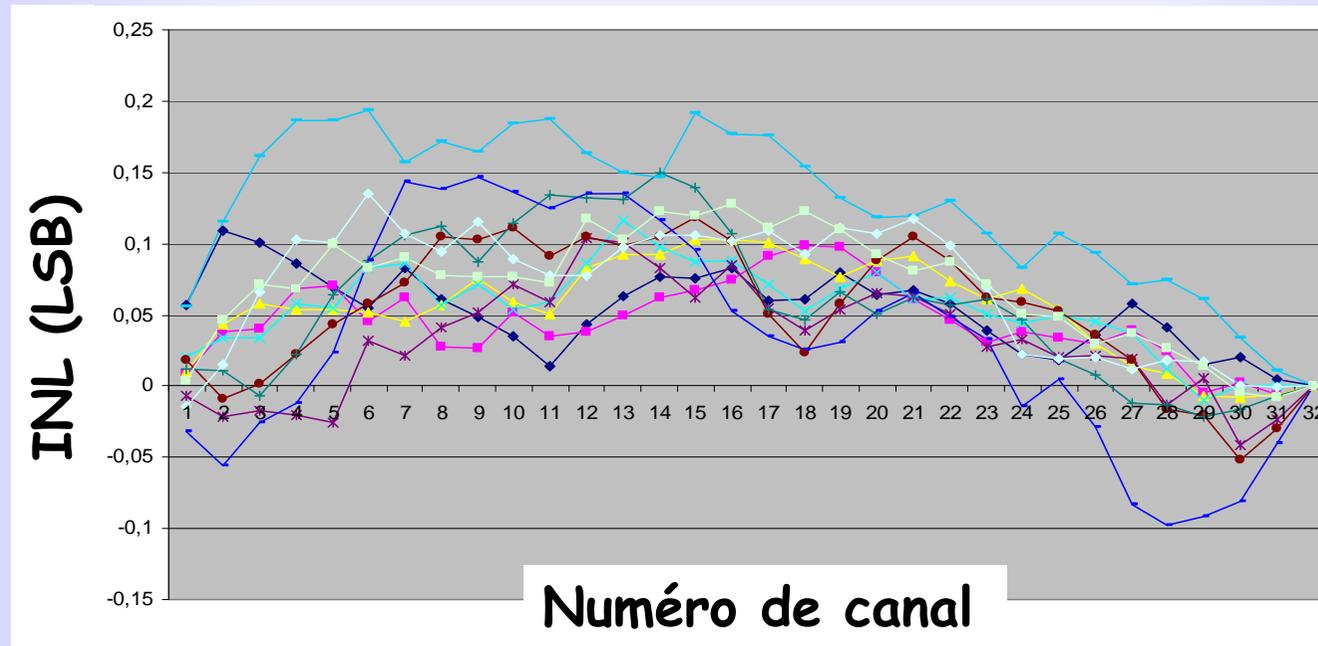


$$DNL_{\Delta t} = \pm 0,06 \text{ LSB} < DNL_{\text{spécifiée}} = \pm 0,1 \text{ LSB}$$



Les résultats de test : L'INL en différentielle (entre 2 voies)

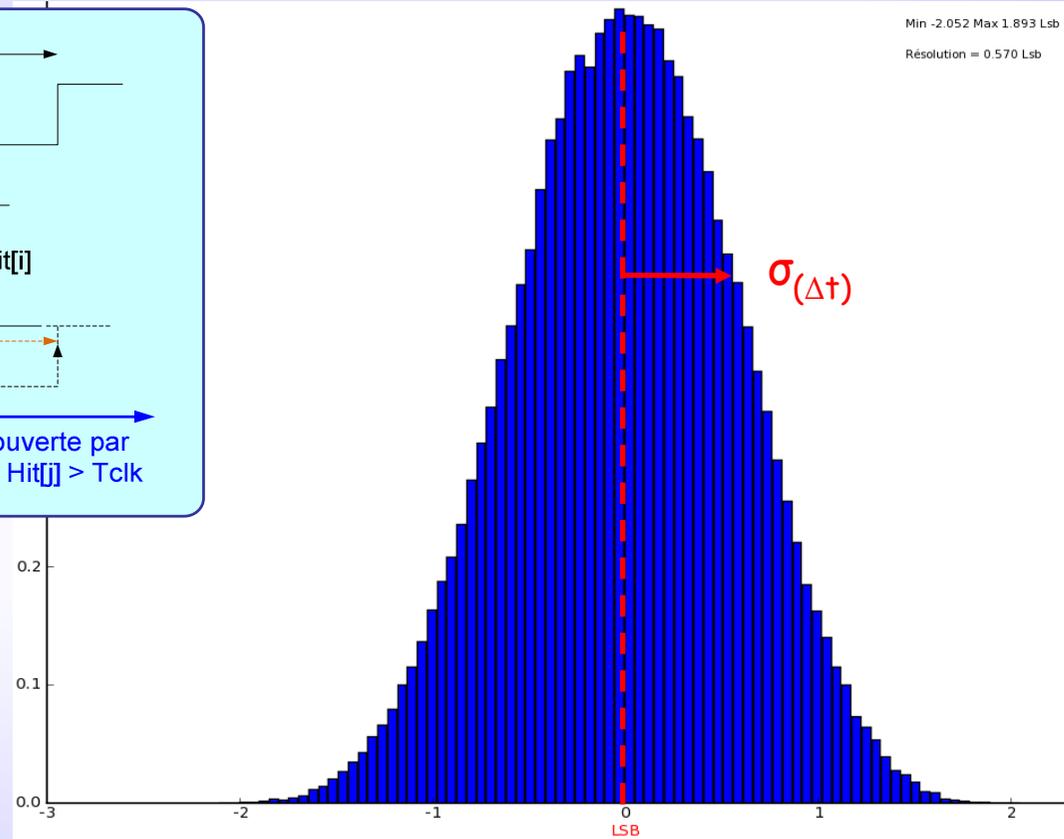
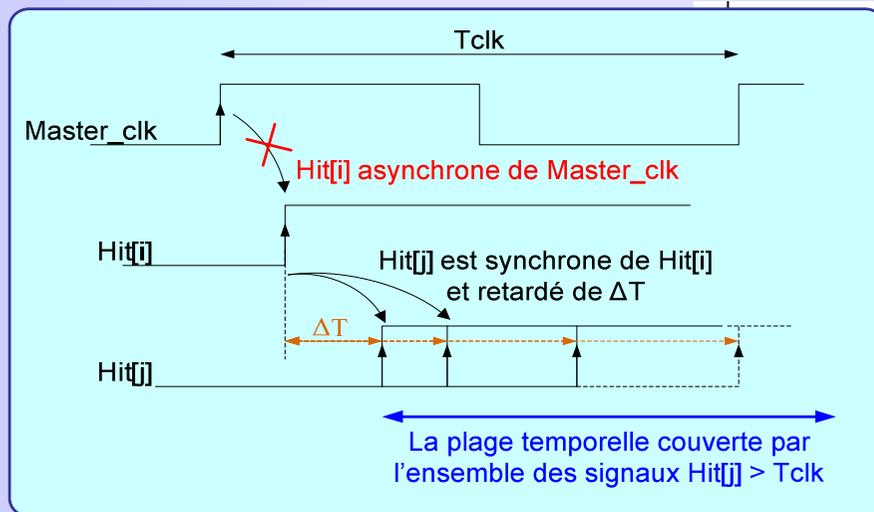
Pour 11 couples de voies:



$$INL_{\Delta t} = \pm 0,19 \text{ LSB} \ll INL_{\text{spécifiée}} = \pm 1 \text{ LSB}$$



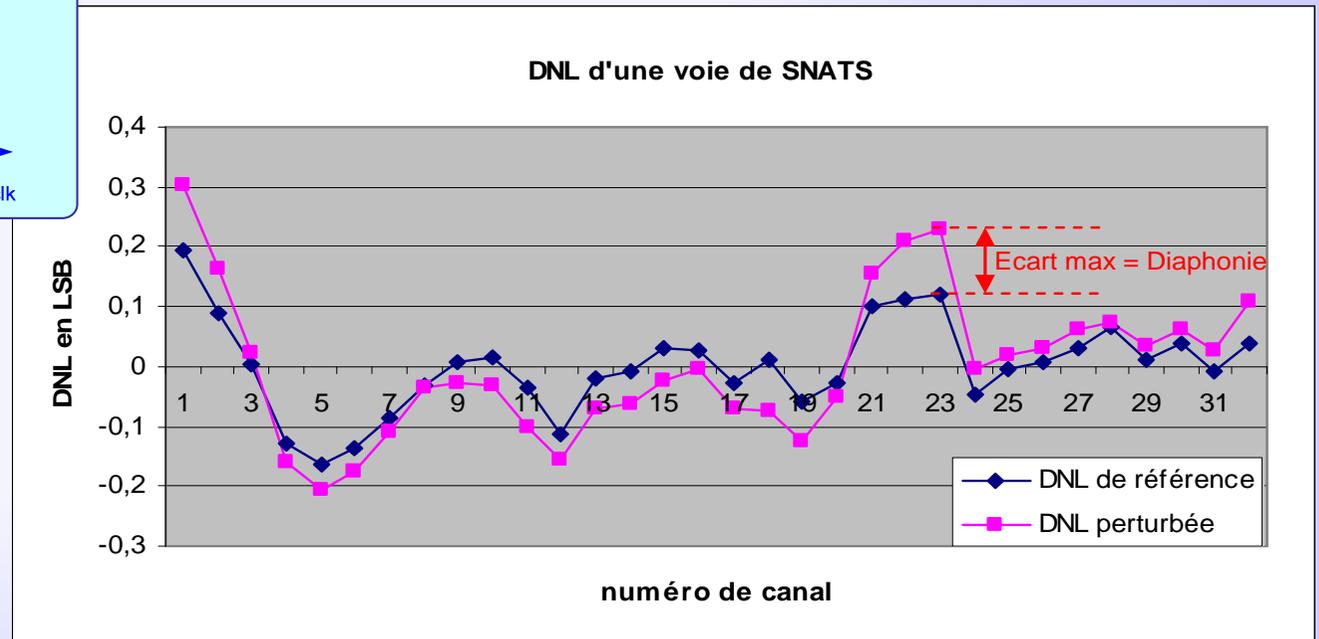
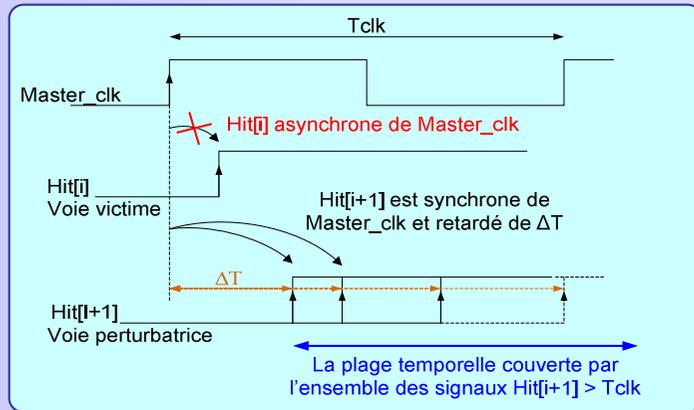
Les résultats de test : La résolution différentielle



$$\sigma_{(\Delta t)\max} = 111 \text{ ps} > \sigma_{(\Delta t)\text{spécifié}} = 100 \text{ ps}$$



Les résultats de test : La diaphonie

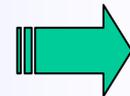
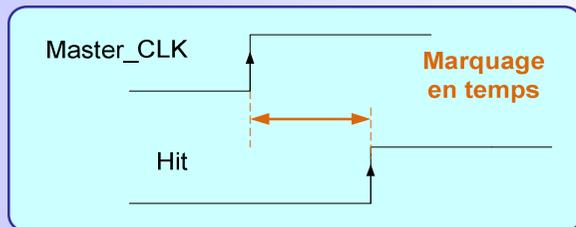


Diaphonie max = 0,16 LSB



Les résultats de test : Récapitulatif

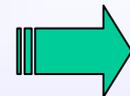
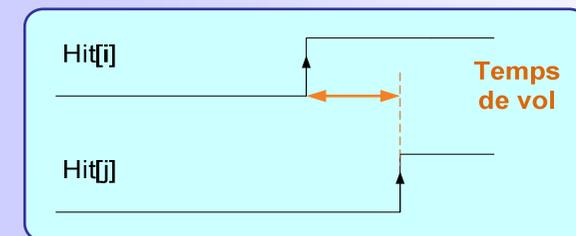
La fonctionnalité de SNATS



$$DNL = \pm 0.26 \text{ LSB}$$

$$INL = \pm 0.78 \text{ LSB}$$

$$\sigma_{(\dagger)\max} = 0,4 \text{ LSB (78 ps)}$$



$$DNL_{\Delta t} = \pm 0.06 \text{ LSB}$$

$$INL_{\Delta t} = \pm 0.19 \text{ LSB}$$

$$\sigma_{(\Delta t)\max} = 0,57 \text{ LSB (111 ps)}$$



$$\text{Diaphonie max} = 0,16 \text{ LSB}$$

Conclusions et perspectives pour SNATS

Le marqueur de temps SNATS est fonctionnel
mais quelques défauts



Nouvelle version SNATS



SCATS (Sixteen Channel Absolute Time Stamper)
soumission en décembre 2010 intégrant :

- les solutions correctives
- **nouvelles fonctionnalités**

(Réduction du temps mort de chaque voie,
lecture plus rapide des données,...)



Bloc interpolateur (R&D)

But : Développer une architecture à 50 ps de pas de quantification

• à base d'une DLL (Delay Locked Loop)

- technologie AMS CMOS 0.35 μ m
- système asservi
- faible consommation
- faible encombrement

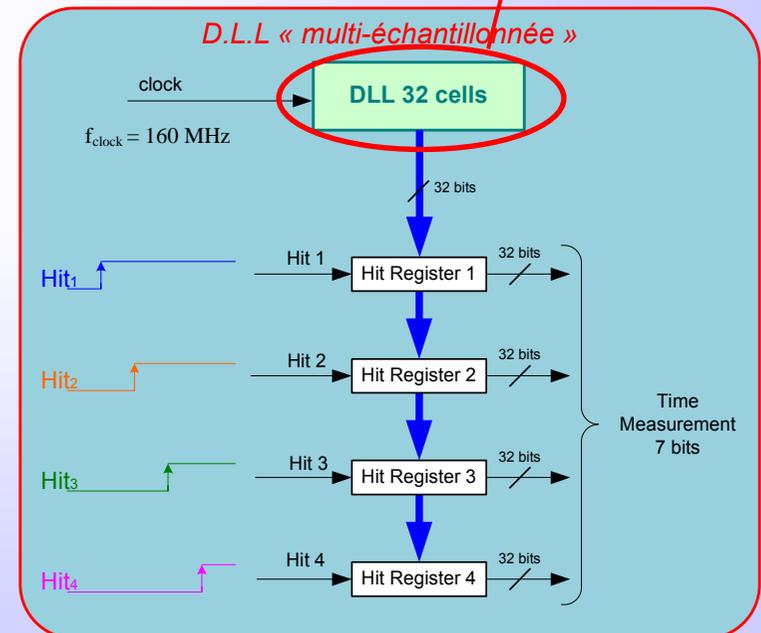


Architecture à base d'une D.L.L

« multi-échantillonnée »

Principe : mémoriser l'état d'une DLL
à différents instants

SNATS
(DLL à 200 ps)



Bloc interpolateur (R&D)

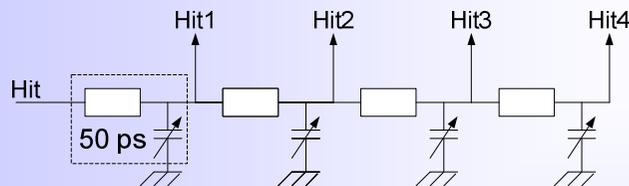
La difficulté: échantillonner 4 fois la DLL à 50 ps d'intervalle



Ligne série à retard "multi-hits"



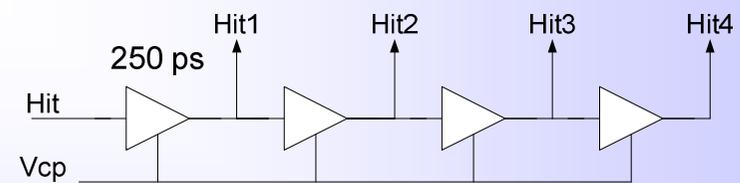
Ligne série RC



- Complexe
- Difficile à calibrer



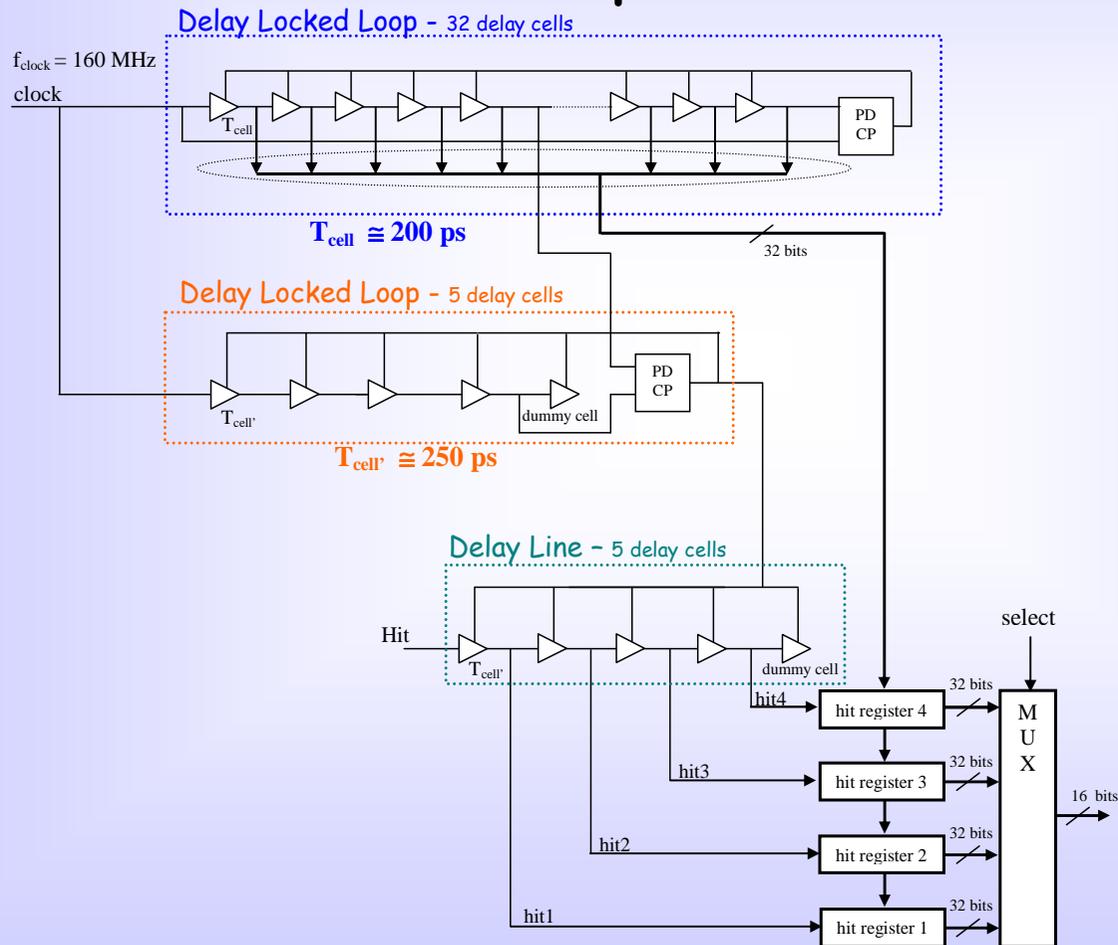
Ligne série à cellules à retard



- Utilisation des cellules à retard identiques à celles de la DLL
- Système asservi possible

Bloc interpolateur (R&D) : L'architecture

Interpolateur à base d'une DLL et d'une ligne à retard "multi-hits" contrôlée par une seconde DLL



Avantage :
pas de calibration

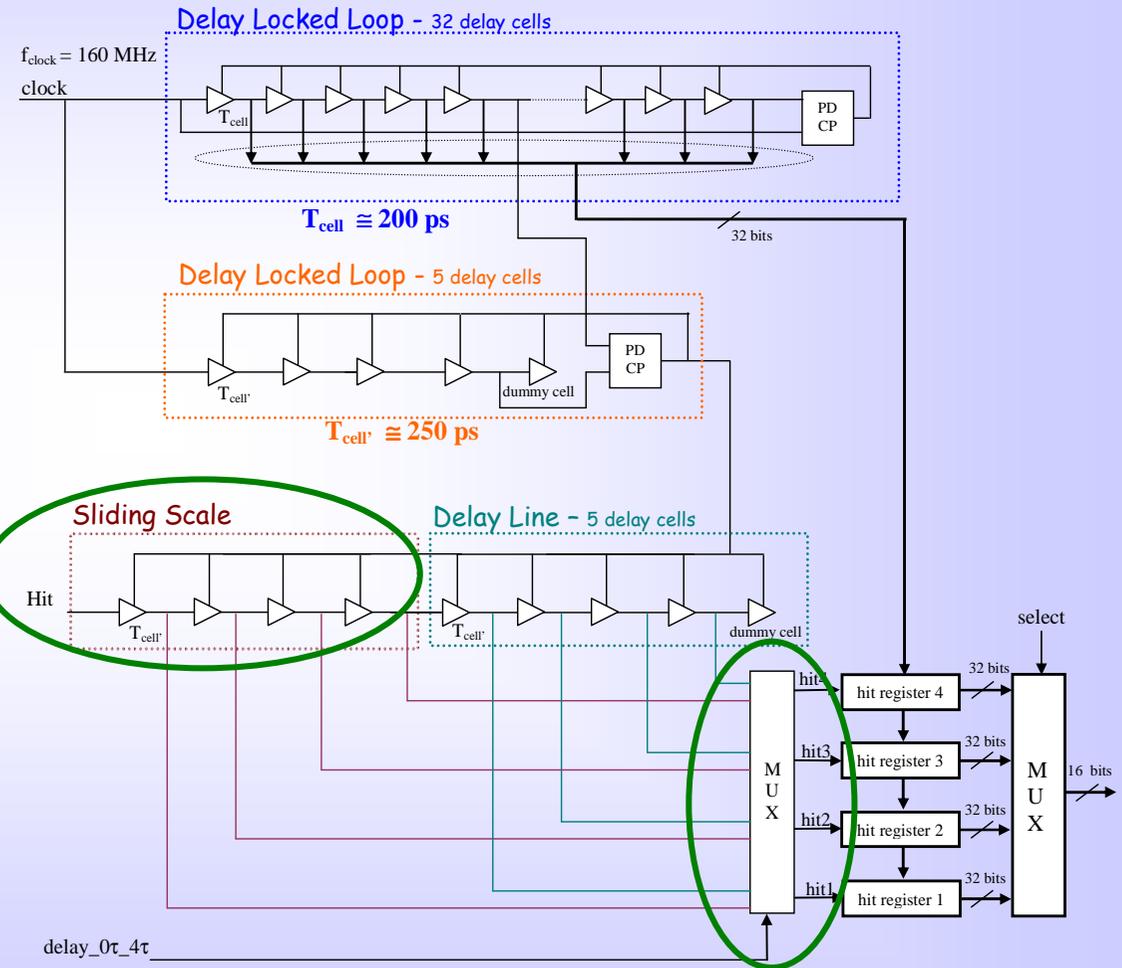
Inconvénient :
très sensible
à la DNL
de la DLL32

Bloc interpolateur (R&D) : L'architecture

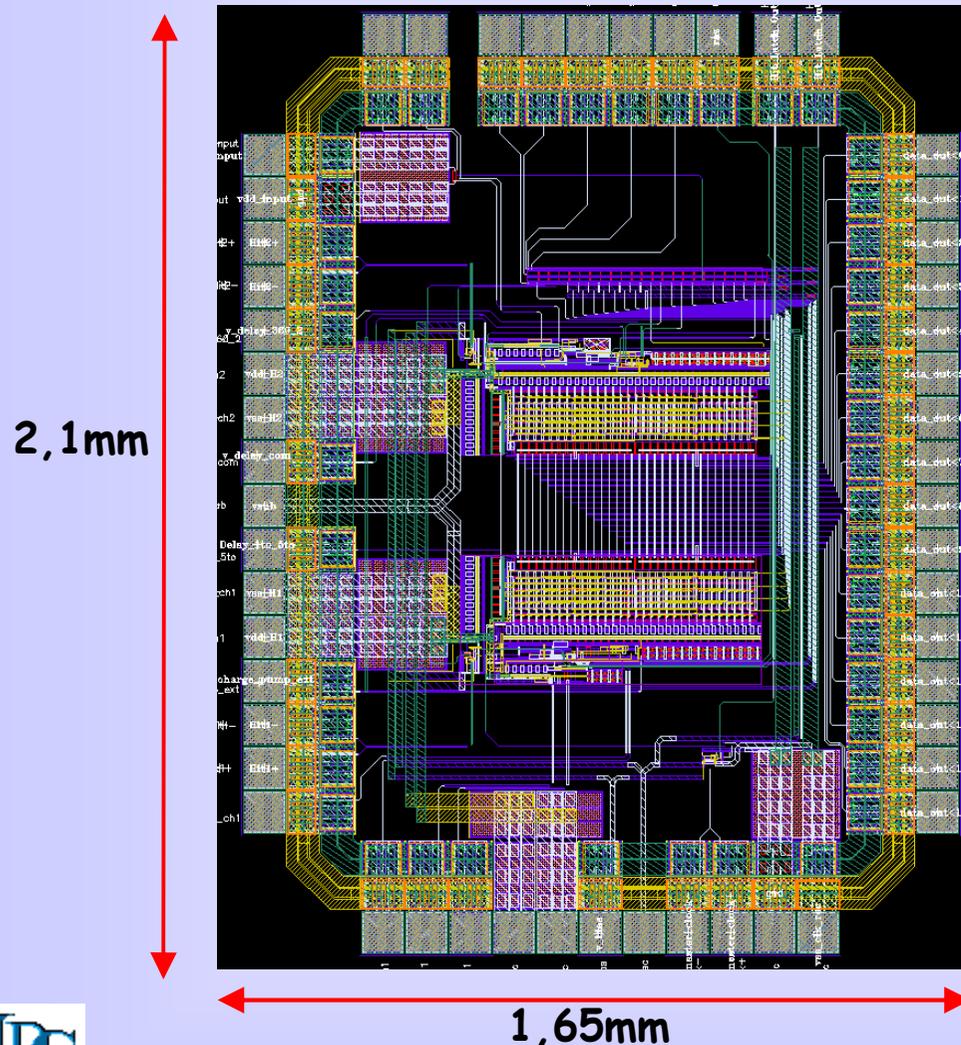
Objectif :
Diminuer la sensibilité
à la DNL de la DLL32



Solution:
Dispositif de glissement



Bloc interpolateur (R&D) : Bilan



2 voies d'interpolation à 50 ps

Simulation :

- DNL (DLL32) : ~ 0,06 LSB (13 ps)
- DNL (DLL4) : ~ 0,03 LSB (7 ps)
- Consommation : 6,7 mA / voie

Surface d'une voie : ~ 0,2 mm²

Surface totale : ~ 3,5 mm²

Nombre d'IO : 54 pads

Boitier : JLCC68

Reçu en Mars 2010, bientôt en test

Conclusions et perspectives sur R&D

Pour une voie : faible consommation + faible encombrement



Possibilité d'un Chip multi-voies

En l'associant avec les ressources de SCATS



**Marqueur de temps multivoies avec 100 ps FWHM
(pour la plupart des expériences de physique nucléaire)**

FIN

Merci de votre attention

