

# Résultats de test ADC 100 MHz 8 bits

Sébastien CRAMPON,  
LPC/pole MicRhAu

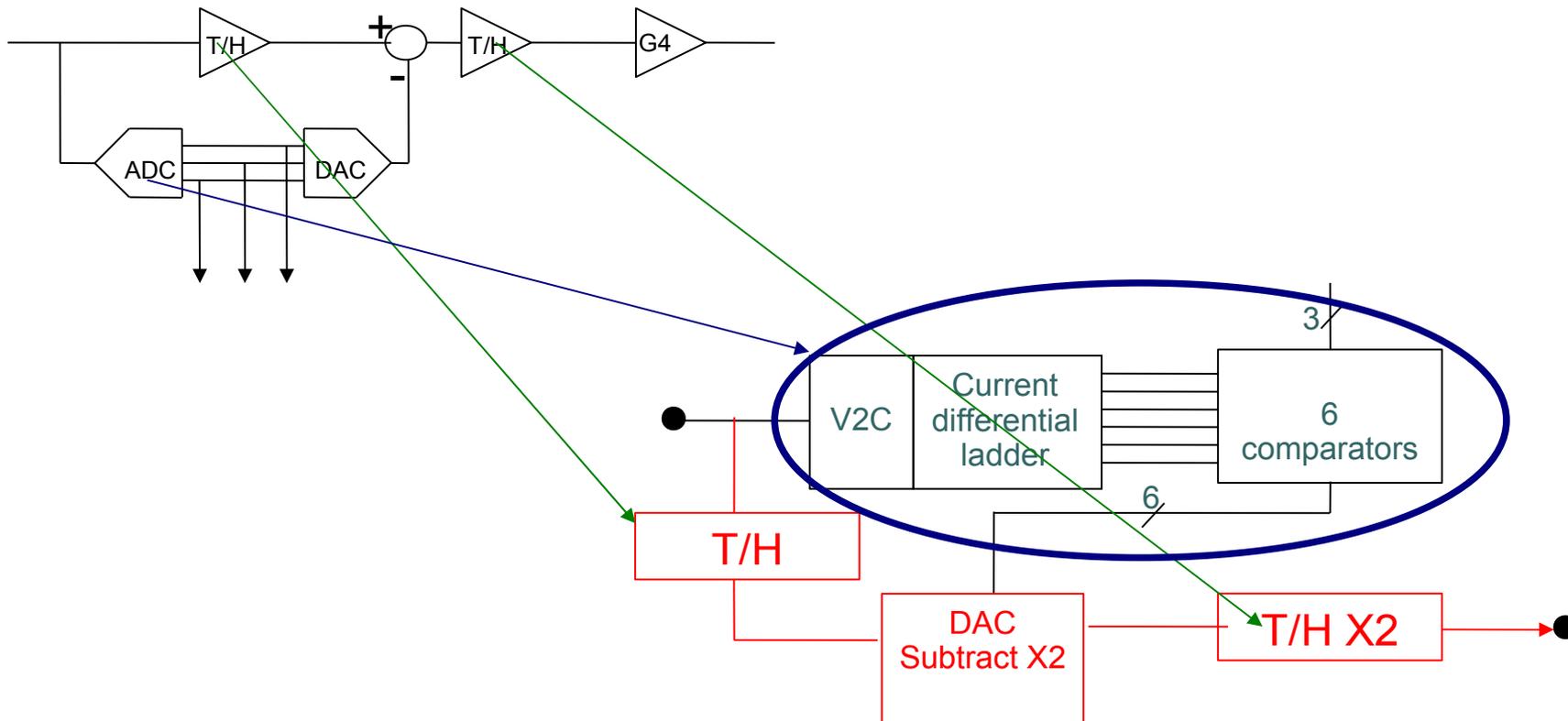


- Rappel des caractéristiques de l'ADC et de sa structure globale (voir talk/paper TWEPP-09)
- Les corrections faites sur le Layout
- Les résultats de tests en « statique » et en « dynamique », puis quelques résultats de tests après corrections

# Structure de l'ADC

- Entrées différentielles 2V c. à c.
- 100MHz Pipeline
- 2,5bits par étage
- Structures en courant => pas de références externes

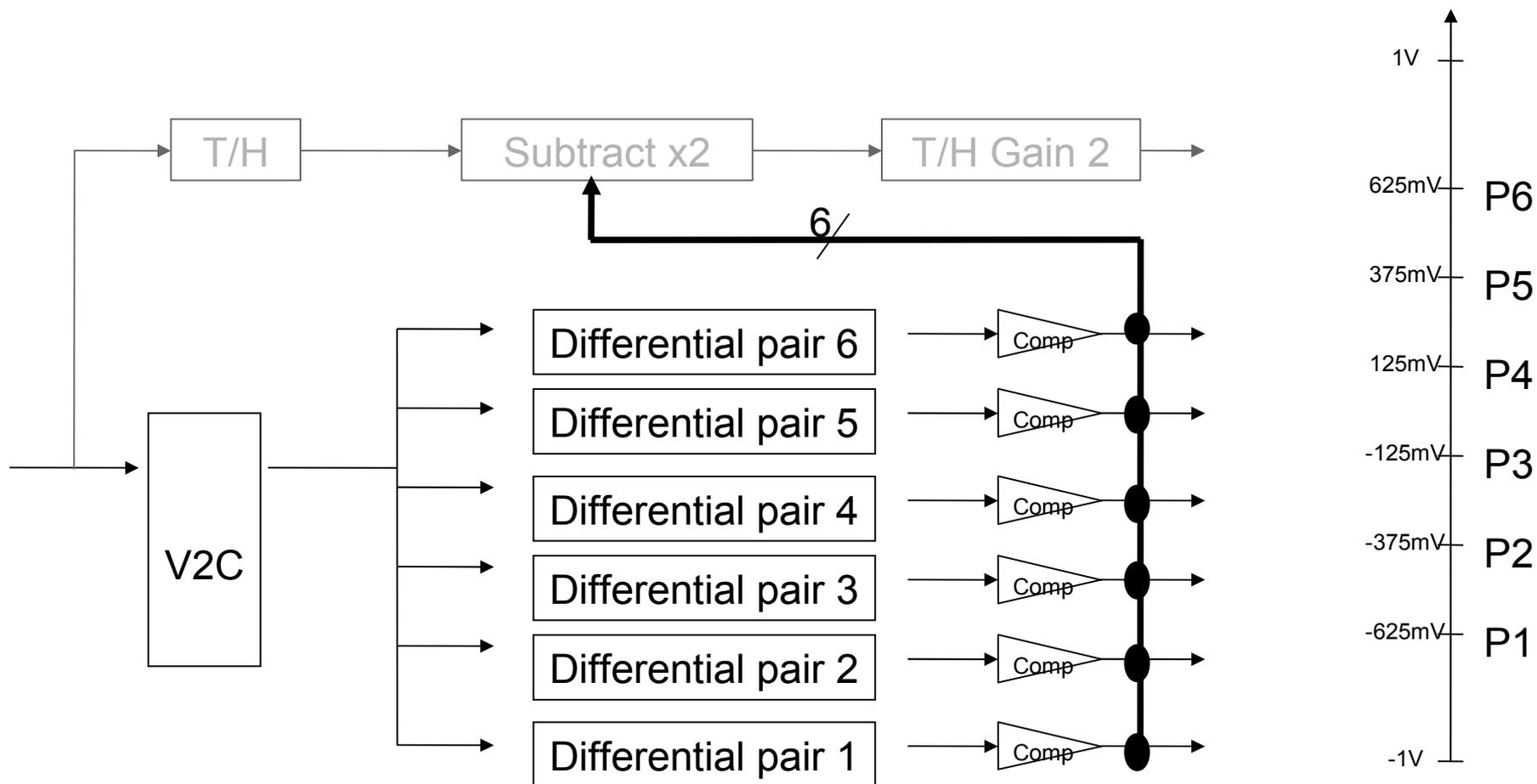
- 4 périodes de latence
- 24 comparateurs
- Meme horloge sur chaque étage
- Gain réparti entre blocs et système en boucle ouverte



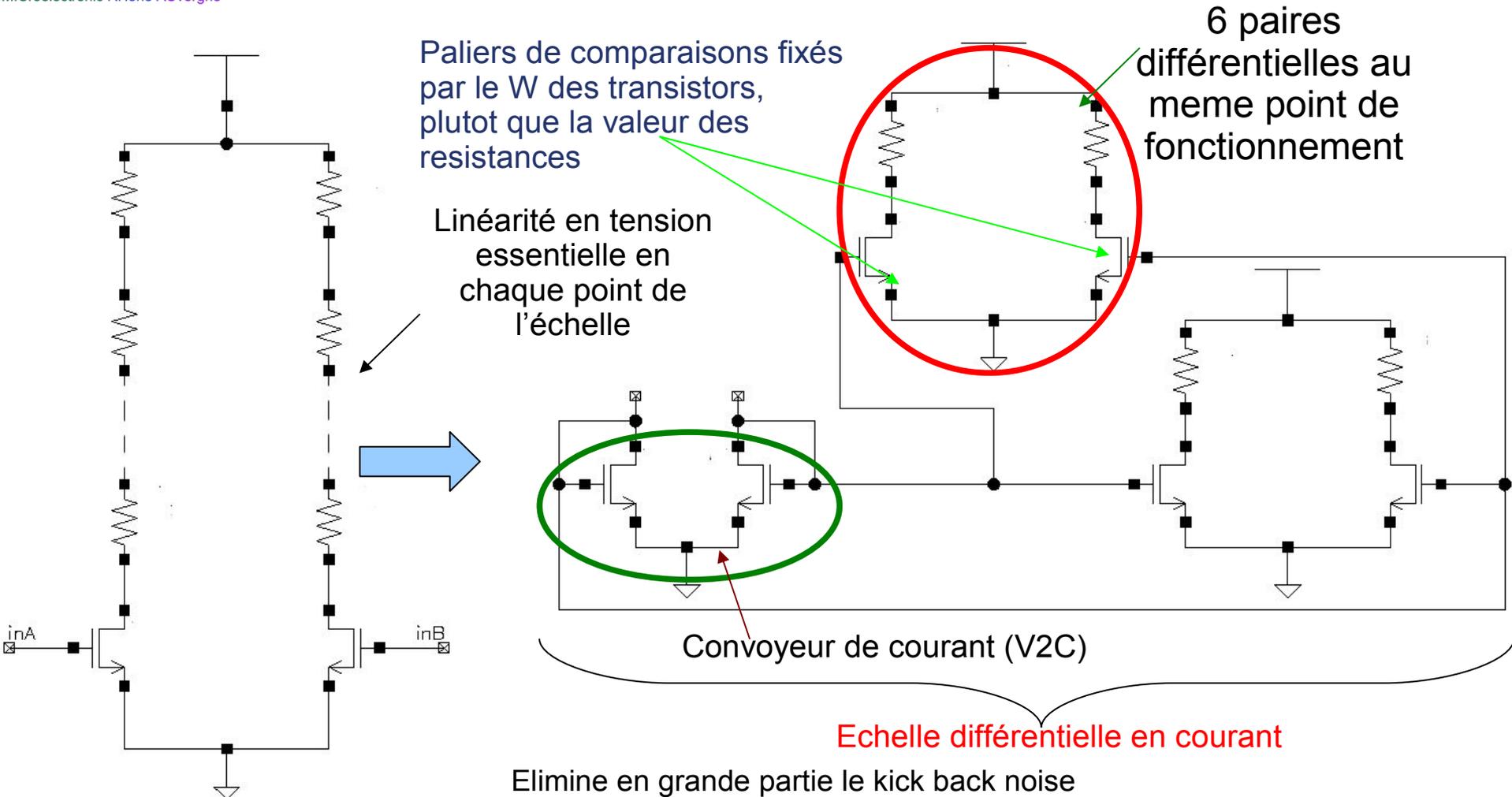
# La voie de comparaison

Cette voie est composée de trois structures principales:

- Le V2C
- L'échelle différentielle en courant
- Le comparateur



# L'échelle différentielle en courant

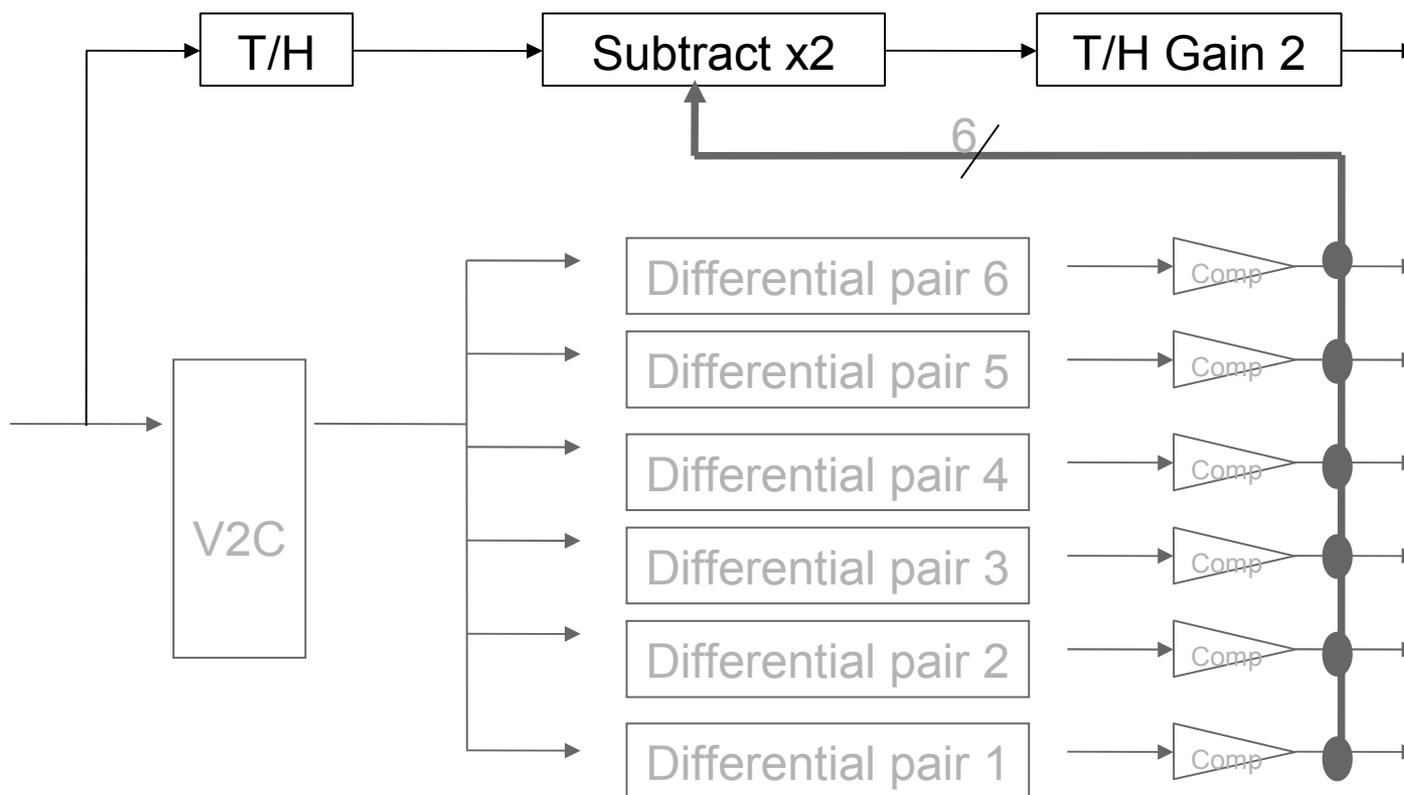


**Echelle différentielle en tension**

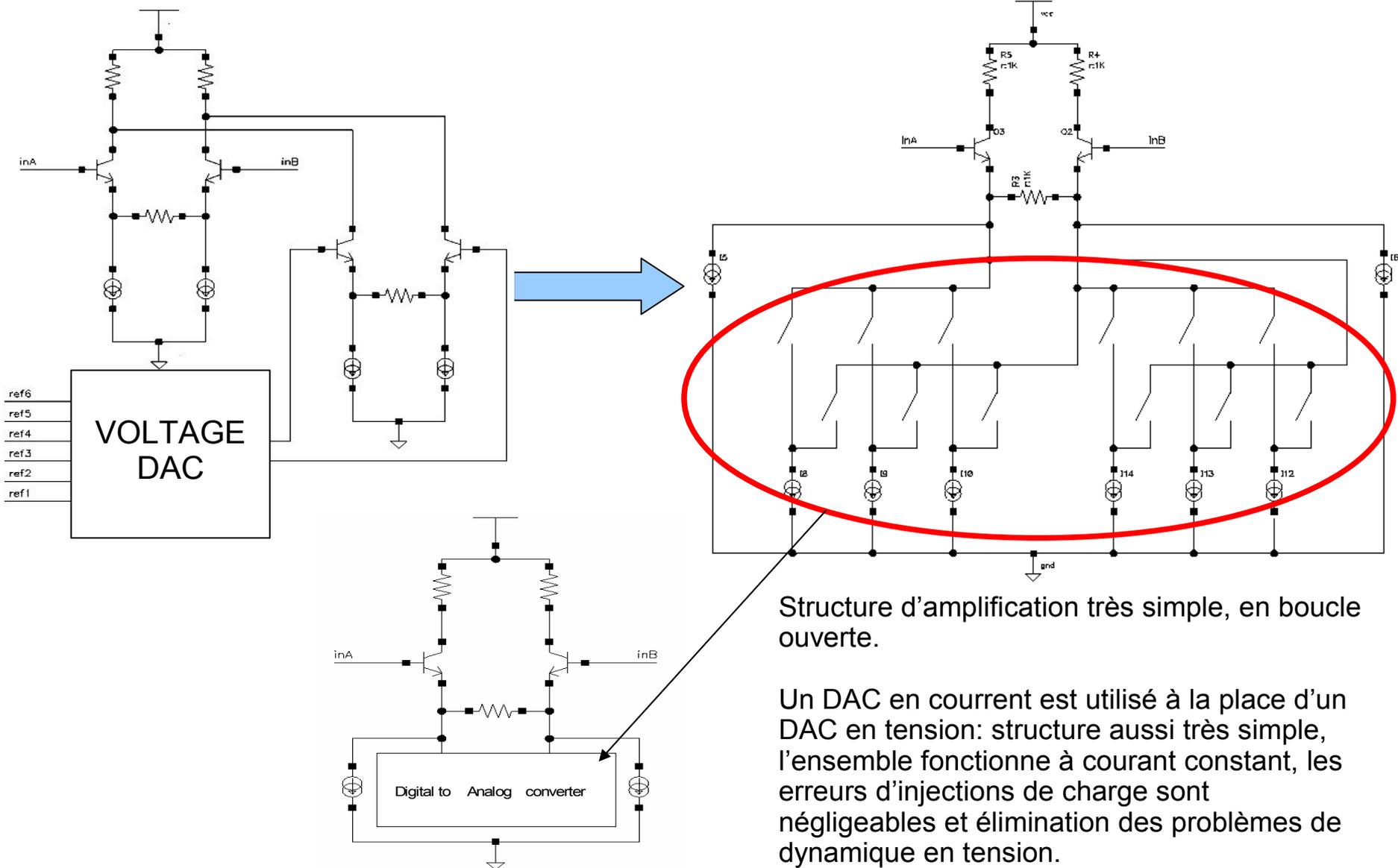
# La voie de gain

Cette voie est composée de deux structures principales:

- Deux T/H
- Le soustract x2 (+ DAC en courant)



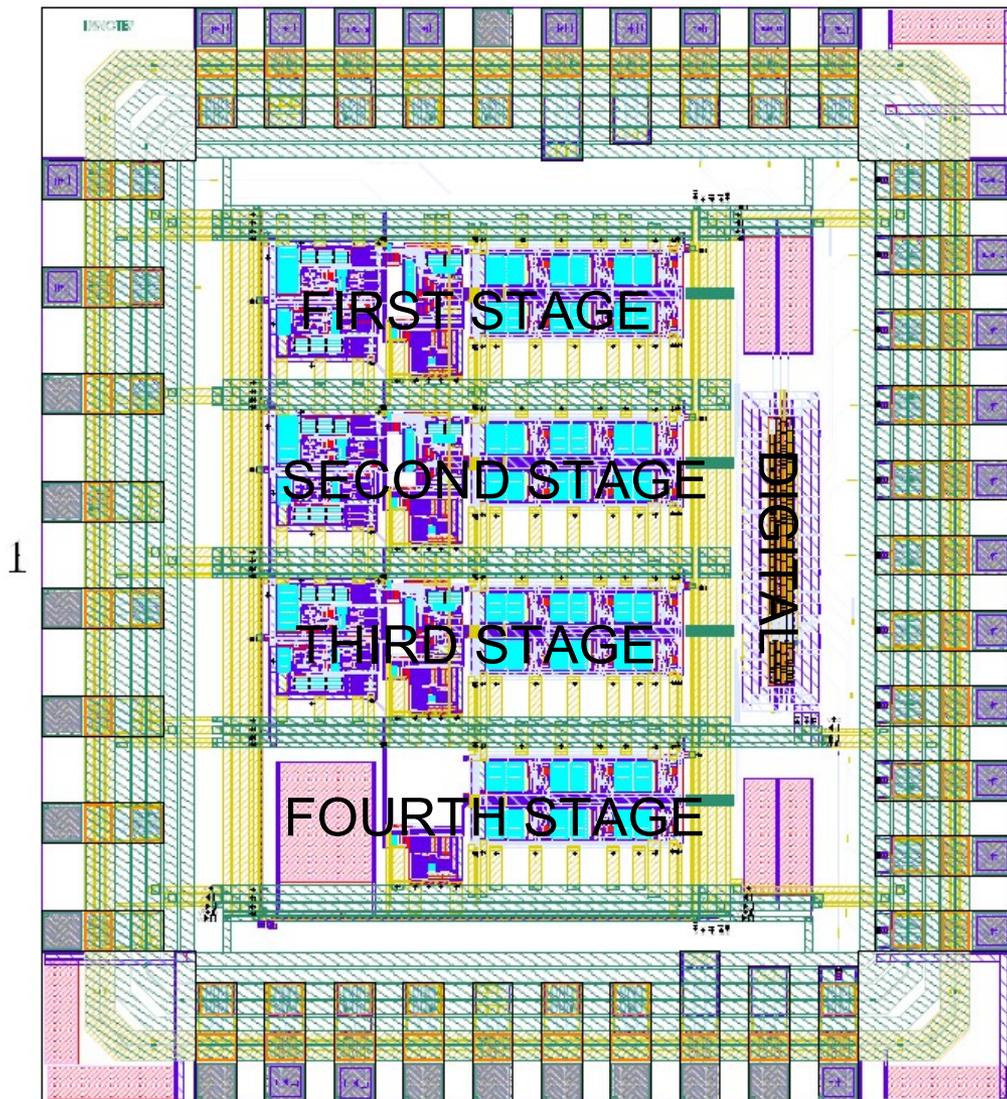
# Bloc de soustraction (+ DAC en courant)



Structure d'amplification très simple, en boucle ouverte.

Un DAC en courant est utilisé à la place d'un DAC en tension: structure aussi très simple, l'ensemble fonctionne à courant constant, les erreurs d'injections de charge sont négligeables et élimination des problèmes de dynamique en tension.

# Le Layout

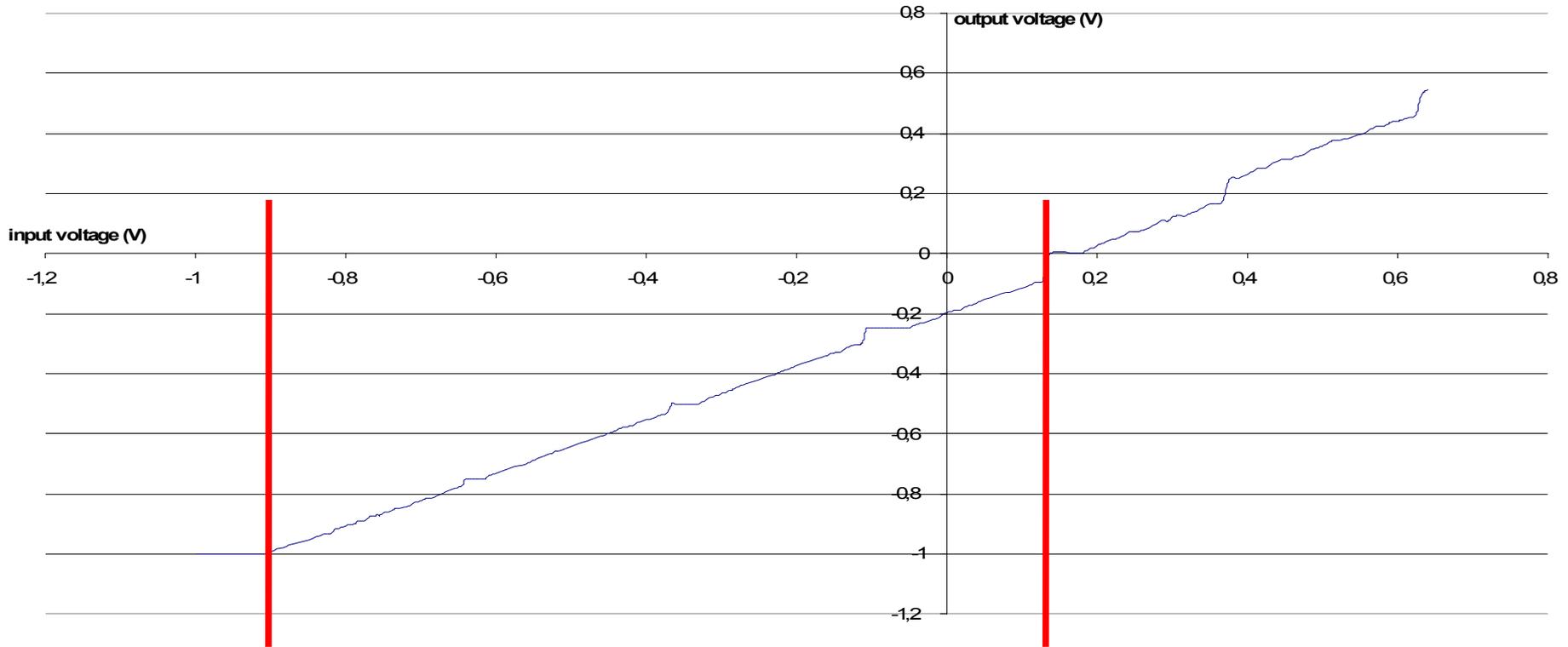


Architecture	2.5-bit/stage
Technology	0.35 $\mu$ m SiGe
Area	2425 $\mu$ m x 2775 $\mu$ m
Supply Voltage	3.5 V (Analog), 3.3 V (Digital)
Resolution	8 bits (9 bits possible)
Full Scale	2V differential
Conversion rate	100MS/s
Consumption	240mW

Chip area = 6.7 mm<sup>2</sup>

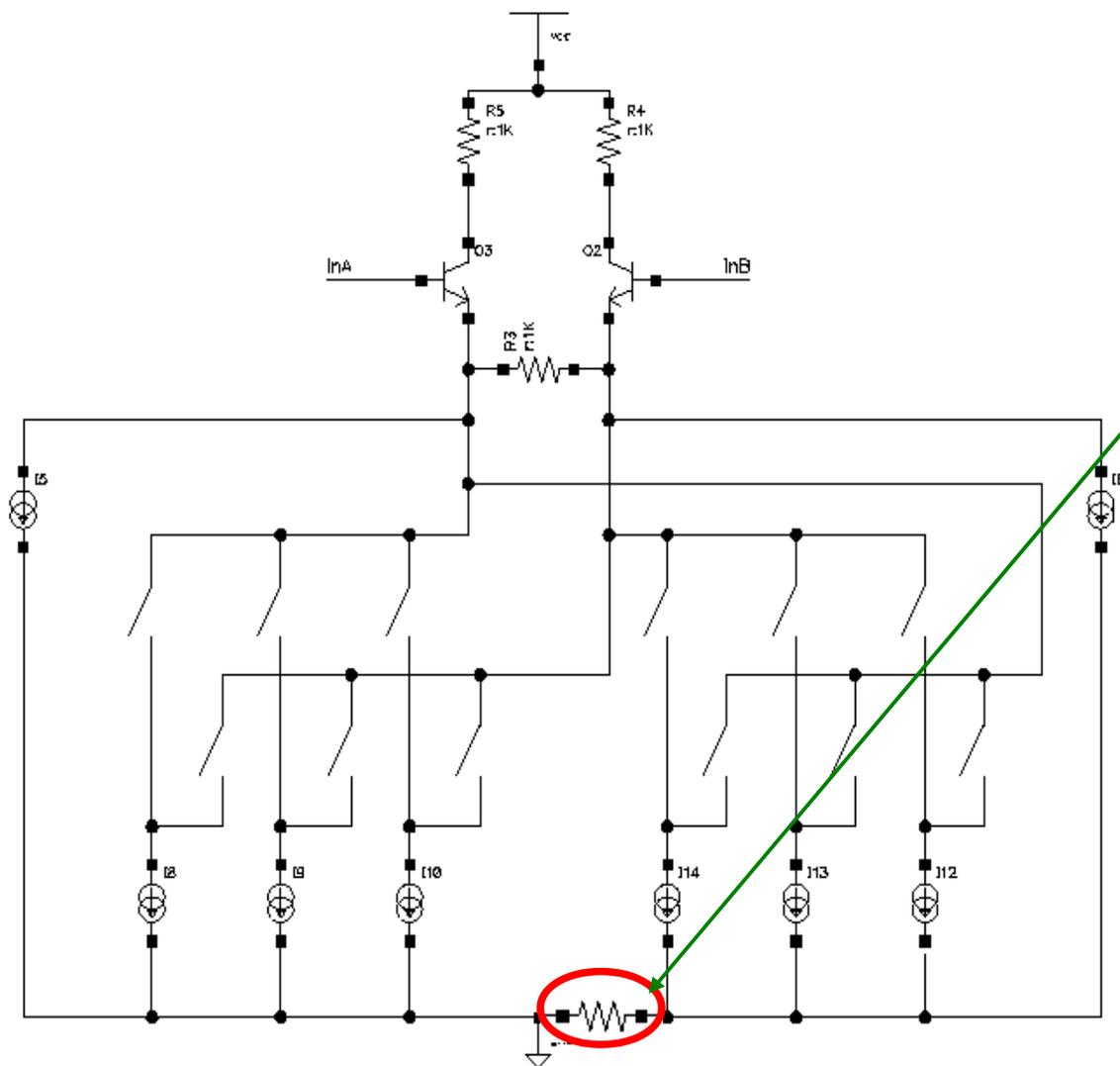
# Résultats de tests premier prototype

ADC Output (in V) according to the entry (in V)



Seule une partie du signal est exploitable, présence de sauts sur une moitié des références et d'un offset.

# Source des erreurs



Présence d'une résistance de 5 Ohms qui modifie la valeur de la moitié des références: Offset à 0v et saut au niveau des paliers associés à ces références

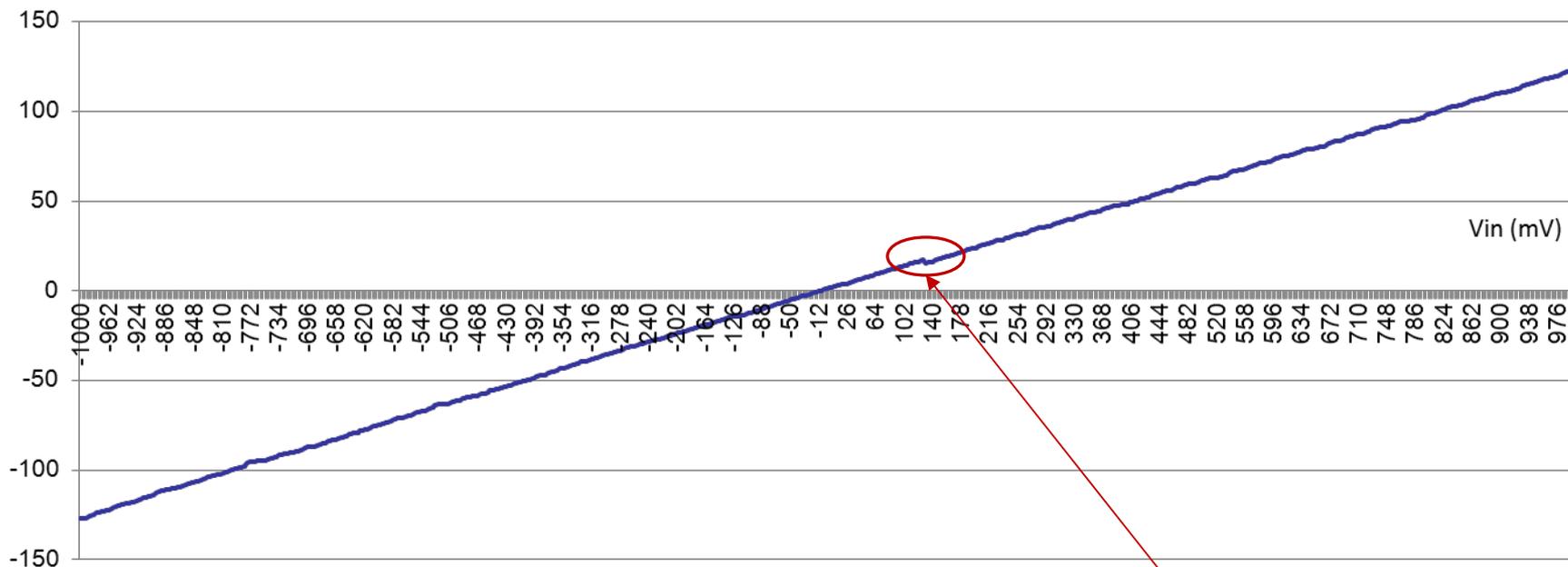
## Le second banc de test (mesures du second prototype)



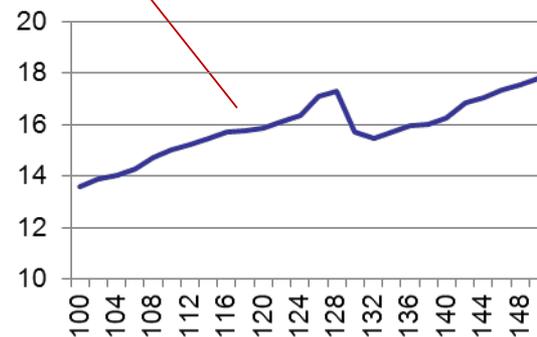
- Version totalement générique (utilisable avec des ADC, shapers...)
- Utilisation d'un DAC 16 bits pour générer le signal d'entrée
- Control de la carte par USB via Labview
- **Système beaucoup plus performant que le premier banc de test: prévu pour des tests à des fréquences de plusieurs centaines de MHz**

## Sortie du chip n°6 (50 MHz)

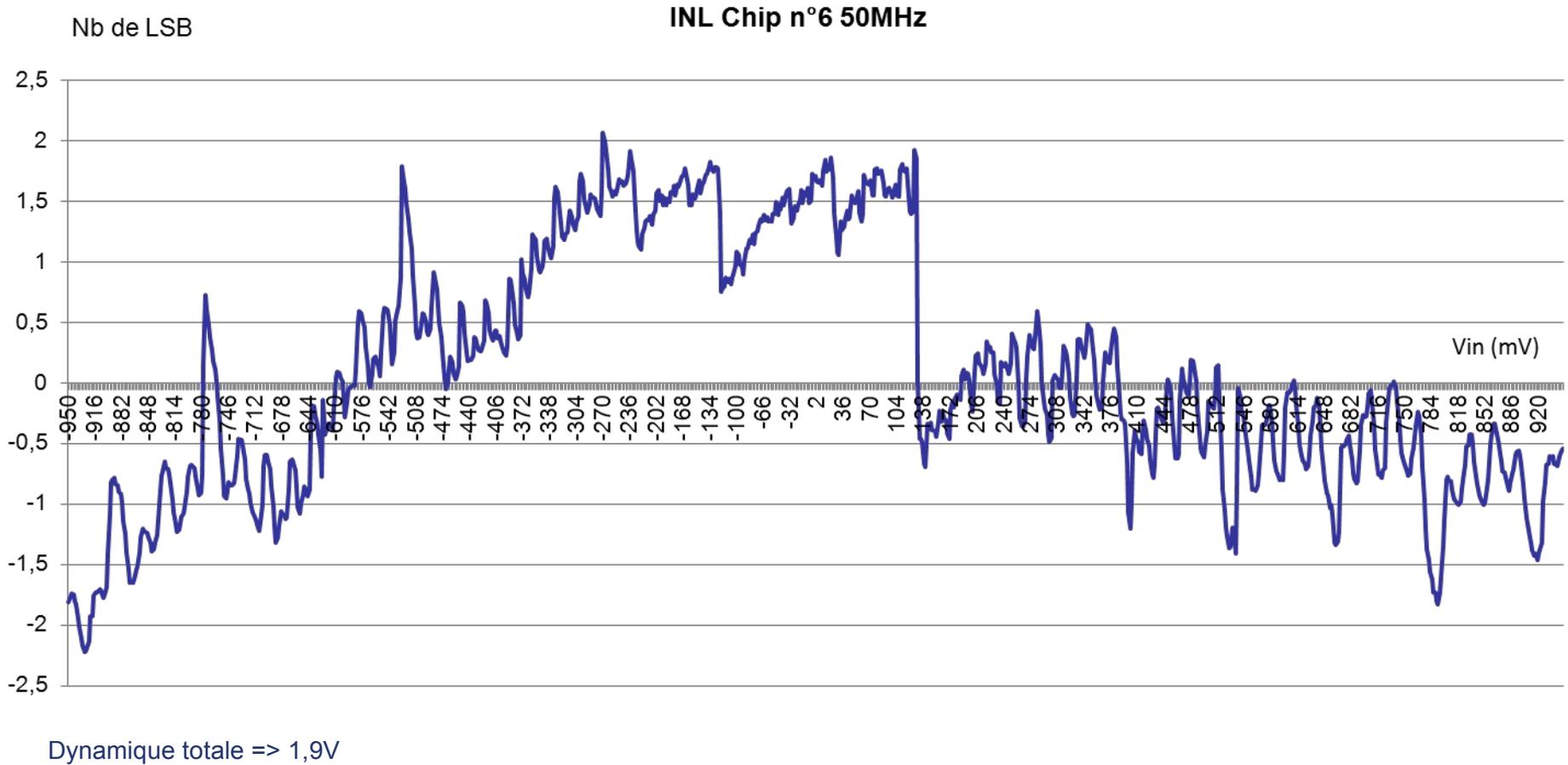
Code de sortie



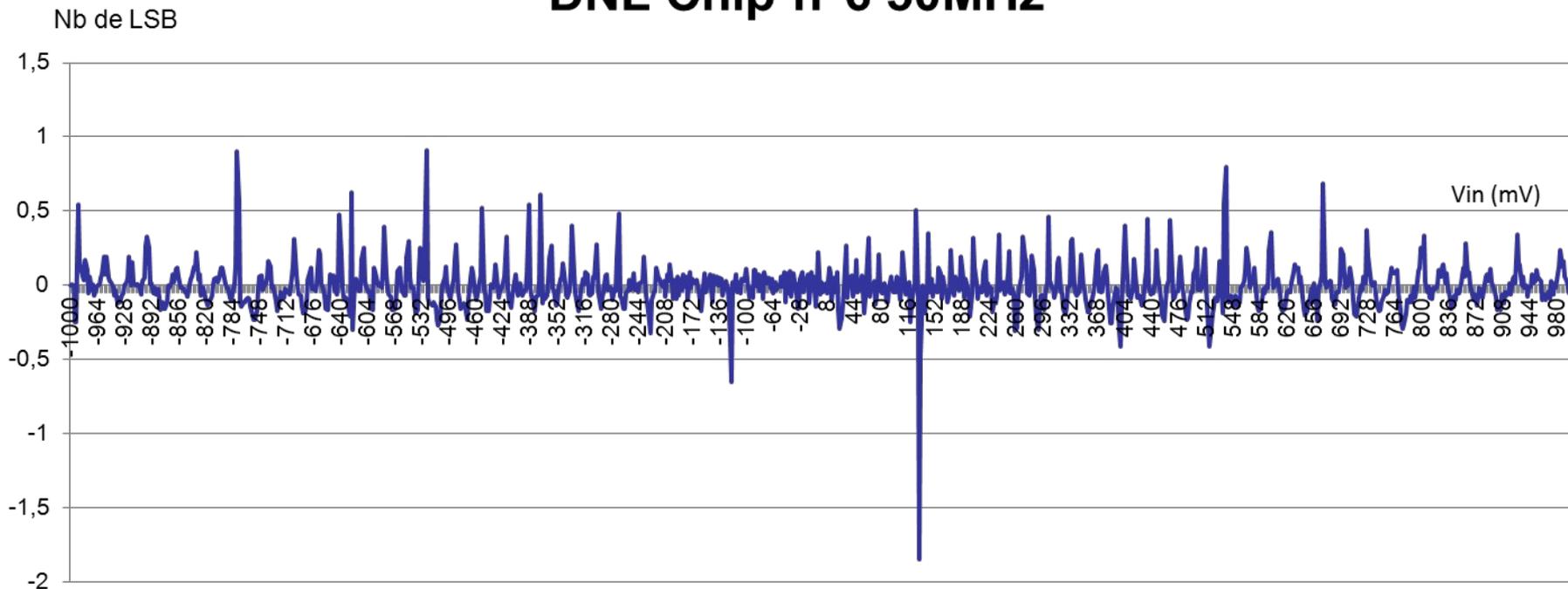
- 10 chips fonctionnels (rendement de 100%)
- Perte de monotonie à 125mV
- Ecart-type max de +/- 2LSB (inférieur à +/- 1LSB sur 70% de la dynamique)



- Statiques



## DNL Chip n°6 50MHz

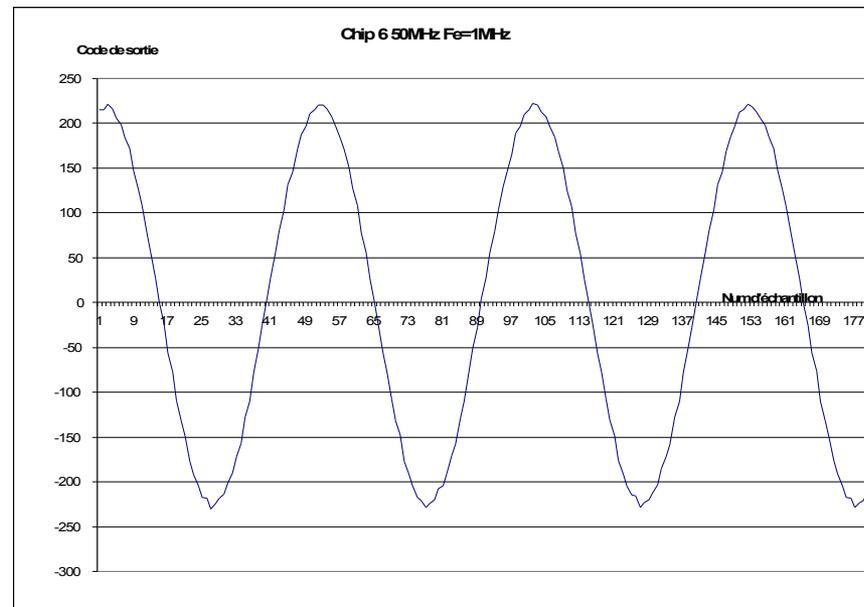
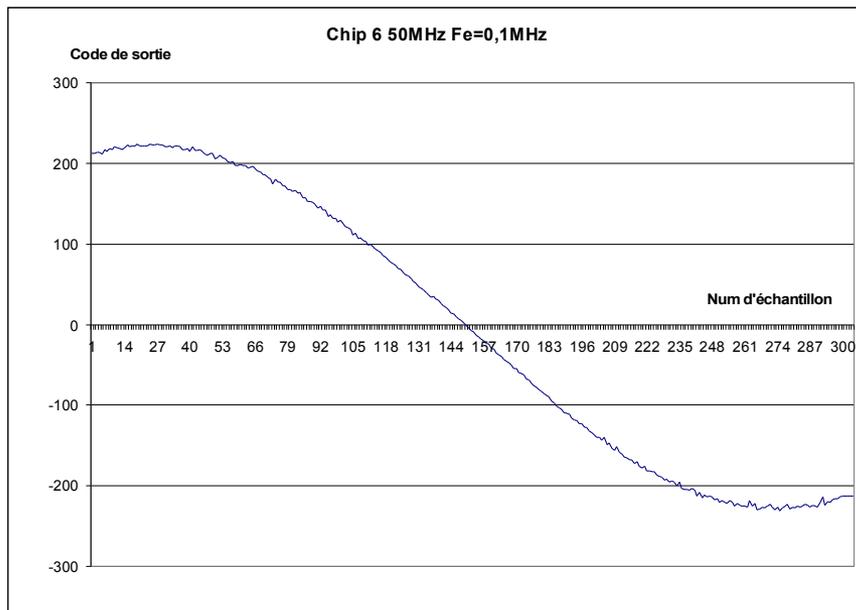


INL => +/- 2LSB

DNL => -1,7 à 0,9LSB

Perte de monotonicité au palier 125mV

- Dynamiques



Signal d'entrée => +/- 900mV

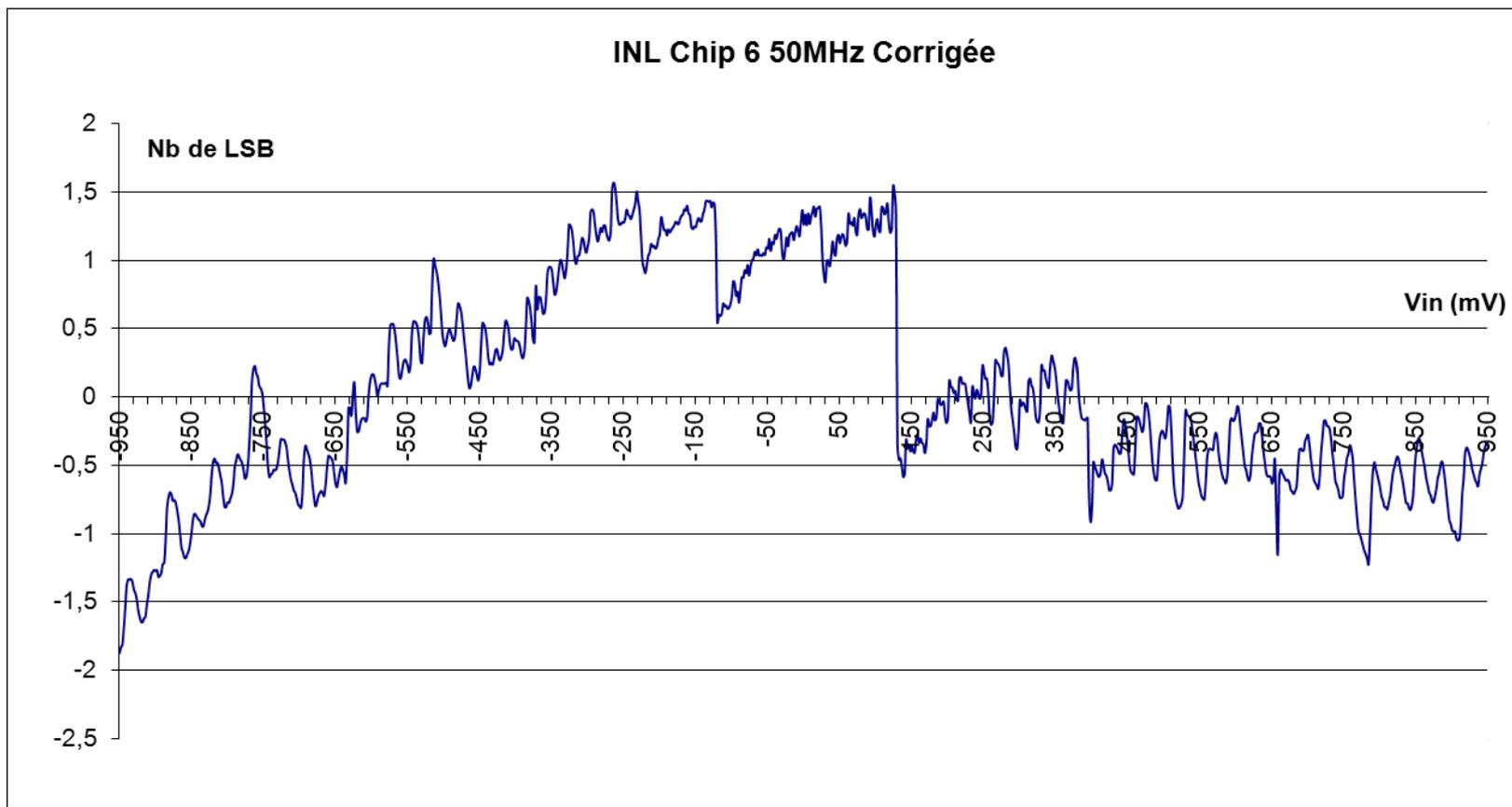
SINAD:

- avec Fe = 0,1MHz, **35,62dB** (ADC 16bits de ref: 48,14dB)
- avec Fe = 1MHz, **27,82dB** (ADC 16bits de ref: 28,83dB)

Mesures limitées aux caractéristiques de la sinusoïde générée par le FPGA

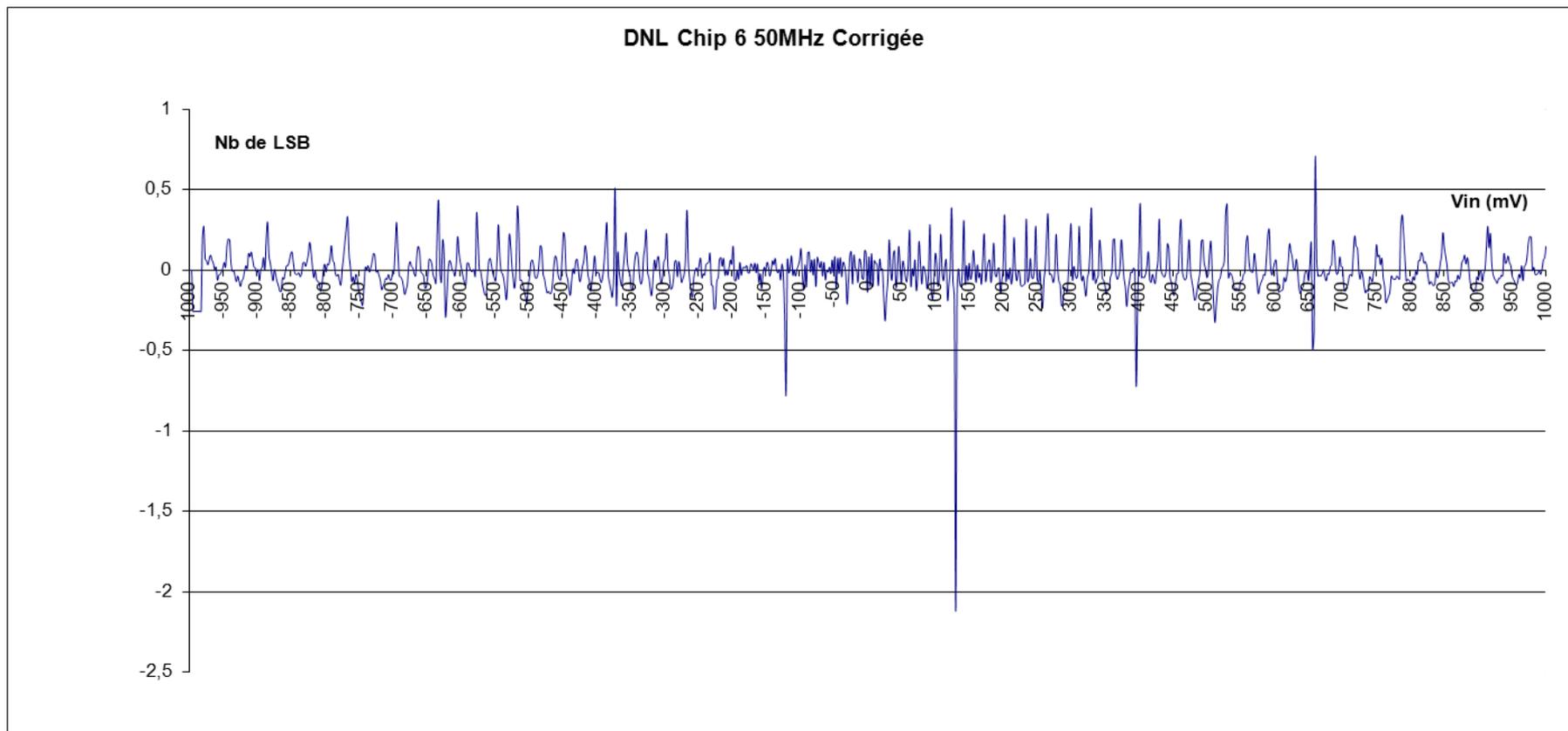


- Statiques



Dynamique totale => 1,9V

# Résultats de tests (après corrections)



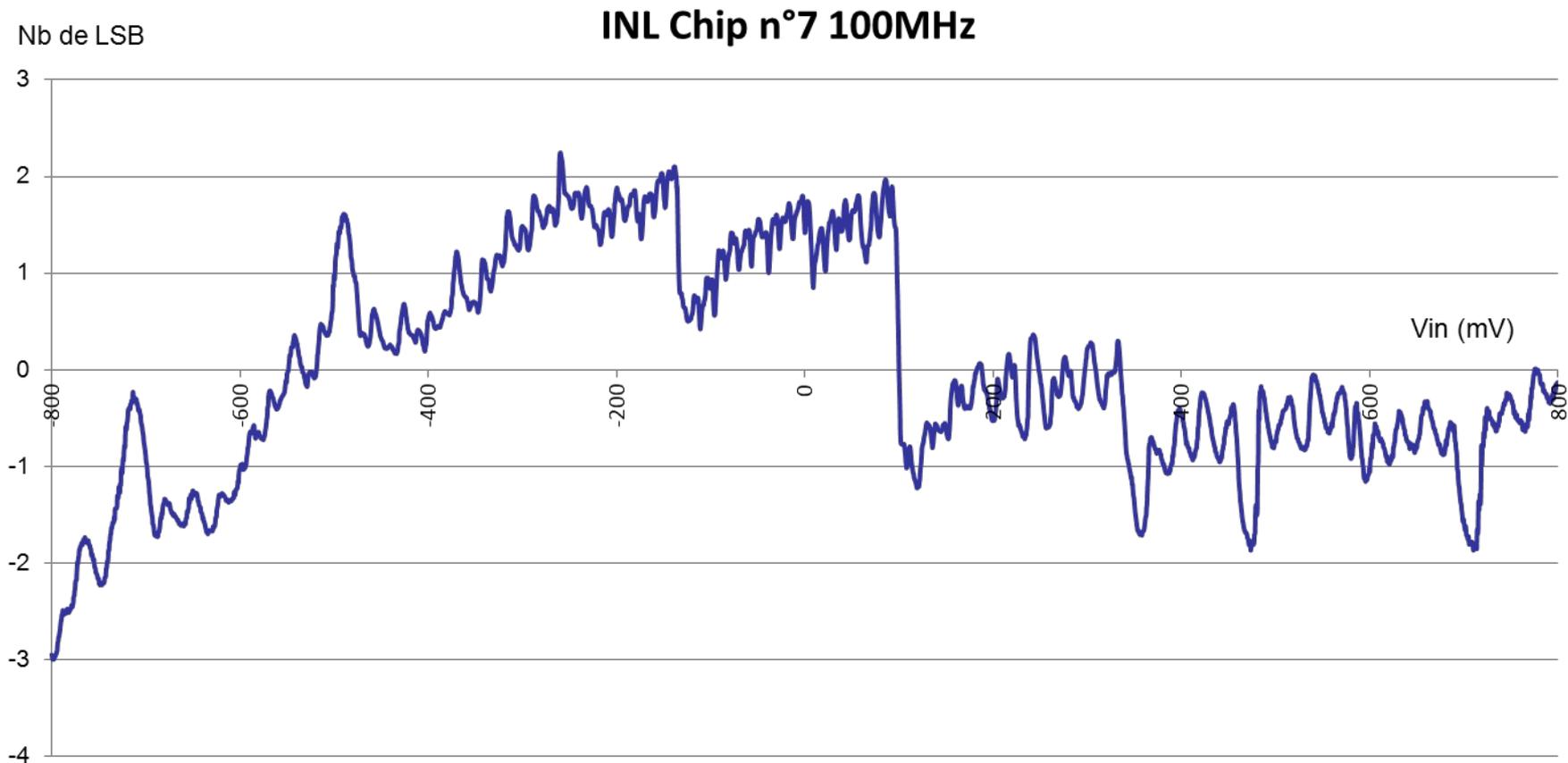
INL => +/- 2LSB  
 DNL => -1,7 à 0,9LSB



INL => +/- 1,5LSB  
 DNL => -2,1 à 0,7LSB  
 Perte de monotonicité au palier 125mV

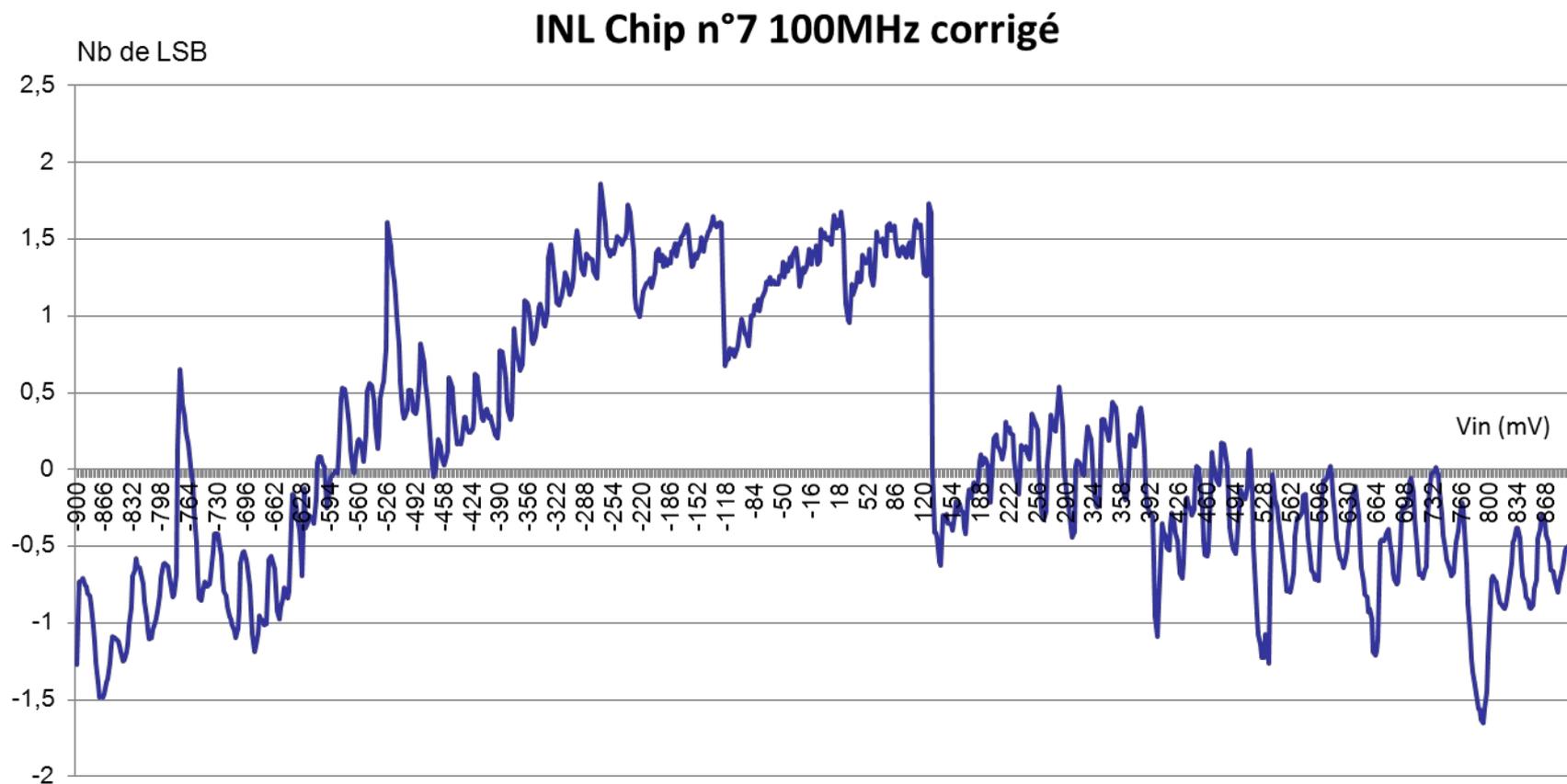
# Le Chip n°7

- Chip fonctionnant 100MHz (ici résultats sans corrections)



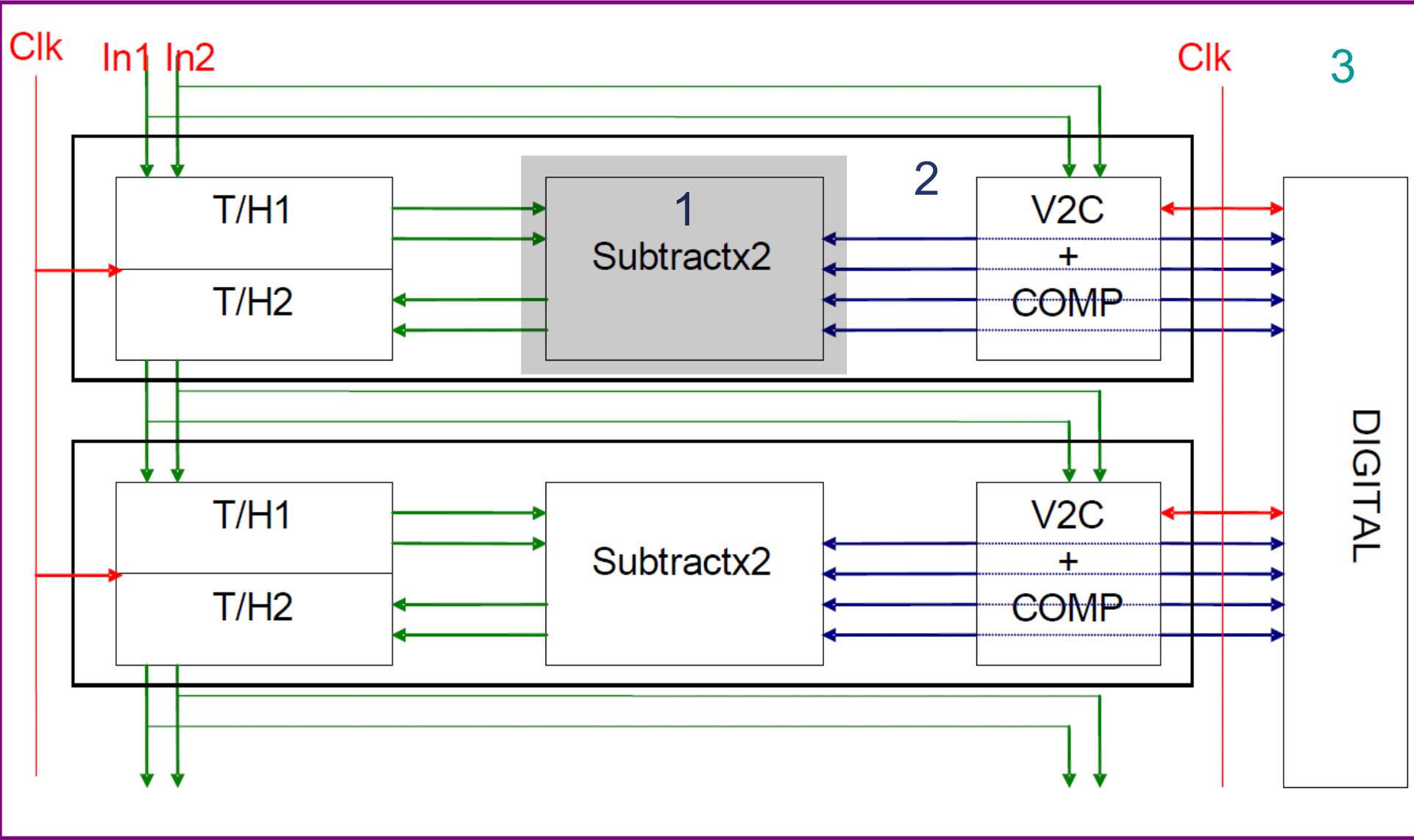
Dynamique totale => 1,6V

- Résultats avec corrections



Dynamique totale => 1,8V

# Simulations parasitiques

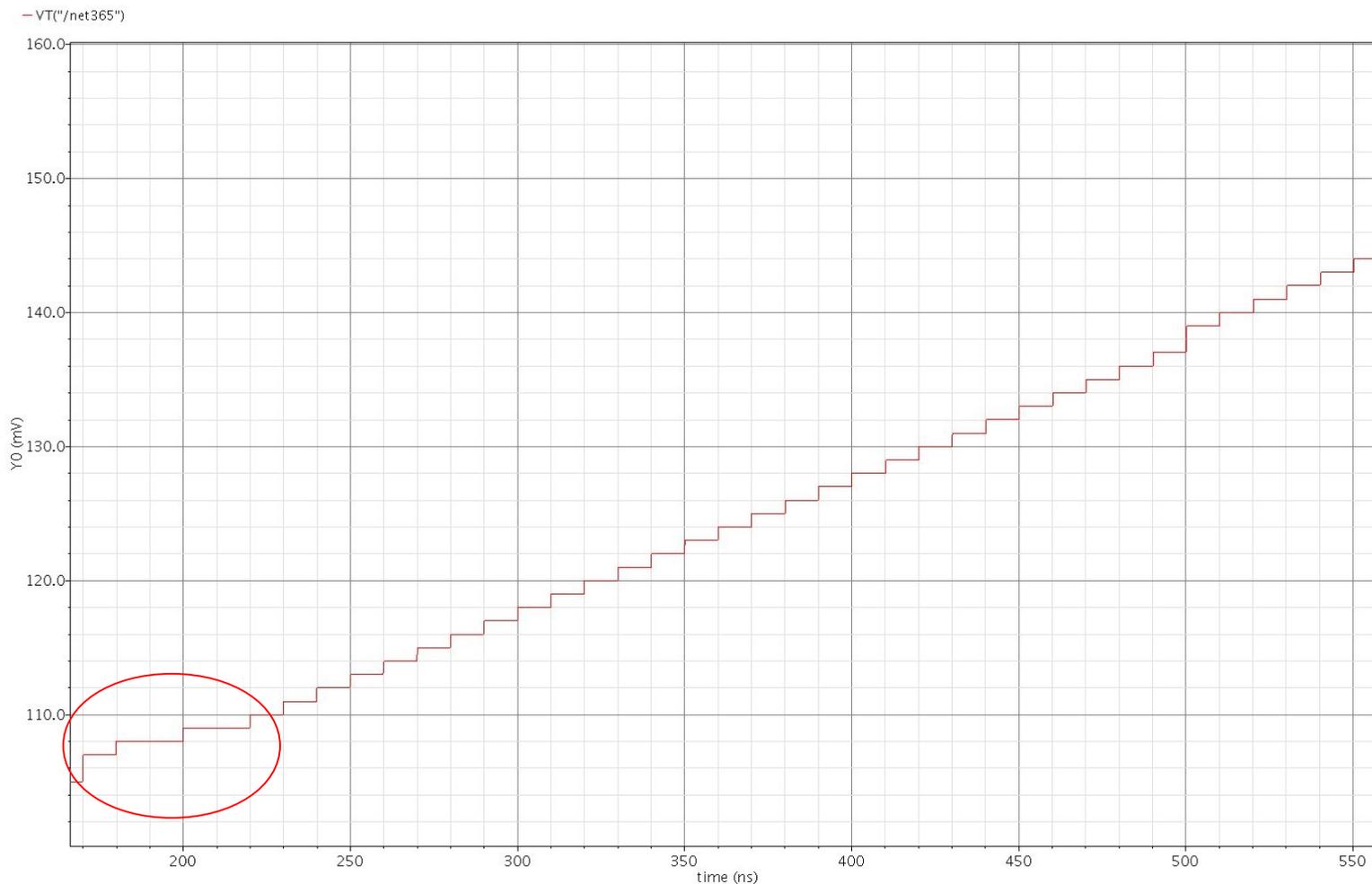


# Résultats au niveau parasitique

Résistances extraites => 0,1 Ohms

Capacités extraites => 0,01 fF

Signal d'entrée de -150mV à 150mV (pour avoir seulement les deux paliers principaux)



- 5 chips fonctionnent à 50MHz
- 1 chip fonctionne à 100MHz
- L'avenir:
  - **Détermination de la cause de ce saut**
  - **Développement d'une version entièrement en courant**