

Quelques outils open source dev FW FPGA pour compléter les présentations orales

Laurent CHARLES (IPHC)

01/06/2026

Générateurs de CSR / Memory Map Registers en HDL à l'interface entre SW/HW

- PeakRDL : présenté par Amaury Hervo
- Rggen
 - Lien : <https://github.com/rggen>
 - WebUI pour générer sous forme graphique
 - <https://rggen.github.io/rggen-webui/>

Générateurs de CSR / Memory Map Registers en HDL à l'interface entre SW/HW – suite 2

- Cheby du Cern
 - Un set d'outils pour générer HDL, drivers, documentation
 - <https://gitlab.cern.ch/be-cem-edl/common/cheby>
 - Présentation où l'on parle de Cheby et Reksio :
 - <https://indico.cern.ch/event/1467417/contributions/6393972/attachments/3071265/5433413/cheby-fdf2025.pdf>
 - Reksio open source memory map editor for Cheby (YAML) memory maps

Générateurs de CSR / Memory Map Registers en HDL à l'interface entre SW/HW – suite 3

- hdl-registers
 - <https://hdl-registers.com/>
 - Package Python
 - Registres définis en fichiers TOML/JSON/YAML
 - Sur le site web, il y a un benchmark avec notamment cheby et PeakRDL
 - <https://hdl-registers.com/rst/about/about.html>

FPGA firmware build system via des commandes make ou Tcl

- HDLMake : du CERN, outil présenté par Antoine Back
- Ruckus
 - <https://github.com/slaclab/ruckus>
 - <https://slaclab.github.io/ruckus/>
- fwk
 - Tcl-based framework designed to automate the creation and build processes for FPGA projects using various EDA tools
 - <https://fpgafw.pages.desy.de/docs-pub/fwk/main/index.html>
 - <https://gitlab.desy.de/fpgafw/fwk>