

Assemblée Générale du GDR DI2I

Optimisation du traitement du signal de lecture des détecteurs MKIDs

Mounir Abdkrimi - Doctorant

Université Grenoble Alpes – Laboratoire de Physique Subatomique et de Cosmologie
– IN2P3 – CNRS

Grenoble, France.

Plan

- Introduction
- Modélisation de l'électronique de lecture des MKIDs
- Conclusion

Introduction

Astronomie millimétrique

- Observation de l'univers dans [30 GHz – 330 GHz] :
 - Étude: CMB et de l'effet SZ.
- Instruments développés en collaboration au LPSC au cours des 10 dernières années :
 - Le plus récent : **CONCERTO**, installé au Chili (**APEX**).
- **MKIDs** : Microwave Kinetic Inductance Detectors.
- Principaux défis pour une détection efficace :
 - Minimiser le bruit électronique.
 - Capacité à multiplexer plusieurs milliers de pixels.



www.eso.org



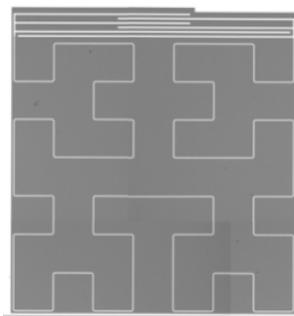
CONCERTO



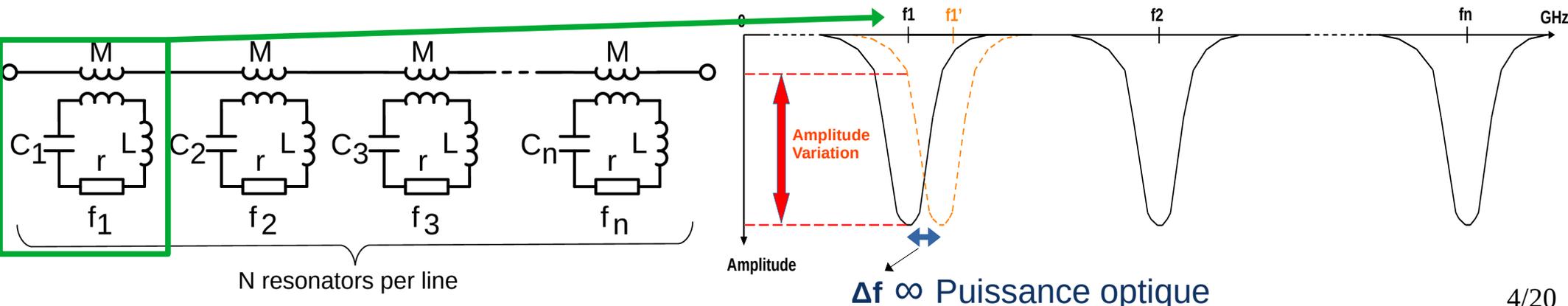
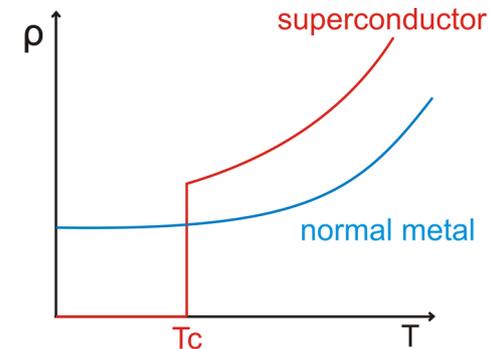
APEX antenna 3/20

Introduction

Modèle MKID



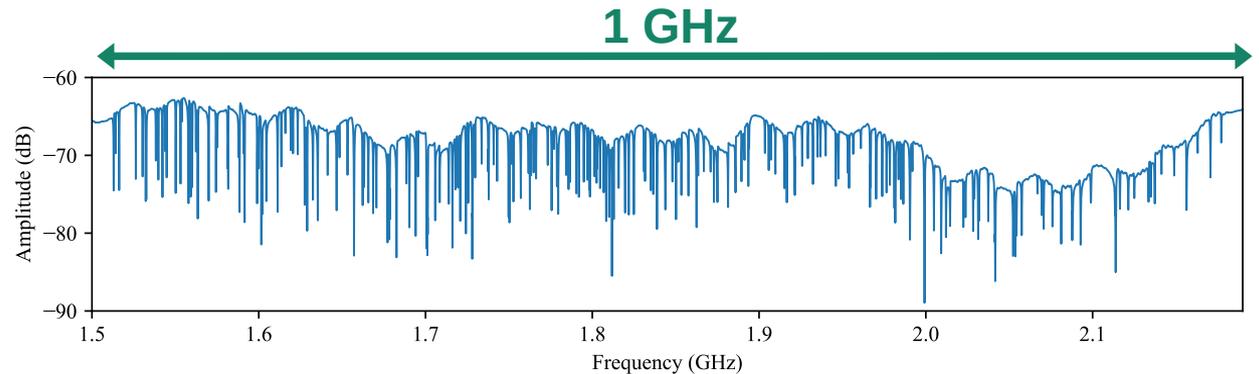
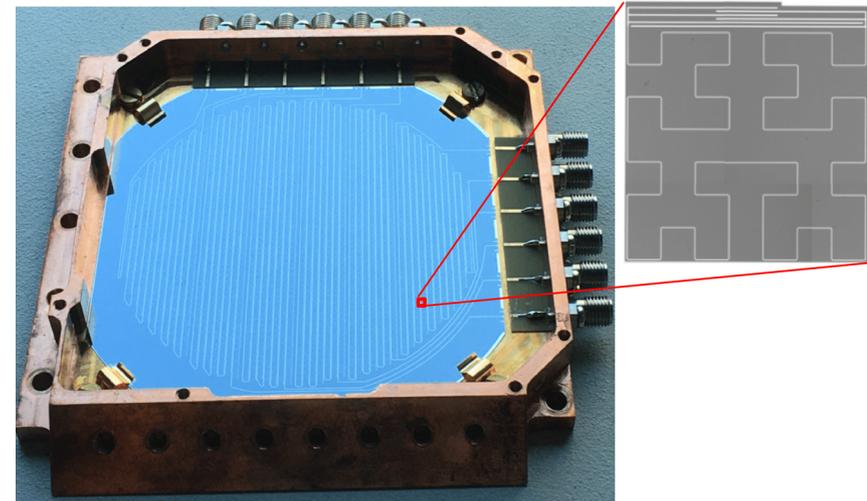
- MKIDs utilisent un film supraconducteur comme dispositif de détection.
- Photon → Déplacement de la fréquence de résonance.
- Méthode : mesure de la variation d'amplitude et de phase.
- Facteur de qualité élevé : $Q = 10^5 \rightarrow \Delta f = f/Q \approx 10\text{-}100 \text{ kHz}$.
- Réglage capacitif de la résonance → multiplexage en fréquence



Introduction

Matrice de MKIDs dans CONCERTO

- Matrice de 2200 pixels \equiv MKIDS.
- Répartis sur 6 lignes de transmission. Chaque ligne :
 - 400 MKIDs en série,
 - Bande de 1 GHz.
- 6 cartes électroniques de lecture.



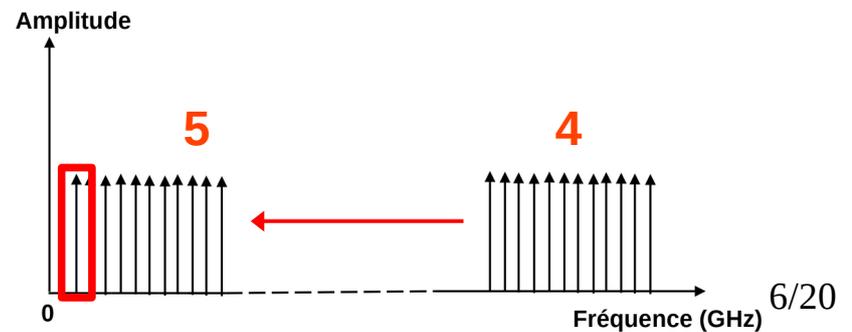
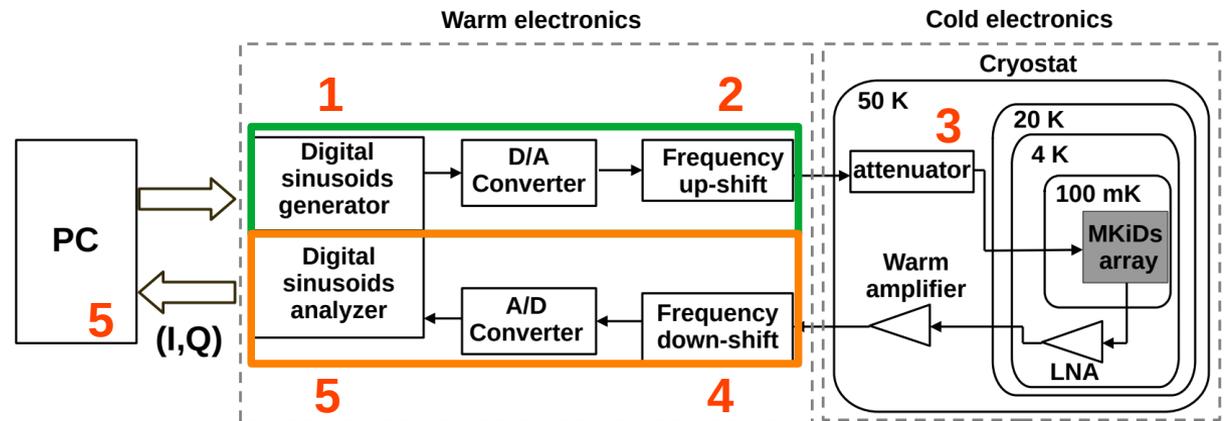
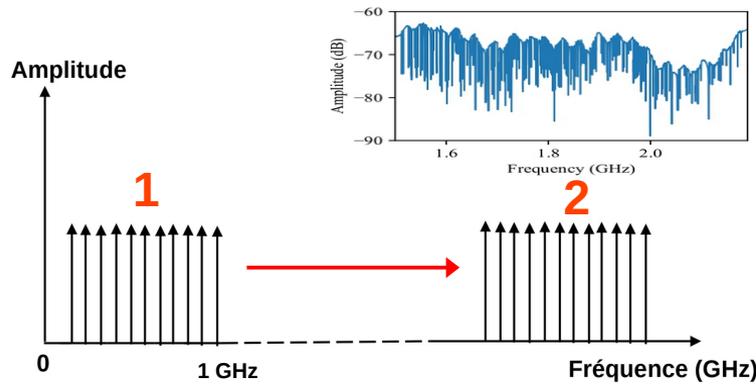
Scan VNA d'une ligne de transmission

Instrumentation du détecteur

Principe de lecture

1. Génération de peigne de fréquences (multiplexage en fréquence).
2. Décalage fréquentiel vers la bande de résonance.
3. Propagation du signal à travers le cryostat et interaction avec la matrice.
4. Translation de fréquence vers la bande de base.
5. Traitement du signal :
 - Prétraitement embarqué avec Digital down conversion (DDC).
 - Traitement logiciel des variations de phase et d'amplitude

Ton = sinusoïde



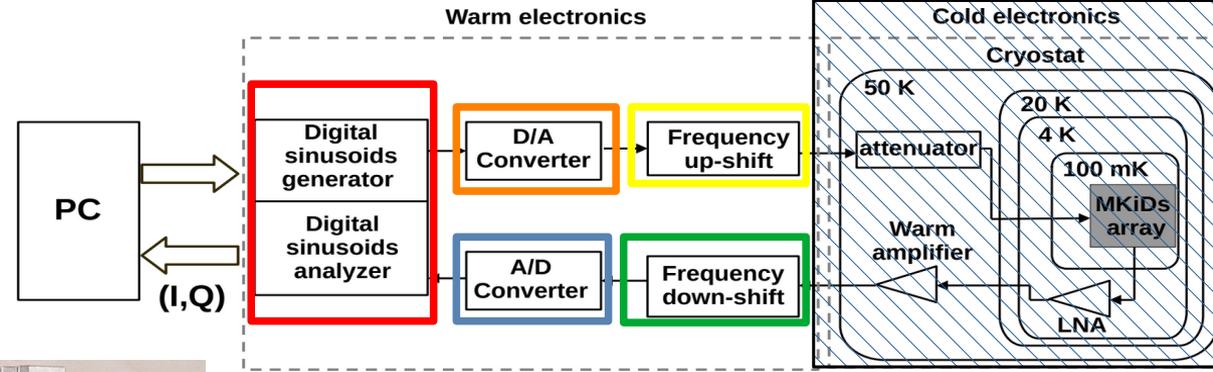
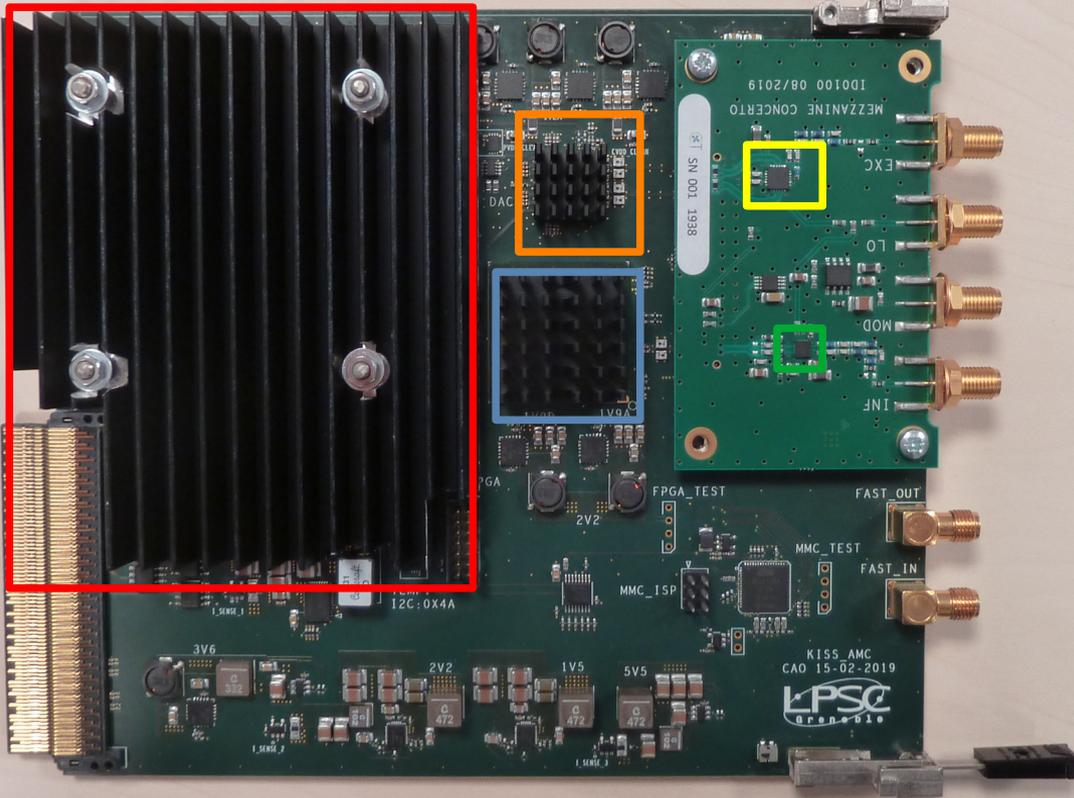
$$\text{Amplitude} = \sqrt{I^2 + Q^2}$$

$$\text{Phase} = \arctan\left(\frac{I}{Q}\right)$$

Électronique de lecture

KID_READOUT

FPGA



FPGA: XCKU060FFVA1156-2.
-2760 DSP Slices.
-663360 Flip-Flops.

DAC: AD9136.
- Dual output.
- Resolution: 16 bits.

ADC: ADC12D1x00.
- 2 interleaved ADCs.
- Resolution: 12 bits.

IQ Modulator: ADL5375.

Mixer : AD8342.

2 GHz frequency sampling

Cadre de la thèse

KID_READOUT

- **Contexte :**

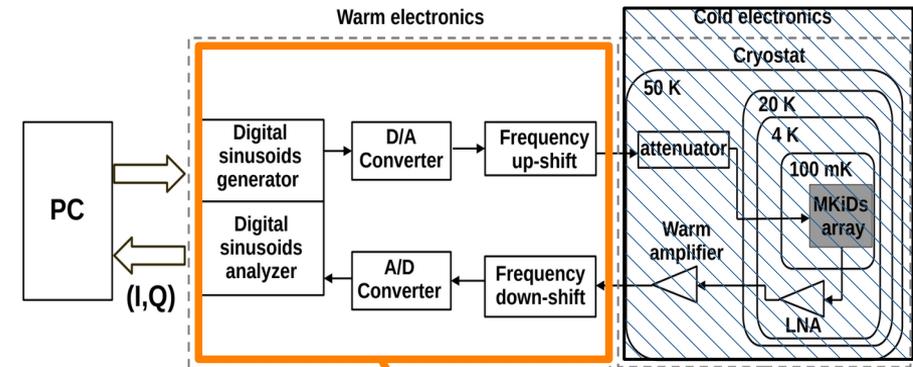
- Solution existante : KID_READOUT.
- Capacité actuelle : lecture de 400 MKIDs.
- **Enjeu** : Accroître la capacité.

- **Défis:**

- Absence de modèle de KID_READOUT.
- Architecture complexe (numérique + analogique).

- **Contribution de la thèse :**

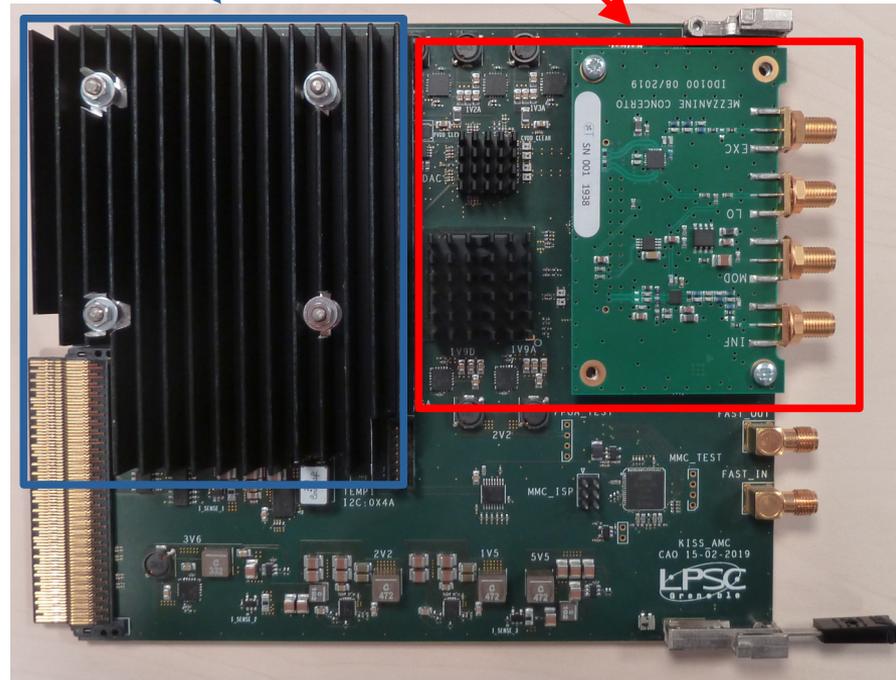
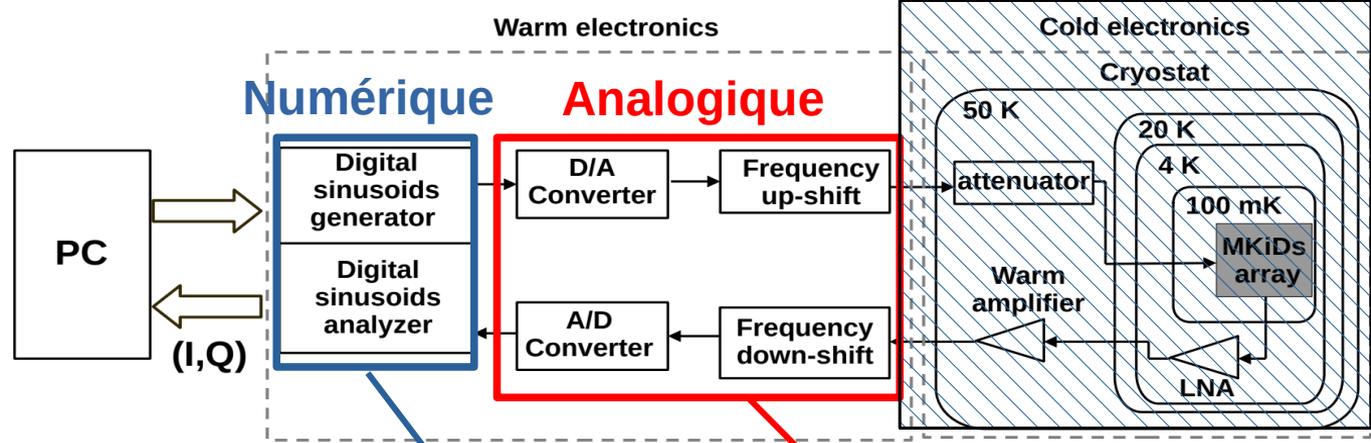
- Modélisation de KID_READOUT.
- Identification des limitations et mise en œuvre d'optimisations.



KID_READOUT

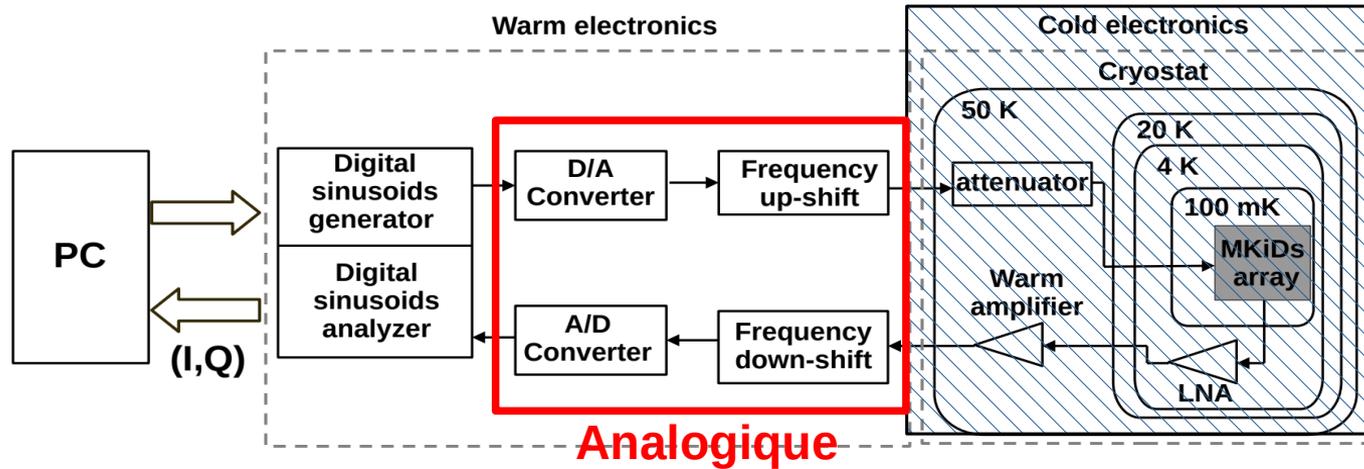


- Introduction
- Modélisation de KID_READOUT
- Conclusion



Modélisation de la chaîne analogique

Contraintes

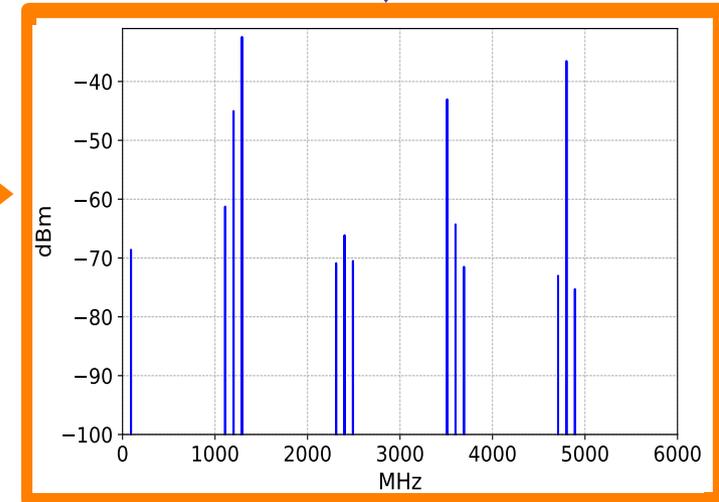
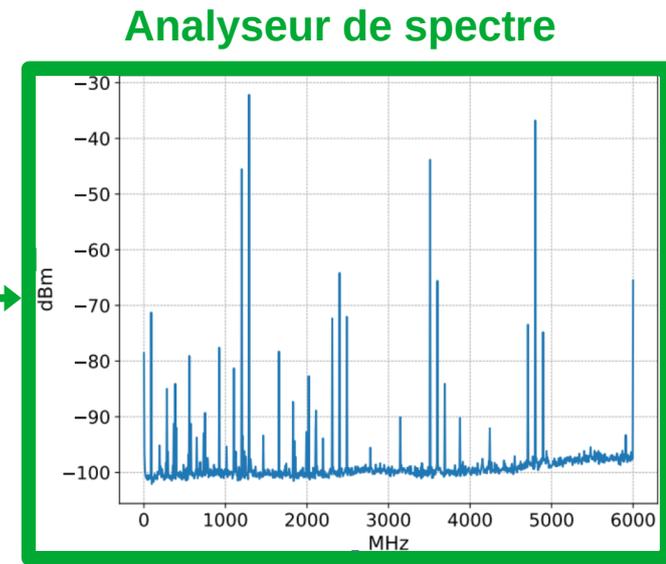


- Composants du commerce :
 - Absence de modèle.
 - Documentation incomplète.
- Non-optimisable :
 - Composants sélectionnés parmi les meilleurs du marché.
 - Circuit analogique figé.

Modélisation de la chaîne analogique

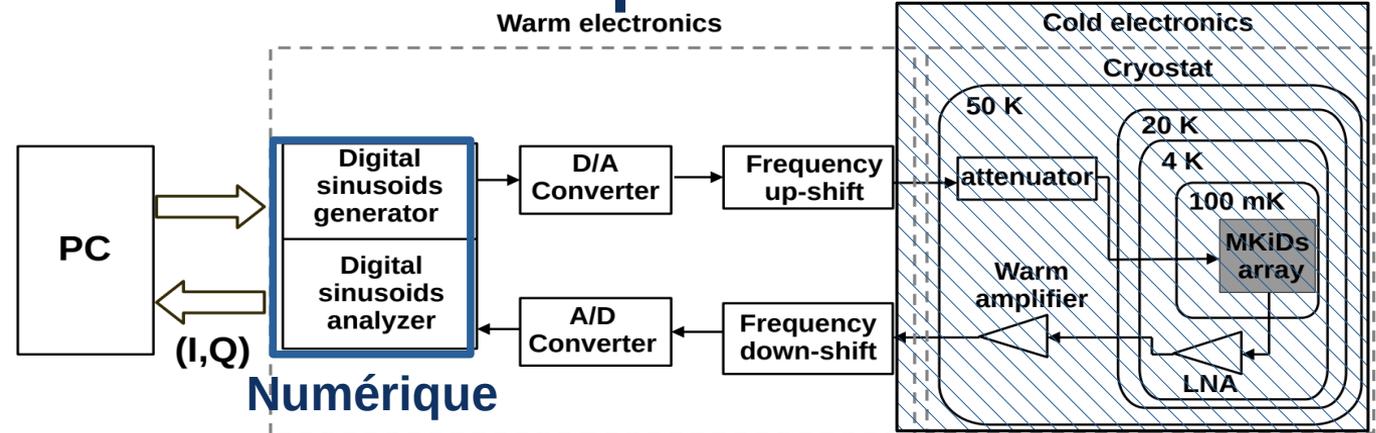
Méthodologie

- 1- Mesures (par ex. **analyseur de spectre**)
- 2- Détection des imperfections dégradant le SNR.
- 3- Modélisation et comparaison avec les mesures.



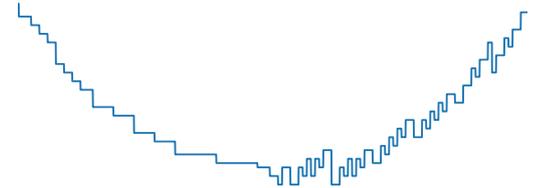
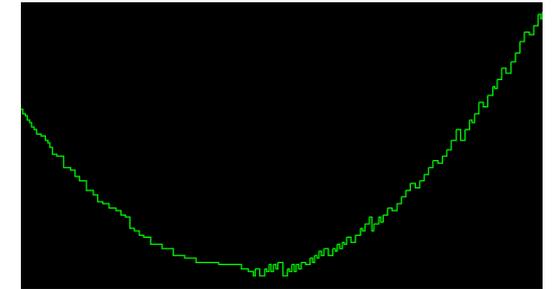
Modélisation de la chaîne numérique

Méthodologie

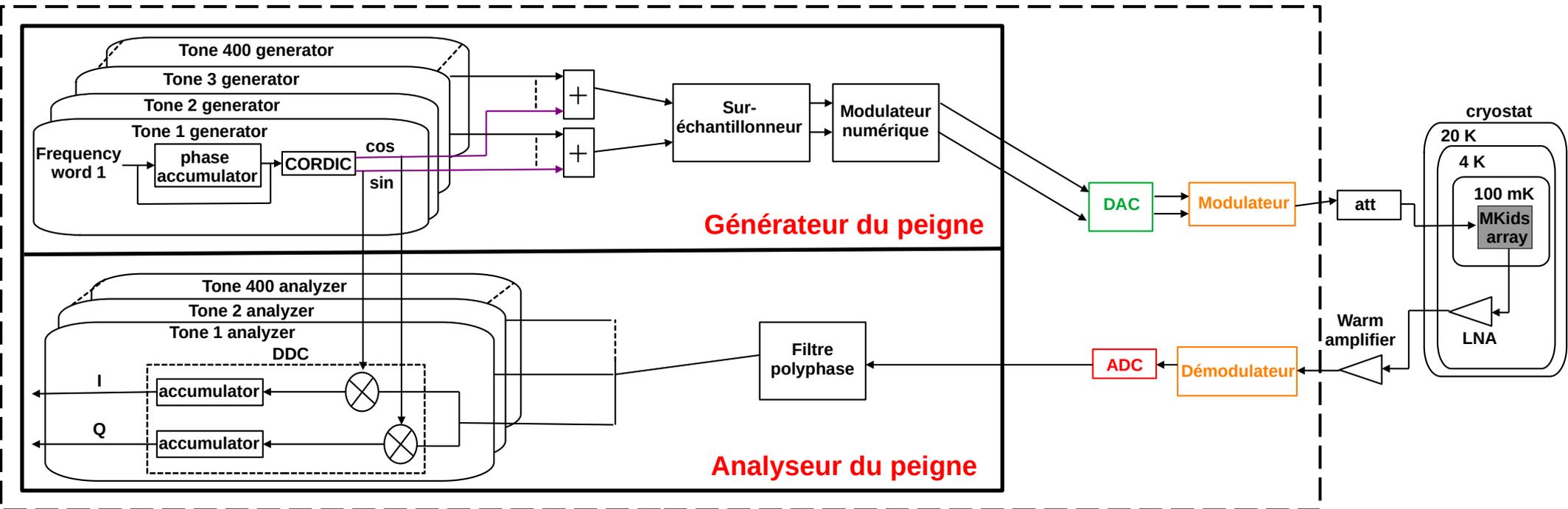


- Description VHDL :
 - Solution propriétaire.
 - Optimisable :
 - Architecture modifiable (firmware).
- 1- Compréhension et analyse du VHDL.
 - 2- Développement d'un modèle haut niveau en virgule flottante.
 - 3- Conversion en virgule fixe : modèle temporel au cycle près.
 - 4- Validation du modèle.

Testbench de l'entité VHDL



Modèle KID_READOUT



- Modélisation les imperfections de chaque composant analogique :

→ DAC : slew-rate

→ Non-linéarités RF des modulateurs et démodulateurs,

→ ADC : Jitter et architecture entrelacée.

→ Slew-rate du DAC

→ CORDIC

→ DDC

- Modélisation VHDL (cycle/valeur) :

→ CORDIC, DDC, modulateur numérique, sur-échantillonneur, filtre polyphase.

Modélisation et exploitation du modèle

Slew-rate

- **Slew-rate du DAC** : Capacité de vitesse de suivi de la tension ($V/\mu s$).



A ou f

- Limite potentielle dans le cas multiplexage fréquentiel

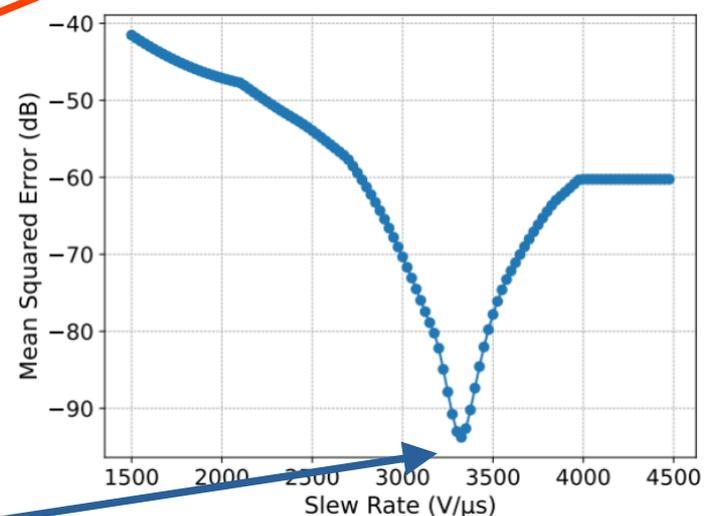
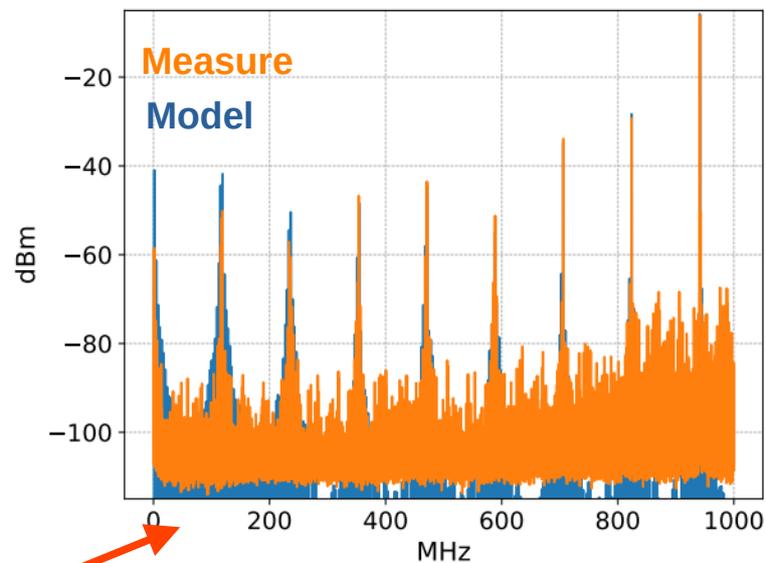
- Pas documenté.

- Mesures en cas non idéaux.

- Développement d'un modèle de slew rate.

- Figure de mérite : différence d'amplitude mesure vs. modèle.

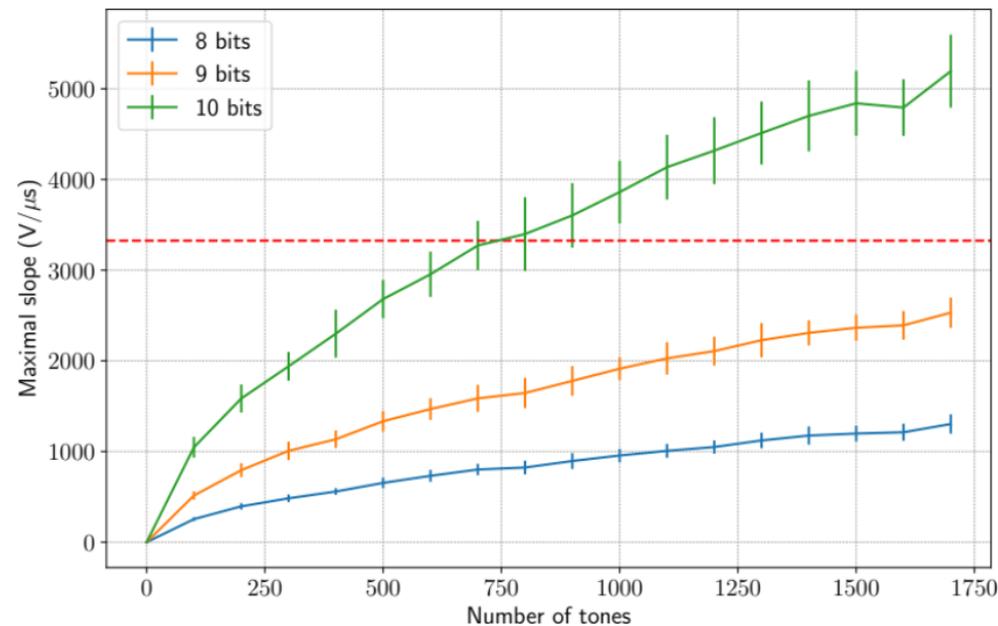
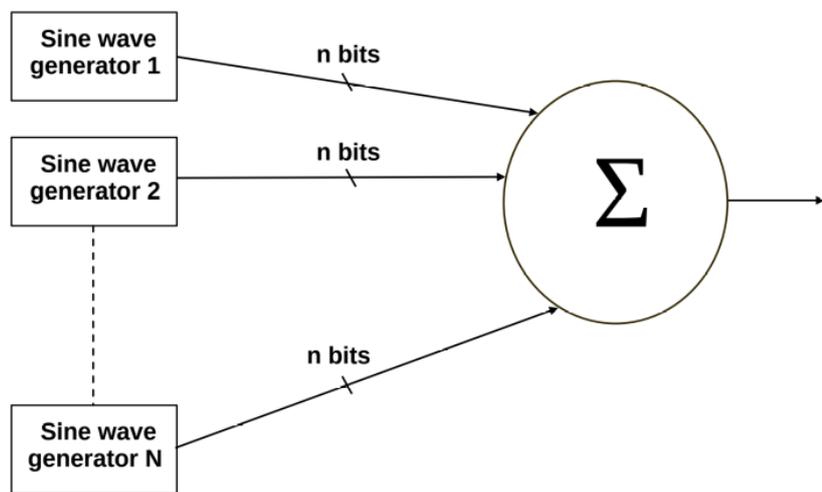
→ **Slew rate** de l'AD9136 : **3325 $V/\mu s$** .



Modélisation et exploitation du modèle

Slew-rate

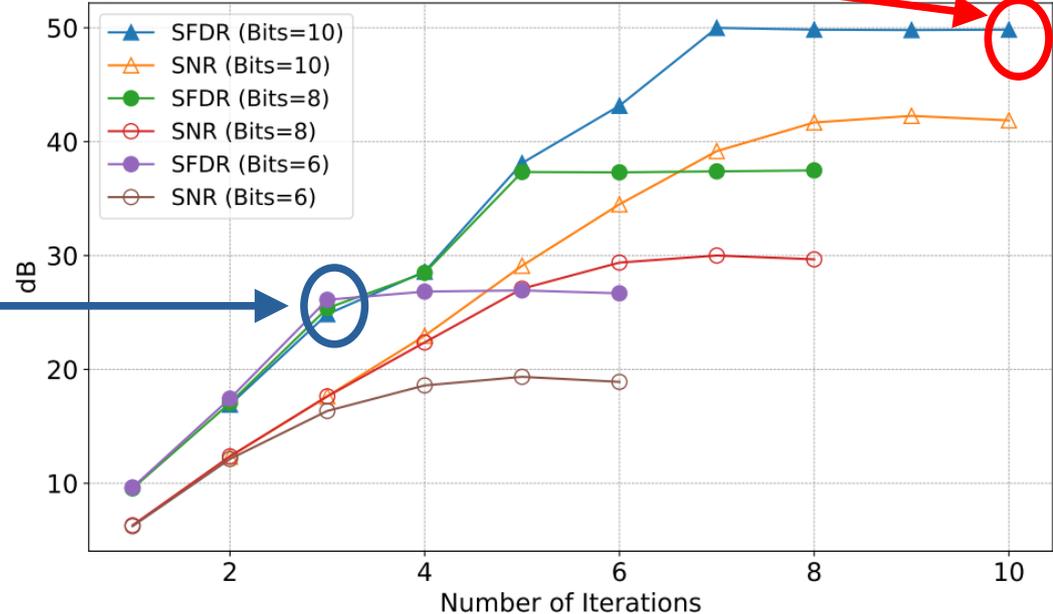
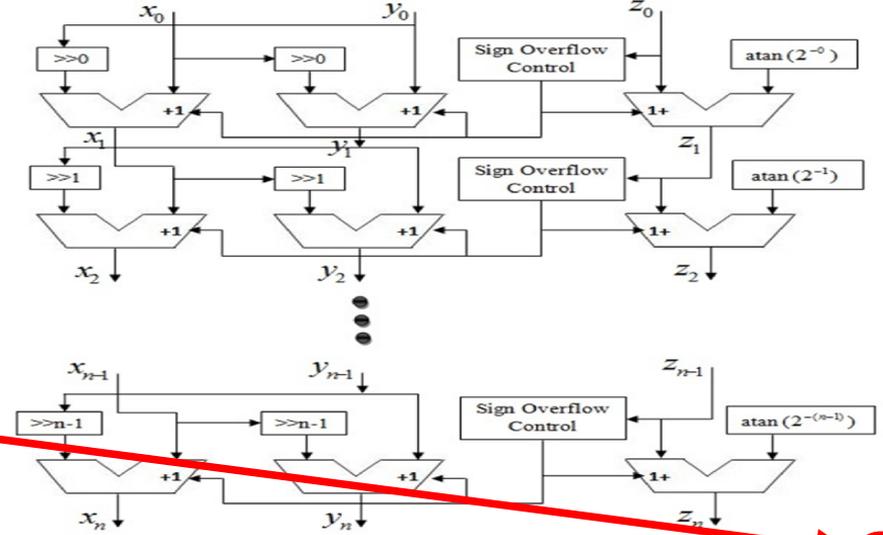
- Simulation de peignes de fréquences
- Démarrage avec phase aléatoire.



- Jusqu'à 600 tons simultanées.

Modélisation et exploitation du modèle CORDIC

- Algorithme itératif et efficace pour calculer les tons.
- **400 CORDIC** implémentés : 10 bits – 10 itérations (=nombre d'étages).
- Simulations et analyse pour N bit – N itérations.
- -3 itérations → même SFDR.
- Effet de la résolution sur le cross-talk.
- CORDIC optimisé : 6 bits – 3 itérations.



- Gain en ressources :

→ LUTs : **215 228** → **85 825** : **39%pt.**
 → FFs : **346 539** → **212 481** : **20%pt.**

Modélisation et exploitation du modèle

DDC

- Extraction des composantes I et Q du peigne de fréquences.

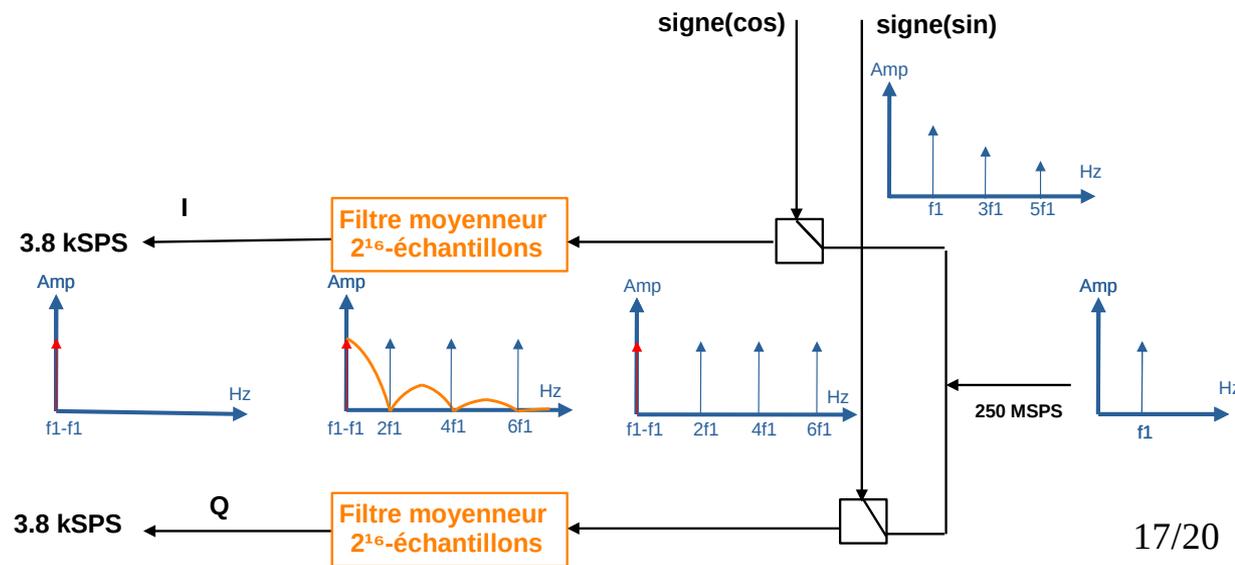
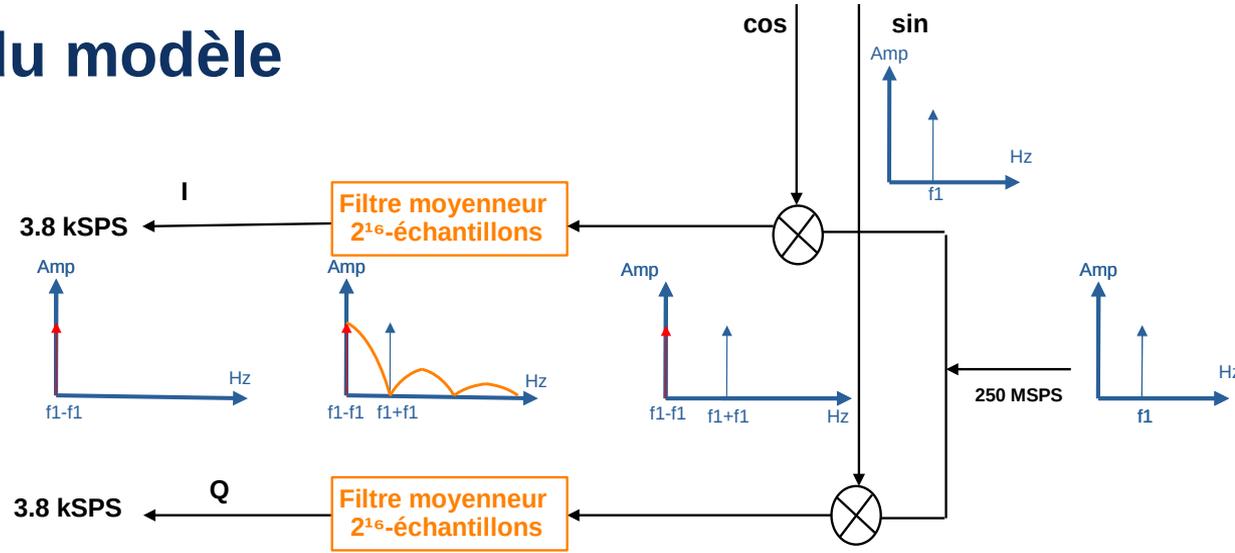
- Zéros du filtre : multiples de la résolution fréquentielle de génération.

- La résolution minimale pour extraire I et Q.

- 2 multiplieurs remplacés par 2 démodulateurs carrés.

- Pas de dégradation du qualité du signal.

- **Suppression** de **800** multiplieurs:
→ DSPs : **1 953** → **1 153**
(**29%pt**)



Validation des optimisations

- Intégration des modifications optimisées dans le firmware VHDL existant.
- Mesures et comparaison entre les versions originale et optimisée.
- Résultats des optimisations :
 - Pas de perte en qualité de signal.
 - Même électronique, moins de ressources utilisées.
 - Capacité de lecture doublée : **800** MKIDs au lieu de **400**.



Conclusion et perspective

- Modélisation complète de la chaîne de lecture, numérique et analogique.
- Grâce au modèle :
 - * **Identification des limitations analogiques** et de leur impact sur la lecture des MKIDs :
 - Slew rate, non-linéarités RF, jitter, bruit blanc, ADC entrelacés...
 - * **Optimisations matérielles du CORDIC et DDC :**
 - **Réduction significative des ressources FPGA, sans dégradation des performances.**
- **Validation expérimentale sur l'instrument réel.**
- Utilisation du modèle pour **simplifier la chaîne d'excitation.**

Merci pour votre attention