

<p>Programme Scientifique : ATLAS-LHC DAS Référent : Laurent VACAVANT</p> <p>Projet : Upgrade Phase 2 Électronique ATLAS LAr / LATS Code NSIP :</p> <p>Responsable National de Projet : Laurent Serin</p> <p>Responsable Scientifique Local : Tetiana Hryn'ova (hrynova@lapp.in2p3.fr) Responsable Technique Local : Nicolas Dumont Dayot (dumont@lapp.in2p3)</p>	<p>Logo Projet :</p>  <p>Auteur Fiche : T. Hryn'ova Date Mise à Jour : 10/03/2025 Version : 2.1.1</p>
<p><u>DESCRIPTIF PROJET :</u></p> <p>Fort de son expertise et de son engagement actuel dans la construction et du firmware des cartes LATOME pour l'upgrade phase-I, le groupe souhaite poursuivre un engagement similaire pour l'upgrade phase-II du calorimètre LAr. Le travail sera orienté vers la conception, prototypage, réalisation et le firmware d'une carte de distribution de l'horloge et des commandes à l'électronique de front-end (LATOURNETT) et son Rear Transition Module (RTM), pour faciliter le câblage des fibres optiques à l'arrière du châssis.</p> <p>Livrables : 40 cartes LATOURNETT au format ATCA et 40 cartes RTM avec firmware et logiciels nécessaires au fonctionnement. 30 paires de LATOURNETT+RTM seront installées en P1. Ces cartes et leur infrastructure de support forment LAr Timing System (LATS).</p> <p><i>La demande de personnel dans le document suppose le démarrage du HL-LHC au début de 2030. Cette date n'est pas reflétée dans la planification des livrables, qui sont basés sur le calendrier officiel précédent.</i></p> <p>La préproduction est prévue en 2026, la production en 2026-2027 et l'installation en 2027. 2028-2029 sera la période d'intégration et 2030 la mise en service avec données Run 4.</p> <p>Le code du firmware et du software du projet sont stockés sur git, la documentation des spécifications/exigences/description/fonctionnement du hardware/firmware/software sur cds, les rapports et documents de conception finaux sur edms.</p>	
<p><u>REFERENCE DU TDR CONCERNE :</u></p> <p>ATLAS Liquid Argon Calorimeter Phase-II Upgrade Technical Design Report (ATL-COM-LARG-2017-030) https://cds.cern.ch/record/2280232</p> <ul style="list-style-type: none"> • Chap. 8 (Off-detector Electronics) 	
<p><u>CONTEXTE GENERAL :</u> lister les autres laboratoires impliqués sur le même livrable</p> <p>Aucun autre laboratoire n'est impliqué sur le même livrable.</p> <p>Ci-dessous est la liste des groupes qui participent au développement d'une autre carte LAr hors détecteur, appelée LASP.</p> <p>Autres laboratoires IN2P3 impliqués :</p> <ul style="list-style-type: none"> - CPPM Marseille <p>Autres laboratoires français impliqués :</p> <ul style="list-style-type: none"> - CEA/IRFU <p>Laboratoires étrangers impliqués :</p> <ul style="list-style-type: none"> - Dresden University (Germany) - Stonybrook University (US) - CERN TTC Group (CERN) - MCGill (Canada) 	
<p><u>Événements marquants du projet depuis son début :</u></p>	

- Rédaction et Approbation LHCC du TDR (2017)
- UCG Review (Janvier 2018)
- Money matrix update et rédaction du MoU (Spring 2018)
- P2UG reviews annuels(May 2019-2024)
- Revue des spécifications 12/2020 réussie avec recommandations
- LATS Hardware PDR 02/2024
- LATS Firmware PDR 08/2024
- LATS Hardware PDR Follow-up Review 10/2024 - réussie, la production de prototypes LATOURNETT.v2 et RTMv1 a été autorisée

Événements marquants du projet limité à la participation France IN2P3 :

- 2021 Conception et production de deux versions de cartes LATOURNETT-POWER pour tester le schéma de distribution de puissance
- 2023 Réalisation et tests de 2 cartes LATOURNETT v1
- Développement de cartes prototypes LATOURNETT v2 et RTM v1 (02-10/2024)
- Production de cartes prototypes LATOURNETT v2 et RTM v1 (commencé en 10/2024, les cartes prototypes sont attendues fin avril/début mai 2025)
- Envoi de LATOURNETT v1 au CERN pour des tests d'intégration est prévu en avril 2025 (semaine de tests approfondis prévue en juin 2025)

Existe-t-il une analyse de risque : OUI (Document ATLAS UCG)

Si OUI lien ATRIUM pour accéder au document : pas de document ATRIUM

Lien EDMS : <https://edms.cern.ch/document/1976197/9> (AT2-A-MG-0001 v.28 - 2024-04-04)

Risques projet Identifiés :

LATS pre-production/production yield issues

- **Description:** Fabrication of LATS blade delayed due to unacceptable quality in pre-production or production step beyond the estimated production yield or due to delays in the firmware development necessary for different design reviews and system tests
- **Mitigation:** PCB manufacturers are being screened and selected in first prototyping phase. Two iterations of prototypes are put in place. Firmware development is based on Phase-I design experience. Firmware simulation and testing framework shall be available already in the first R&D phase and continuous progress monitoring will be implemented.
- **Response:** Additional LATS blades need to be produced after correction of production problems or change of manufacturer. If necessary, resources for board design and firmware development shall be increased.
- **Probability:** Low. Experience from previous digital electronics projects shows that such an event may happen. Impact is usually manageable without scope or performance change. Estimated fiscal year of risk 2025-2026, cost impact is up to 75kCHF and 6 months delay.

LATS implementation more complex than expected

- **Description:** If current proposal of LATS layout does not satisfy requirements (e.g. front end monitoring needs, timing signal distribution) which could need less FPGA per board or higher level FPGAs or other design modifications
- Mitigation: Tests on development kit are part of the initial R&D phase
- Response: New LATS design needs to be done
- Probability: **Risk partially realized in 2020 (17 -> 13 FPGAs per board) + again in 2023 with addition of RTM.** Cost impact would involve an iteration of prototype boards, corresponding schedule delays and increase in production costs. Impact year 2024-2025.

Late delivery of ATCA COTS components

- **Description:** The LASP and LATS systems utilize ATCA shelves, power supplies and in-shelf switches, whose delivery might be delayed because large numbers of these specially qualified components will presumably be ordered at the same time by many ATLAS systems.
- Mitigation: The component qualification and the procurement process shall be initiated early in the project and be followed closely. It will most probably be organized through a common CERN contract with the supplier and contracts with delivery dates in line with the project schedule must be made.
- Response: In case the delivery is indeed late legal measures can be taken to enforce faster production

rate.

- Probability: Since contracts will be made with commercial producer the probability is estimated to be low. The impact however may be high depending on the delay. Impact year 2025.

Delayed completion of system tests

- **Description:** The combined tests with front-end and TDAQ systems may be delayed due to unexpected problems with hardware and/or firmware at the interface to these systems.
- Mitigation: Specification documents and tests of system aspects shall be implemented as early as possible in the project, even before nominal system tests start.
- Response: Firmware and/or hardware will be improved and re-tested until issues are resolved.
- Probability: Given the complexity of the system and the number of interface a probability of 20% (1 out of 5 interfaces fail) is attributed. A short delay is expected in case of firmware problems, a longer delay for hardware related issues or re-design. Cost impact would involve an iteration of prototype boards. Impact year 2025

LATS Firmware delay

- **Description:** Fabrication or deployment of LATS blade is delayed due to delays in the firmware development necessary for different design reviews and system tests
- Mitigation: Firmware development is based on Phase-I design experience. Firmware simulation and testing framework shall be available already in the first R&D phase and continuous progress monitoring will be implemented.
- Response: If necessary, resources for firmware development
- Probability: probability of 10% is attributed. Delay of 6 to 12 months estimated based on the complexity of the issues. Impact year 2024-2025

Revue de projet passées et prévues :

LATS (LATOURNETT + RTM boards)

- Preliminary Design Review Hardware: 02/2024, 10/2024
- Preliminary Design Review Firmware 08/2024
- Final Design Review Hardware: 07/2025
- Production Readiness Review : 04/2026
- Final Design Review Firmware: 06/2027

Expertises Techniques :

- Digital signal processing / clock distribution
- PCB layout and path optimisation
- Microprocessor and FPGA programming
- Firmware development

Observations supplémentaires:

Demande CORE initiale 2019 : 479 kCHF (442kCHF cartes (20 LATOURNETT) & 37kCHF infrastructure)

Demande CORE 2025: 650keuros pour 40 cartes LATOURNETT+40 cartes RTM

Raisons de l'augmentation du CORE:

- augmentation du nombre de cartes en raison d'une densité FPGA plus faible (17→13 FPGAs par LATOURNETT, 18 cartes + 2 spares → 24 LATOURNETT)
- nécessité d'avoir une granularité système plus élevée (24 cartes -> 30 cartes + 10 spares) pour des raisons opérationnelles.
- Nécessité d'ajouter une carte RTM passive (une par LATOURNETT) pour la connectivité de la carte LATOURNETT pour des raisons opérationnelles.
- Qualité accrue du matériau PCB (classe 2 -> classe 3)

Analyse financière:

Budget total (tous partenaires confondus) du projet tel qu'estimé dans le TDR (cout « core », , non mis à jour dans ce document depuis 2019) :

- 28'385 kCHF (LAr Phase 2 Upgrade tous projets confondus)
- 10'735 kCHF (Off-detector hardware et infrastructure, fibres optiques)

Budget total de la contribution du laboratoire IN2P3 décrit dans cette fiche (cout « core », non mis à jour dans ce document depuis 2019):

- 5'800 kCHF (contribution totale IN2P3 aux projets LAr Phase 2 Upgrade), soit ~20,4% du total
- 3'000 kCHF (contribution IN2P3 off-detector hardware et infrastructure, fibres optiques), soit ~28,4% du total

Budget LAPP CORE:

- Demande initiale 2019 Core : 479 kCHF
- **Demande actualisée 2025 Core : 650 keuros**

Budget LAPP NO CORE:

- Demande initiale 2019 R&D, prototypage, tests : 115 k€
- Demande Initiale 2019 Missions (commissioning, installation) : 26 kEUR
- Demande actualisée 2024 R&D, prototypage, tests : 165 k€ [Risque : si les prototypes LATOURNETT+RTM actuelles ne marchent pas, il faudra faire un autre cycle de production et de conception (retard dans le temps et nécessite plus de budget non CORE).]
- Demande actualisée Missions (commissioning, installation) : 26 kEUR

Financements demandés en année N sur le TGIR HL-LHC:

Année :	Reçu/ (Demandé) CORE	Reçu/ (Demandé) NO CORE	Détails : séparer core et non-core
2018			
2019		0 k€	Core : 0 kCHF R&D : 23 k€ prototype carte distribution horloge
2020		5 k€	Core : 0 kCHF No Core : 5 k€ cartes test distribution horloge
2021		15 k€	Core : 0 kCHF No Core : 15 k€ cartes test distribution horloge
2022		30 k€	Core : 0 kCHF No Core : 30 k€ cartes test distribution horloge
2023	1k€	20 k€	Core : 1 k€ achat composants production cartes distribution horloge, No Core : 20 k€ cartes tests
2024	0k€	65 k€	Core : 28 k€ achat composants production cartes distribution horloge No Core : 65 k€ production cartes prototype
2025	(399k€ +8kCHF)	(2kCHF, 1k€)	Core: 399 k€ validation des marchés pour PCB/câblage, achat FPGA et FireFly; Core: 8kCHF achat 40 IPMCs au CERN. NoCore: 2kCHF achat de 10 IPMC au CERN en 2024 pour des prototypes 1k€ missions assemblage et intégration au CERN
2026	242k€	(4k€)	Core: PCB/câblage/achat d'autres composants 4k€ missions assemblage et intégration au CERN
2027		(6k€)	6k€ missions assemblage et intégration au CERN
2028		(4k€)	4k€ missions intégration au CERN
2029		(4k€)	4k€ missions intégration au CERN

2030		(2k€)	2k€ missions commissioning au CERN
Total	650k€	191 k€	Core: 650k€ No core: 165 k€ équipement; 26 k€ missions
Financement externe (Université, Labex, IDEX, régional, ANR, Européen) : Ne pas inclure de masse salariale			
Année :	Obtenu :	Détails : RH (CDD IT ou Phys, Postdocs) ou fonct, missions, équipement	
Analyse Ressources Humaines :			
Listes des personnels du laboratoire impliqué ou qui seront impliqués sur le projet :			
Profil poste et fonction dans le projet	FTE	Durée	Actuellement en poste (2025)
Postes profil physique			
Coordination LATS projet	30%	2018-2030	Actuellement Tetiana Hryn'ova (Chercheur DR) et Marco Delmastro (Chercheur DR)
Integration software LATS	10%* 30%	2022-2024 2025-2030	Actuellement Olivier Arnaez (CPJ) (Physicien(ne) additionel(le) est nécessaire pour répondre aux besoins de 30% FTE)
Postes électronique (hardware et firmware)			
IR électronique, design, prototypage, tests et production de cartes distribution horloge (architecture et layout, fonctionnalités). Développement <i>firmware</i> LATS. Coordinator technique du projet LATS	20% 50% 90% 80%	2018 2019 2020-2027 2028-2030	Actuellement Nicolas Dumont-Dayot
IE/IR électronique, design layout, prototypage et tests de cartes distribution horloge (CAO, PCB, cablage, ...), réparations mineures de cartes, développement et réparations des setups de tests de table, commandes et assurer le suivi auprès des fournisseurs	10% 50% 90%	2018-2019 2020 2021-05.2025	Sebastien Cap Jean-Marc Nappa de 2020 jusqu'au 31.05.2025.
IE/IR électronique, <i>design layout, prototypage</i> et tests de cartes distribution horloge (CAO, PCB, cablage, ...), réparations mineures de cartes	75%	06.2025-2027	Pas couvert , les tâches en italique dépendent aux résultats des tests qui débutent en mai 2025
Développement et réparations des setups de tests de table, préparation marchés publics composants, PCBs et câblage commandes et assurer le suivi de production auprès des fournisseurs	30%	2025-2027	Actuellement Eric Chabanne
IR électronique, Développement <i>firmware</i> LATS	10% 5% 34% 90%	2019-2020 2021-2022 2023 2024-2030	Actuellement Nicolas Chevillot
AI /TCS tests de production des cartes LATOURNETT et RTM au LAPP	100%	2026-2027 (1 an)	CDD (demande TGIR HL-LHC) nécessite 10 % de supervision par un IE/IR expérimenté
Postes informatique (software, IPMC)			
IE/IR informatique Programmation carte IPMC CERN pour LATS*	1% 2% 21% 40%	2021 2022 2023 2024-2030	Actuellement Sylvain Lafrasse
IE/IR informatique Développement software LargOnline pour pilotage LATS*	1% 15% 4% 10% 90%	2021 2022 2023 2024 2025-2030	Actuellement Fatih Bellachia (IE/IR additionel(le) est nécessaire pour répondre aux besoins de 90% FTE)

Postes administratifs			
Préparation et suivi de l'appel d'offres pour LATS	10%	2024-2026	Actuellement Françoise Dupraz
Soutien des missions et des achats	10%	2018-2030	Personnel du pôle de finance (principalement Nathalie Lyko et Christine Jazarguer)

*Dans la continuité des développements pour les Phases 0 et 1 d'ATLAS, l'équipe du LAPP contribue à l'architecture logicielle permettant d'exécuter les codes informatiques propres au fonctionnement des cartes LATS intégrées avec les autres cartes électroniques du calorimètre à Argon liquide.

Ressources humaines demandées en année N sur le TGIR HL-LHC:

Année :	Grade	Description
09.2026-08.2027	AI / TCS	Assemblage et tests de production des cartes LATS LAr : 1 an (LAPP)

Ressources humaines externes (Université, Labex, IDEX, régional, ANR, Européen)

Année :	Grade	Description
----------------	--------------	--------------------

Informations Planning:

2025:

- développement et maintenance des setups pour les tests de table (y compris design de la carte de test IPMC, etc.)
- recevoir 4 paires les prototypes de cartes (LATOURNETTv2+RTMv1) en 05.2025
- tests approfondis des cartes prototypes au LAPP en 2025: LATOURNETT v1 (en cours) et LATOURNETT v2+RTMv1 (à partir de mai 2025)
- programmation carte IPMC pour LATOURNETT v1 (tests finaux en cours) et LATOURNETT v2+RTMv1 (nécessaire avant fin avril 2025)
- développement du firmware et software pour tests et l'intégration (pour LATOURNETT v1 et LATOURNETT v2+RTMv1)
- intégration des cartes prototypes avec d'autres systèmes au CERN: LATOURNETT v1 à partir d'avril 2025 et LATOURNETT v2+RTMv1 (quand les tests seront terminés au LAPP)
- préparation d'études de marché PCB/câblage, commandes de FPGA et FireFly

2026:

- poursuivre les tests d'intégration de LATOURNETT v2+RTMv1 avec d'autres systèmes
- FDR, pré-production, tests du pré-production
- PRR, début de production+tests
- développement du firmware et software pour tests d'intégration et la prise de données
- commandes marché PCB/câblage, autres composants

2027:

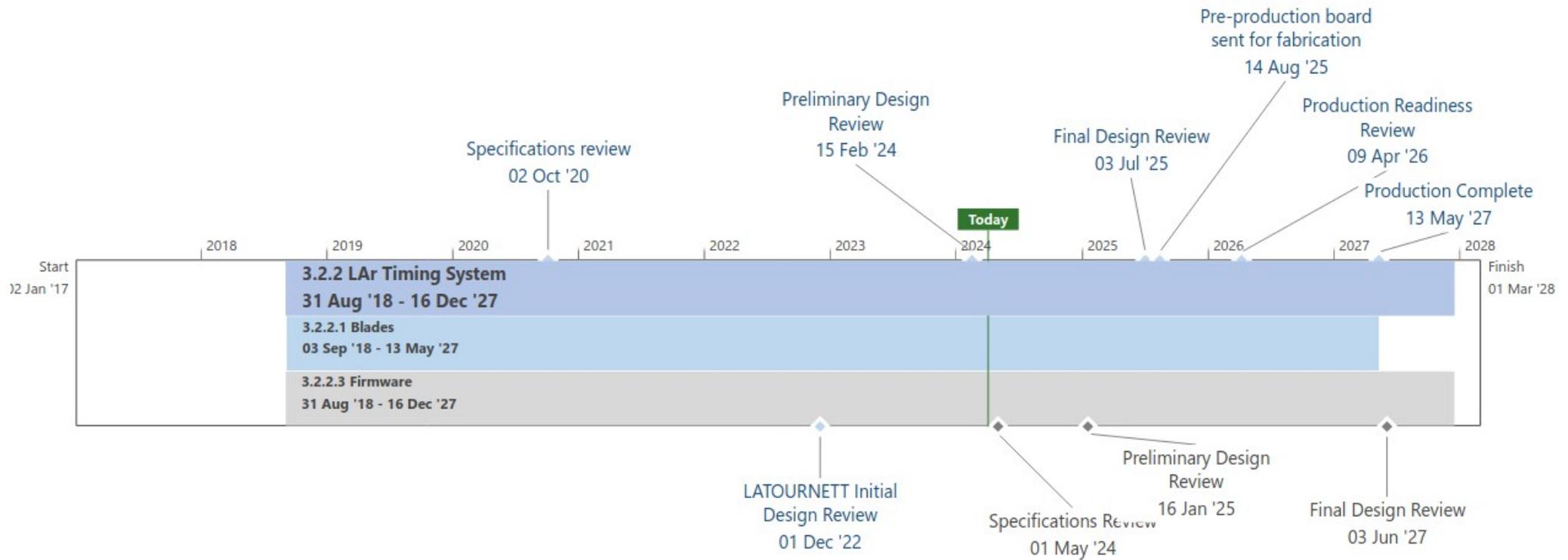
- fin de production+tests, installation
- développement du firmware et software pour la prise de données

2028:

- mise en service

Upgrade Phase 2 Électronique ATLAS LAr / LASP

Planning d'installation



Installer avant les cartes FEB2



ATLAS / LAPP



Upgrade Phase 2 Électronique ATLAS LAr / LASP

EMBA/BARREL A - 8 LATOURNETT (29/01/2027), EMBC/BARREL C - 8 LATOURNETT (25/05/2027)
EndCap A (EMEC A - 4, EMEC Special A - 2, HECFCAL A - 1) => 7 cartes (18/08/2027)
EndCap C (EMEC C - 4, EMEC Special C - 2, HECFCAL C - 1) => 7 cartes (11/08/2027)