

Présentation des projets IN2P3 au sein des DRDs

# DRD7

04 Mars 2025

Marlon Barbero, CPPM

(grand merci aux collègues qui ont fourni du matériel / des retours à brève échéance:  
Antoine, Auguste, Christophe, Didier, Fatah, Francesco, Frédéric, Giovanni, Jérôme,  
Julien, Louis, Marco, Mohsine, Renaud...)

Document complémentaire: Ressources\_IN2P3\_DRD7.xls



# DRD 7 goals

## DRD7: Electronique

Densité de données

Intelligence

4D/5D

Electronics

**DRDT 7.1** Advance technologies to deal with greatly increased data density

**DRDT 7.2** Develop technologies for increased intelligence on the detector

**DRDT 7.3** Develop technologies in support of 4D- and 5D-techniques

**DRDT 7.4** Develop novel technologies to cope with extreme environments and required longevity

Environnements extrêmes

**DRDT 7.5** Evaluate and adapt to emerging electronics and data processing technologies

Technologies émergentes

**Objectifs:** Poursuivre les R&D stratégiques en électronique, soutenir l'accès aux technologies, outils et connaissances, faire l'interface aux autres DRDs, poursuivre les DRDT.

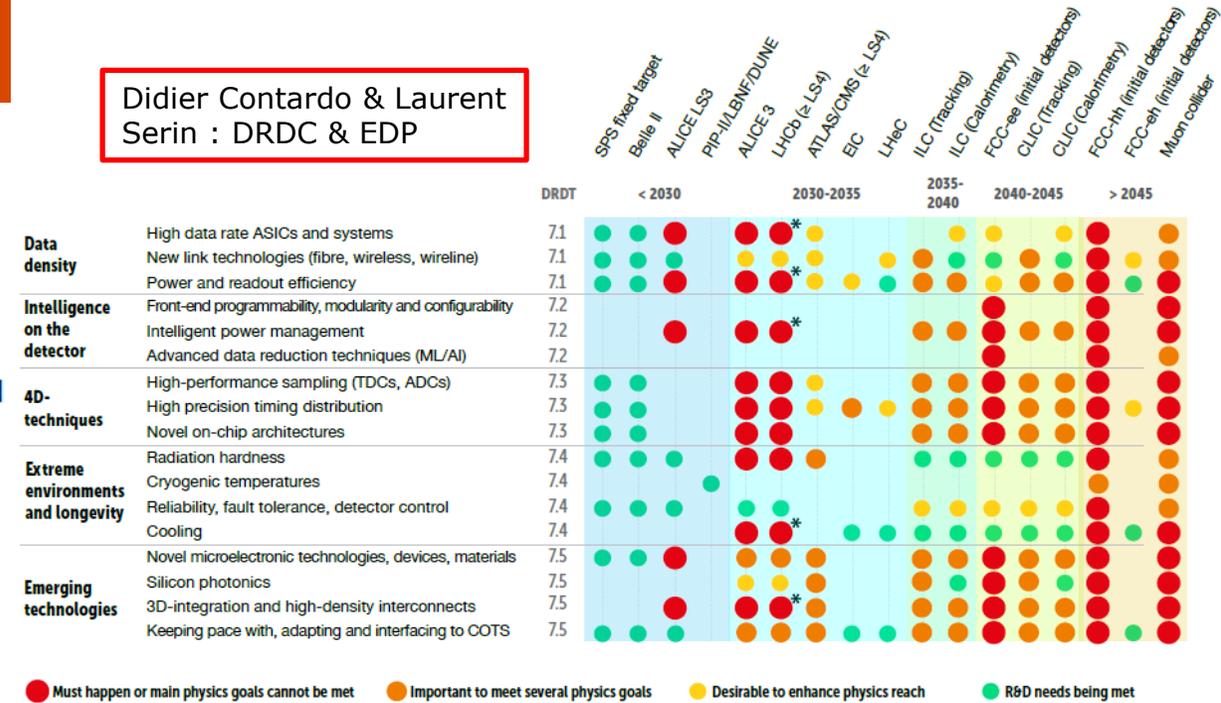
Un DRD à vocation transverse, avec une composante de soutien aux activités des autres DRDs → Parfois « à l'interface » d'autres DRDs.

DRD7 proposal 2024 → DRD7 approuvé 5 juin 2024

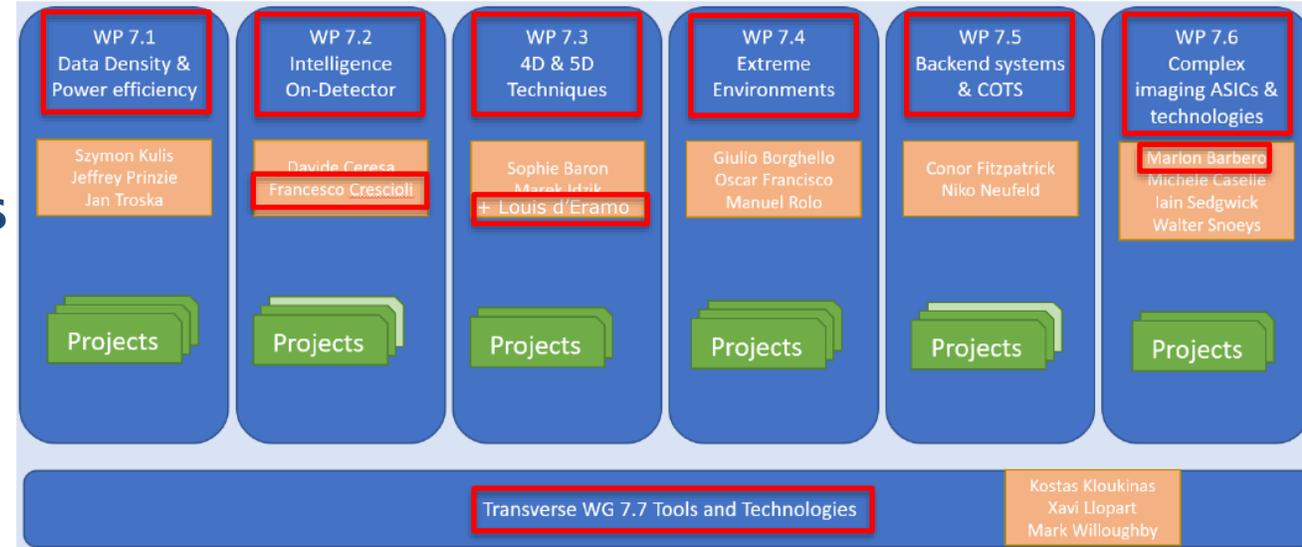
Dernier workshop: Sept 2024

<https://indico.cern.ch/event/1436991/>

Didier Contardo & Laurent Serin : DRDC & EDP



● Must happen or main physics goals cannot be met ● Important to meet several physics goals ● Desirable to enhance physics reach ● R&D needs being met





# DRD 7 : WPs & organisation

## Steering Committee

Jerome Baudot (IPHC-Strasbourg)

Marcus French (STFC RAL)

David Gascón Fora (ICCUB)

Katja Klein (RWTH Aachen)

Ruud Kluit (NIKHEF)

Angelo Rivetti (Uni and INFN Torino)

Frank Simon (KIT)

Francois Vasey (CERN)

More channels  
More bits  
Less power

Programmability, modularity, configurability  
System-level optimization

High resolution in position, time and energy  
System-level optimization

Harsh environments  
Dense heat generation and  
critical extraction

DAQ platforms survey and benchmarking  
Reference implementations  
Simplified backends

Collaborative effort on complex technologies  
Common access framework  
IP blocks

### Main roles:

- Oversees activities and progress of WPs
- Prepares annual report and workshop
- Nominates Spokesperson, Deputy Spokesperson, WP Conveners

Together with WP Conveners: **Technical Committee**

- Progress tracking and reviewing of projects
- Proposal of new Projects to Collaboration Board
- Oversight of DRD7 presentations and publications (detailed procedures to be worked out)

WP7.1  
Data density and power efficiency

PROJECTS  
7.1a Silicon Photonics transceiver development  
7.1b Powering next generation detector systems  
7.1c Wireless Data And Power Transmission (WADAPT)

WP7.2  
Intelligence on the detector

\*  
7.2b Radiation tolerant RISC-V SoC  
7.2c Virtual electronic system prototyping

WP7.3  
4D and 5D techniques

7.3a High performance TDC and ADC blocks at ultra-low power  
7.3b1 Strategies for characterizing and calibrating sources impacting time measurements  
7.3b2 Timing distribution techniques

WP7.4  
Extreme environments

7.4a Device modelling and development of cryogenic CMOS PDKs and IP  
7.4b Radiation resistance of advanced CMOS nodes  
7.4c Cooling and cooling plates \*Overlap with DRD8 to be clarified\*

WP7.5  
Backend systems and COTS components

7.5a DAQ Overflow  
7.5b From FE to BE with 100GbE

WP7.6  
Complex imaging ASICs and technologies

7.6a Common access to selected imaging technologies  
7.6b Shared access to 3D integration

F.Vasey@!  
<https://indico.cern.ch/event/1436991/>



## WADAPT : Wireless Allowing Data And Power Transmission

Contexte : Transfert de données dans les futurs trajectomètre interne : « Inner tracker »

RH : LPSC

1 physicienne, 3 IT  
+ 1 apprenti CNRS (Ingénieur PHELMA) : 3 ans

Financement reçu :

Labex Enigmass+ (7k€ en 2024)

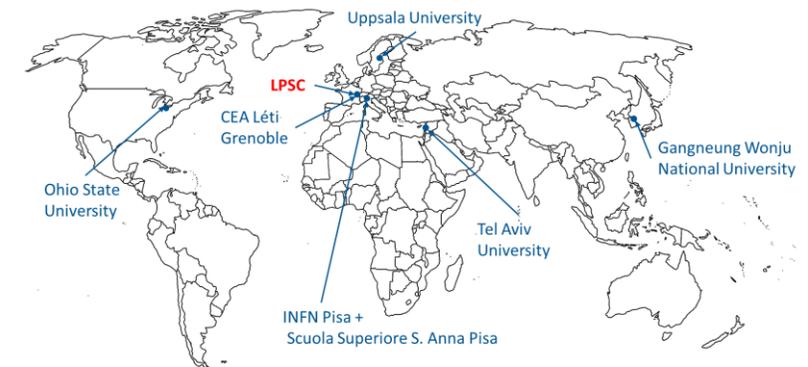
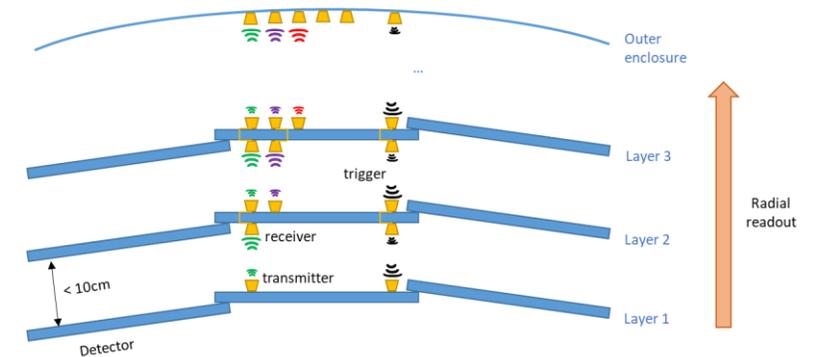
Objectif :

Développer une électronique intégrée qui sera interfacée au module de transmission sans fil :  
Phase 1 : concevoir un bloc ADC « event-driven » (low power)

Lien avec DRD7.3 :

développement ADC

Demande R&T probable !





Conveniers : F. Crescioli (LPNHE)/ D. Ceresa (CERN)

Contexte : PixESL est un framework haut niveau pour le prototypage rapide des capteurs pixélisés initié par le CERN

RH : IPHC

1 IR, 1 doctorant (Total 1 FTE)

Financement reçu :

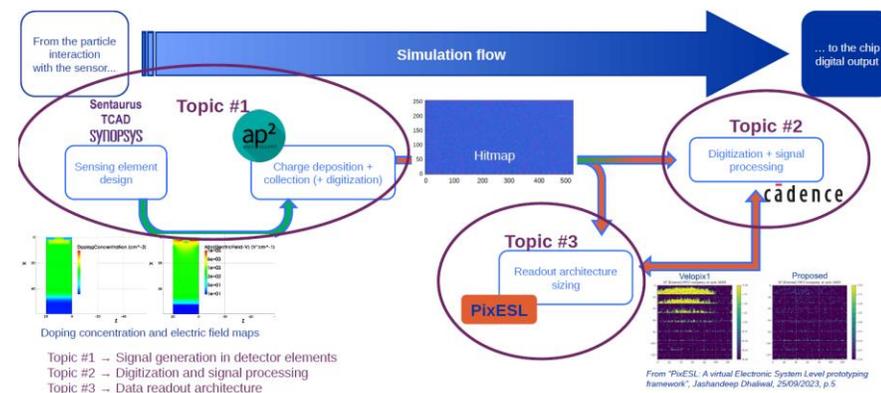
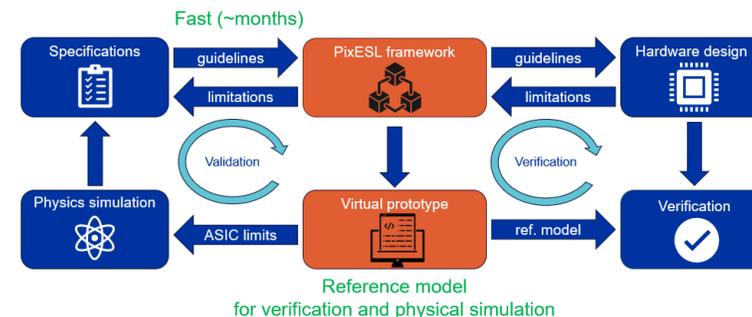
Thèse technique CNRS Nucléaire & Particules

Objectif :

- Couplage entre Allpix<sup>2</sup> (Collection de charges), Cadence (Front-end) et PixESL (readout)
- Intégration de la lecture asynchrone dans PixESL
  - 1 doctorant en partenariat avec Uni. Münster (ALICE 3)

Lien avec DRD3.1 :

Les projets DRD3.1 bénéficieront des dvps (ex: Versatile Tracker, Octopus -MAPS granularité fine en TPSCo 65 nm-)





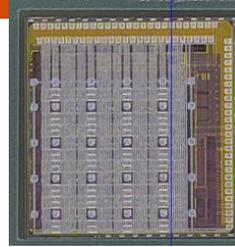
# DRD 7 : WP7.3a → TDC & ADC ultra-low power

## A) Développement de ADC/TDC low power (OMEGA):

Contexte de développement:

AC-LGADs et SiPMs EIC

- Low power ADC and TDC dans pixel array de EICROC0 (130nm/65nm)
  - Front-End analogique rapide
  - TDC wave union, peak sensing ADC
  - 4x4 pixels ( $500 \mu\text{m}^2$ )
  - Résolution temporelle cible: 25 ps
- **But:** Développer TDC pour mesure TOA & TOT pour mesure 4D
- **RH OMEGA:** K. Guillosou, F. Mehrez, D. Thienpont, A. Verplanck



## C) Développement IP2I TPSCo 65 nm

Lien projet DRD3 " Pixel matrix for tracking and timing

- **But:** IP TDC pour mesure ToA et ToT (cible ~10 ps)
- Contrainte de surface et de puissance
- Concepts type vernier (ring-oscillator), delay lines
- Implementation dans la matrice de pixels et/ou en peripherie

- **RH IP2I** M. Dahoumane 50% ETP par an
- **Soutien MP GRAM**

## B) Développement en 28 nm (CPPM):

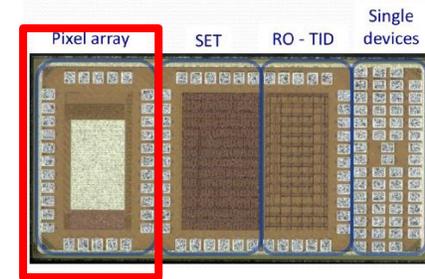
Contexte de développement: pixels hybrides / dimension timing.

- Développement d'un prototype: Pixel array

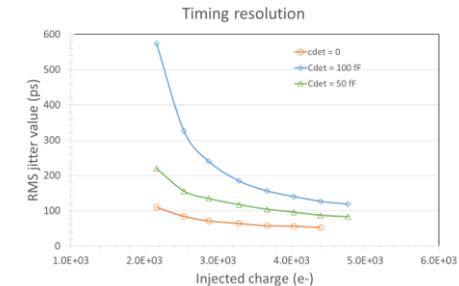
- Front-End analogique rapide
- 12x36 pixels ( $15 \times 25 \mu\text{m}^2$ )
- Résolution temporelle cible: 50 ps
- Mesure Silicium jitter: 100 ps
- **But:** Développer TDC pour mesure TOA & TOT pour mesure 4D

- Contraintes:
  - Consommation & surface
  - Plan:
    - Choix d'une architecture
    - Ajout TDC à matrice FE
    - Ajout partie numérique
    - Tests
    - Etudes d'hybridation...

- **RH CPPM:** M. Menouni, D. Fougeron, stagiaires... (thèse financée candidat TBD)
- **Soutien MP DEPHY** (DEPHY → 15k€ tot 28 nm en 2024)



CPPM: 28 nm... matrice analogue et mesure jitter





## Strategies for characterizing and calibrating sources impacting time measurements

### Contexte : Réduire les biais des mesures temporelles

#### RH : LPCA

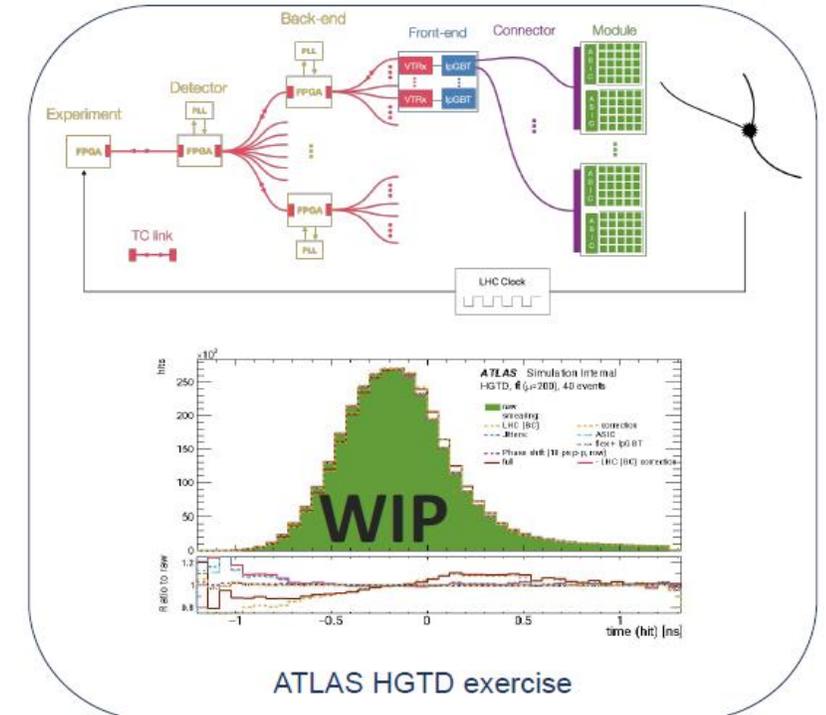
1 physicien, 1 thésard

Financement reçu : -

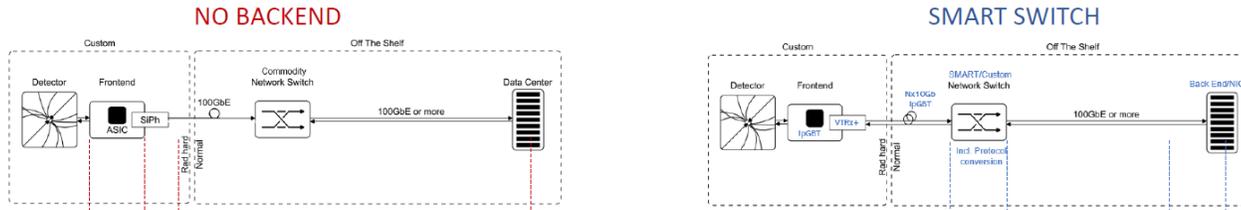
#### Objectif :

À partir des projets des collaborations ATLAS et CMS visant à mesurer un temps d'arrivée des particules à 10aine de ps, le projet sert de forum pour échanger sur les techniques et difficultés rencontrées:

- Cartographie des biais communs ;
- Définition de métriques de comparaison ;
- Élaboration d'un document de synthèse pour futurs collaborations.



# DRD 7 : WP7.3b2 Timing distribution techniques



Theme 1 : using 100GbE COTS switches to handle data-streams from the Front-End to Network Interface Cards (NICs) or even DAQ processors (CERN LBC and ESE groups).

Theme 2: design of a COTS-based high-density switch bridging the detector environment to the COTS/DAQ world (Imperial College).

Theme 3 : to explore DAQ topologies (based on custom boards for DAQ, concentration and processing) (CPPM CNRS/IN2P3, Nikhef, Brookhaven National Lab)

Theme 4 : study and design of the building blocks IPs necessary for 100Gb Ethernet cores implementation in future FE ASICs. (Rutherford Lab)

## IJClab

IJClab is in charge of White Rabbit development on Intel FPGA:

- improved performance on current Intel FPGA (Arria10) ;
- porting on new Intel FPGA family (Agilex).

Linked to:

- LHCb experiment (WR implementation on PCIe400 board for next upgrade) ;
- **TIMED IN2P3 R&T (enhanced WR)**

Persons involved in DRD7: Antoine Back, Daniel Charlet (IJCLab, IR electronic)

## CPPM contributes to Theme 1 & 2 with CIEMAT and Nikhef: Study of precise & deterministic timing distribution using Intel/Altera, PolarFire and AMD/Xilinx FPGA

- Milestone M18 (S1 2025): Report on compared phase determinism of various FPGAs (PolarFire, Agilex, Versal) and potential mitigation mechanisms

## Ressources:

- RH: R. Le Gac, J. Langouet... (demande soutien RH 2026+)

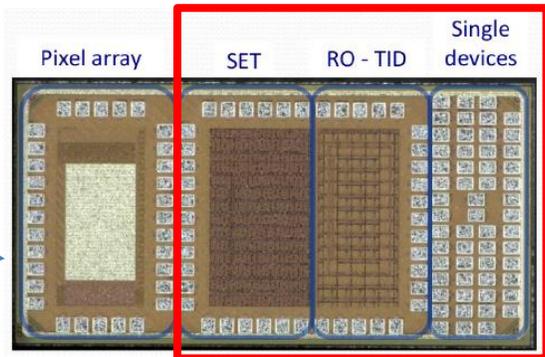
## Link to IN2P3 project

- R&T PCIe400 started in 2022 to end of 2025
- In the continuity, the **fiche projet "PCIe400"** has been prepared in Summer 2024
- KDP2 review in Septembre 2024

# DRD 7 : WP7.4b Environnements extrêmes : Radiation

Project Name	Radiation Resistance of Advanced CMOS Nodes (WP7.4b)
Project Description	This project aims to evaluate the radiation response (total ionizing dose TID, single event effects SEE, and displacement damage DD) of commercial CMOS technologies more advanced than the 65nm node for use in the next generations of ASICs for particle detectors. Duration 4-5 years.
Innovative/strategic vision	Understanding the effects of radiation on CMOS technologies is essential for the design of ASICs used in particle detectors. This project represents a first and crucial step in evaluating the performance of advanced CMOS nodes for the unique environment of particle detectors.
Performance Target	... of 40nm and technologies.
Milestones and Deliverables	... (FE) circuits in 28nm node including transistors; Design and code technology
Multi-disciplinary, cross-WP content	... ring ASIC design for the radiation resistance of the technologies used. On the other hand, the definition of radiation qualification would greatly benefit from the input of the designer. For example, ASICs developed in WP7.3a must be radiation tolerant and could also serve as valuable test vehicles to evaluate radiation effects.
Contributors	CERN AT: TU Graz IT: INEN Pavia, Uni. Bergamo, Uni. Padova, Uni. Pavia FR: CPPM

- Résistance aux radiations (nœud <65nm)
- TID, SEE, DD
- FE d'évaluation
- Tests
- Démarrage études finFET
- ...

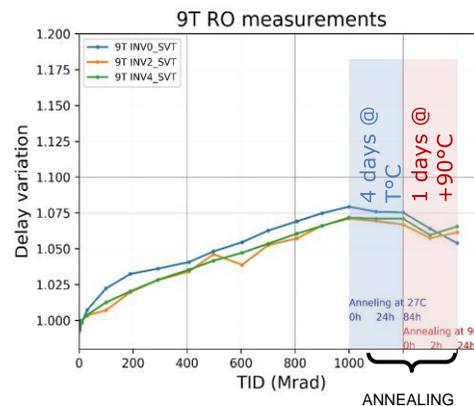


Etude de RingOscillator en technologie 28nm (CPPM - collab. Graz)

## Développement en 28 nm (CPPM):

Contexte de développement: pixels hybrides & résistance aux radiations.

- Développement de 3 prototypes:
  - SET testing structures (résolution <20 ps)
  - Ring oscillators pour tolérance TID des bibliothèques digitales
  - Single devices pour tests TID transistor
- Testé: Ring-Oscillateur
  - Tenue des bibliothèques digitales → variations des délais des portes logiques en fonction de la taille des cellules



Exemple de résultats: Cellules inverseurs 9T → <10% à 1Grad et T ambiante

Très bonne tenue aux radiations de la technologie 28 nm ... Etudes SET et transistors à suivre...

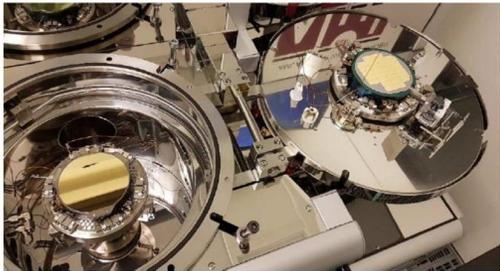
- RH CPPM: M. Menouni, D. Fougeron, P. Barrillon (apprenti I. Medebbeur)
- Soutien MP DEPHY (DEPHY → 15k€ tot 28 nm en 2024)

## Refroidissement CO2 micro-canaux:

Travaux de simulations numériques, réalisation de prototypes et essais sur banc CO2.

- Contexte et objectif :
  - a) Fabrication canaux refroidissement bas cout (CPPM).
  - b) Interconnexion microcanaux (LPNHE)
  - c) Fournir un outil prédictif pour designer des échangeurs microcanaux basse température (LPSC/LAPP).
- Laboratoires participants : [LPSC](#), [CPPM](#), [LAPP](#), [LPNHE](#) et [LEGI](#)
- Chercheur : Julien Cogan, Roman Kossakowski, Damien Colombet, Johann Collot, Giovanni Calderini, Mathieu Perrin-Terrin, Yahya Khwaira.
- ITA : Pierre Delebecque, Stéphan Beurthey, Julien Giraud, Julien Marpaud, Francesco Crescioli
- Thésard : Clément Lassagne (2024-2027).
- Financement : R&T supporté par l'IN2P3.

[Bargiel et al., Micromachines 2023, 14, 1297](#)



Thermocompression

Dvp d'un procédé bas cout de thermocompression au CPPM

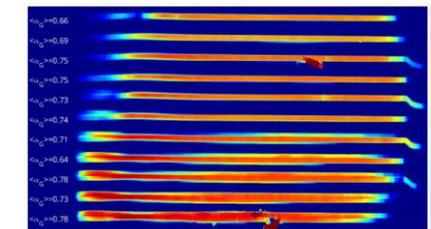


Banc de test LPSC

**Recouvrement avec DRD8 TBD dans un contexte de démarrage de DRD8**



Visualisation et mesure de l'écoulement





# DRD 7 : WP7.5b → FE - BE à 100 GbE

## Lien Ethernet à 100 Gb

Project Name	From Front-End to Back-End with 100GbE (WP7.5b)
Project Description	Develop full 100Gb Ethernet-based solutions for Data Readout links from Front-End to DAQ.
Innovative/strategic vision	Lower radiation levels and higher data throughput in future detectors open the door to envisage and investigate 100GbE-based data readout links.
Performance Target	Design and performance comparison between network demonstrators of 100GbE networks based on specific protocol designs, configurations of COTS and potentially customized switches
Milestones and Deliverables	<ul style="list-style-type: none"> <li>- Plus basse radiation &amp; plus haut data throughput → Développement de liens 100 GbE</li> <li>- COTS vs. Custom Switches</li> <li>- ...</li> </ul>
Multi-disciplinary, cross-WP content	D7.5b.3 (M24) Delivery of demonstrators of a full 100GbE system D7.5b.4 (M24) Delivery of first prototype test ASIC including protocol IPs and test report. M7.5b.3 (M36) Full report with conclusion on feasibility of 100GbE-based readout links for Front-End of future detectors Universal across HEP for detectors requiring high/concentrated data readout bandwidth. Tightly linked to other WP like DRD7.2/RISC-V or DRD7.1/links activities CERN
Contributors	FR: CPPM CNRS/IN2P3 NL: Nikhef UK: Bristol University <sup>†</sup> , Imperial College, Rutherford Lab US: Brookhaven National Lab <sup>†</sup>

**CPPM contributes to Theme 3 with Nikhef/BNL: Existing back-end board adaptation to explore DAQ system topologies and 100GbE links using custom boards namely PCIe400 and FELIX**

- Milestone M12 (end 2025) Demonstrator of a FEC-based asymmetric 100GbE link with IpGBT as Front-End-nodes & **Report on generic implementation of 100GbE on current custom BE**
- Milestone M24 (end 2026): **Demonstrators of a full 100GbE system with existing & emulated Front-End ASICs, COTS & smart switches, commercial NICs & custom Back-End boards**, and custom Software
- Milestone M36 (end 2027): **Full report with conclusion on feasibility of 100GbE-based readout links** for Front-End of future detectors

### Ressources

- RH: R. Le Gac, J. Langouet... (demande soutien RH 2026+)

### Link to IN2P3 project

- R&T PCIe400 started in 2022 to end of 2025
- In the continuity, a **ficher projet "PCIe400"** has been prepared in Summer 2024
- KDP2 review in Septembre 2024

Theme 3 : to explore DAQ topologies (based on custom boards for DAQ, concentration and processing) (CPPM CNRS/IN2P3, Nikhef, Brookhaven National Lab)

# DRD 7 : WP7.6a access to selected imaging technologies

## Accès commun à des technologies d'imageurs CMOS

### Contributors

CH: CERN  
FR: IN2P3: CPPM, IPHC, IP2I + others  
IT: INFN(TO, TIFPA, MI, BO, PD, PV, PG, PI)  
NL: NIKHEF  
NO: UiB, UiO and USN  
UK: STFC  
US: TBC, SLAC already doing effort

**Buts:**  
L'accès aux technologies imageurs complexes / process modifié à travers des MPWs standard est difficile → fournir framework pour faciliter cet accès.

- Soutien l'accès techno CMOS monolithique
  - TPSCo 65 / TJ 180 → Un seul point d'interface aux foundries
  - PDK support, design flow...
  - Organisation MPW/ER
  - Thinning et découpage
- Soutien développement IPs:
  - Déjà beaucoup d'IPs disponibles... ou en cours de développement
- Implication de la communauté française sur 2 technologies:
  - TJ 180nm, TPSCo 65nm

Pt accès : IPHC

Dvp IPs + lien projets DRD3

Co-conveniers DRD7.6a: M.B. / I. Sedgwick / W. Snoeys  
(+ implication M. Rolo -LF110- et J. Baudot -TJ 180 / liaison DRD3.1-)

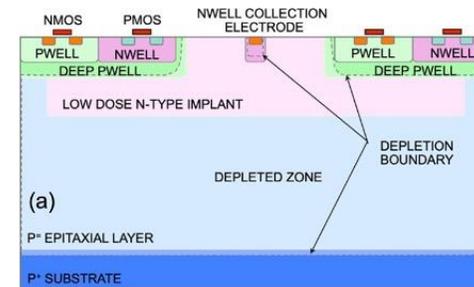
## Résumé activités TJ 180:

### 1- Capitaliser sur un travail de 10+ ans !

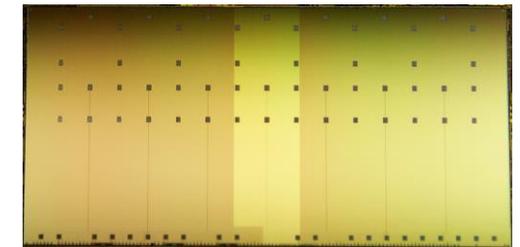
- Beaucoup de blocs existent mais nécessite organisation pour les partager (documentation, question IP, etc...)
- Utilisée dans ALPIDE (ALICE-ITS2)
- Développements courants: MIMOSIS pour CBM, OBELIX pour Belle II VTX...

### 2- Soumissions:

- Quartpic1 finalisé en 2022.
- Prochaine soumission : Quartpic2 ~2 mois (avec entre autres des structures de tests avec gain)



Etude modification de process



ALPIDE (15x30 mm²) pour ALICE-ITS2



# DRD 7 : WP7.6a access to selected imaging technologies

## Résumé activités TPSCo 65 nm:

1- Dans DRD7.6a, travail spécifique avec les groupes (parallèle à dvp spécifique pour ALICE (MOSAIX...)):

- Qualification de la techno pour HEP (MPR1)
- Etude de possibilité de stitching (capteurs MOSS et MOST de 26cm et fonctionnels ER1).

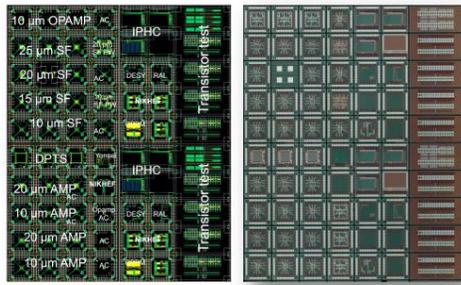
2- Organisation de la communauté:

- Signatures NDA pour de nouveaux groupes
- Nouveau PDK pour new metal stack (règles de design high yield pour capteurs stitché)
- ER2 (approx. été 2025. MOSAIX & chiplets –SPARC, RO...-), puis MPR2 approx mi-2026

3- Développements IPs (MOSAIX ou test IC):

- Bibliothèques spécifiques pour stitching
- Bandgap, capteur température
- LDOs
- TDC et ADCs
- Serialiseur
- ...

MPR1



## Développement récents (focus IN2P3):

1- Nouveau metal stack en TPSCo65:

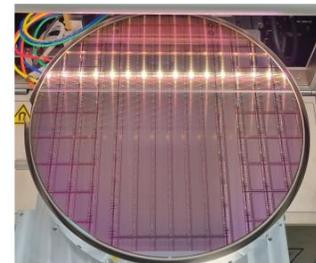
But → stitching en TPSCo 65 nm → nouveau Ring Oscillator (poursuite de caractérisation des bibliothèques digitales techno)/ CPPM ([Soutien MP DEPHY 2024 20.5k€ / MP GRAM 2024 ...](#))

2- Implication IP2I, LPNHE, APC :

→ Développement d'IPs, lien aux autres projets DRDs (fast ADC par APC, TDC par IP2I...) ([Soutien MP GRAM](#))

3- Préparation du run Quartpic2 en TJ180 nm

→ IPHC à la manœuvre



ER1 TPSCo 65 (étude stitching MOSS & MOST proto)



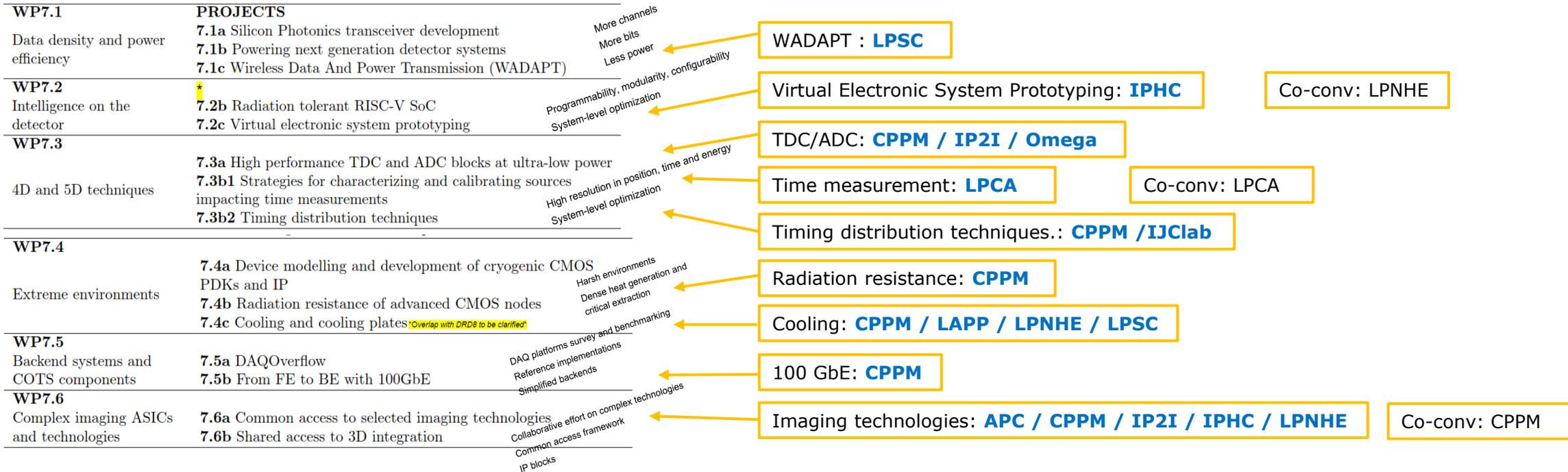
MIMOSIS pour CBM en TJ 180

**A clarifier : mécanisme de soutien DRD3.1 vs. DRD7.6a**



## Présence importante des équipes IN2P3 en particulier dans ce DRD à vocation relativement transverse, signe du dynamisme de notre communauté!

DRD7 steering committee: J. Baudot



→ Ressources IN2P3 et liens DRD7 vis-à-vis autre DRD?

→ Recouvrement MP vs Fiche Projet vs Projet DRD ...

(par ex: DEPHY, finance Belle II VTX upgrade... hors programme des DRDs ... DEPHY → 12.3k€ en 2024 pour CPPM+IPHC)

→ Projections RH / budgétaire (voir document annexe Ressources\_IN2P3\_DRD7) ...



# Backup



## **2. Lien avec le Master Projet existant et impact**

- a) Existence d'une fiche projet associée (date de dernière actualisation)
- b) Evolution/comparaison des livrables
- c) Evolution/comparaison des jalons
- d) Evolution/comparaison de RH et du financement, besoins additionnels liés à la contribution DRD
- e) Impact des partenaires DRD (dans l'organisation, le pilotage, le partage des responsabilités, les ressources)
- f) Risques spécifiques liés aux DRD



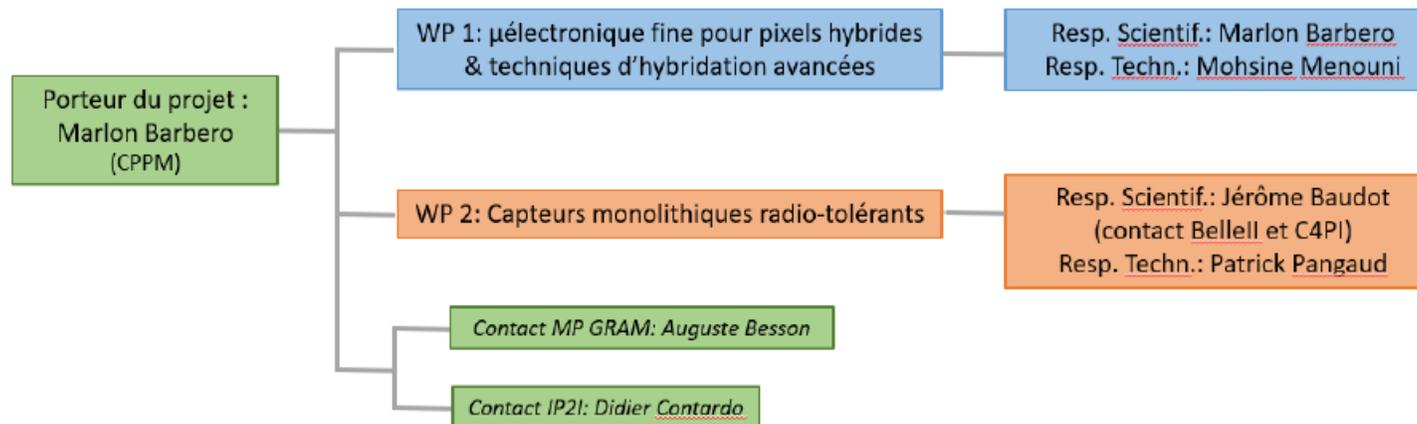
## 2. Lien avec le Master Projet existant et impact

a) Existence d'une fiche projet associée (date de dernière actualisation)

MP DEPHY (dernière version du document mise à jour Juin 2023 mais discussions chaque fin d'année avec tutelles → résultats & financement).

→ 2 WPs: WP1 développements **28nm** / WP2 **Capteurs Monolithique Depleted CMOS**

→ Prend en charge lien Depleted CMOS, TJ-Monopix2 et **OBELIX** Belle II VTX



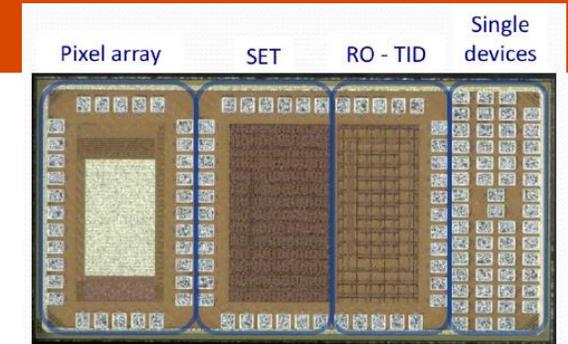
Organigramme simplifié du projet



b/c) Evolution/comparaison des livrables / jalons  
(en jaune, vient de **fiche MP objectif atteint** / **en bleu remarques**)

- **WP1 (pixels hybrides) :**

- **Printemps 2023** : Prototype 28 nm : finalisation test setup
- **Printemps 2023** : Prototype 28 nm : retour de production et tests fonctionnels
- **Automne 2023** : Prototype 28 nm : adaptation test setup pour études TID
- **Automne 2023** : Prototype 28 nm : campagne tests TID → Oui pour RO, mais pb avec Single Devices proto; Tests RO → tenues des librairies digitales
- **Fin 2023** : Prototype 28 nm : adaptation test setup pour études SEE/SET → en cours
- **Fin 2023 / début 2024** : Prototype 28 nm : 1ere campagne test SEE/SET (Louvain ou/et GANIL)
- **2024** : Conception matrice 28 nm avec blocs IP (Cadence, etc...) → démarrage activité
- / Participation à une conception éventuelle pour RD53 (post-RD53 ... TBD)
- **Fin 2024** : Conception du capteur afférent en vue d'études hybridation
- **Fin 2024 - début 2025** : Mise à jour système(s) de test
- **2025** : Test de la matrice et des blocs IPs développés
- **2025** : Etudes d'hybridation
  - → décalage approx 1an : Délais de fab sous-estimes, pb proto, RHs...





b/c) Evolution/comparaison des livrables / jalons  
(en jaune, vient de **fiche MP objectif atteint** / **en bleu remarques**)

## **WP2 (depleted CMOS rad-hard) :**

**2023** : Finalisation développement capteur Obelix v1 (Belle II VXD upgrade) → en cours de finalisation début 2025

**Début 2023** : Continuation tests TJ-Monopix2 (TJ 180 nm)

**Début 2023** : Etudes complémentaires de caractérisation du prototype TPSCo 65 nm

**2023** : (selon opportunités et besoins) campagne test TID, participation campagne test beam (TJ 180 nm)

**2023** : Poursuite tests LF-Monopix2, laboratoire + irradiation (LF 150 nm) → Choix de finaliser cette activité pour se concentrer sur TJ180 et TPSCo65

**2023-2024** : (selon développements collaborations) participation ER2 (TPSCo 65 nm)

**Fin 2023 - 2024** : Tests Obelix v1 (Belle II VXD upgrade)

**2024** : Mise en œuvre de la solution arrêtée par collaboration Obelix v2

**2024** : (selon opportunités) Participation design LF 150 nm (suite activités RD50, cadre ECFA) →

**Plus d'actualité pour CPPM**

**2024 - 2025** : Test prototypes développés

**2025** : (selon développements collaborations) poursuite des études en technologie fine (TPSCo 65 nm)



## Lien DEPHY / CPPM

d) Evolution/comparaison de RH et du financement, besoins additionnels liés à la contribution DRD

→ Perte ingénieurs analogiques au CPPM

→ Compensation à travers apprentis, stagiaires, CDD design numérique et thèse technique (orientée Capteurs monolithiques & OBELIX)

→ Importance d'un soutien micro-électronique (thèse technique?) et de continuer notre politique (apprentis, stagiaires, etc...)

→ Impactera les deux WPs

→ Impactera DRD7.3a / DRD7.6a (et DRD3.1 – Octopus / FCC-SEED en particulier)

e) Impact des partenaires DRD (dans l'organisation, le pilotage, le partage des responsabilités, les ressources)

→ Impact à suivre...

→ Synergies pour les projets concernés (internes IN2P3 et externes...)

f) Risques spécifiques liés aux DRD