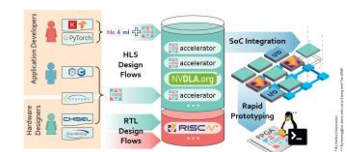
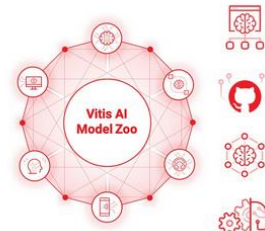
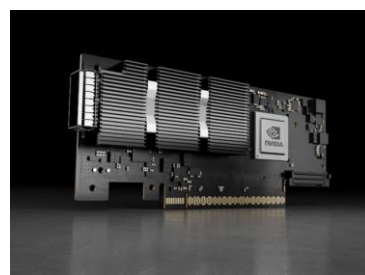
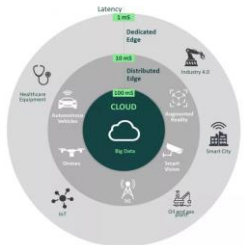


# L'apprentissage profond en Instrumentation



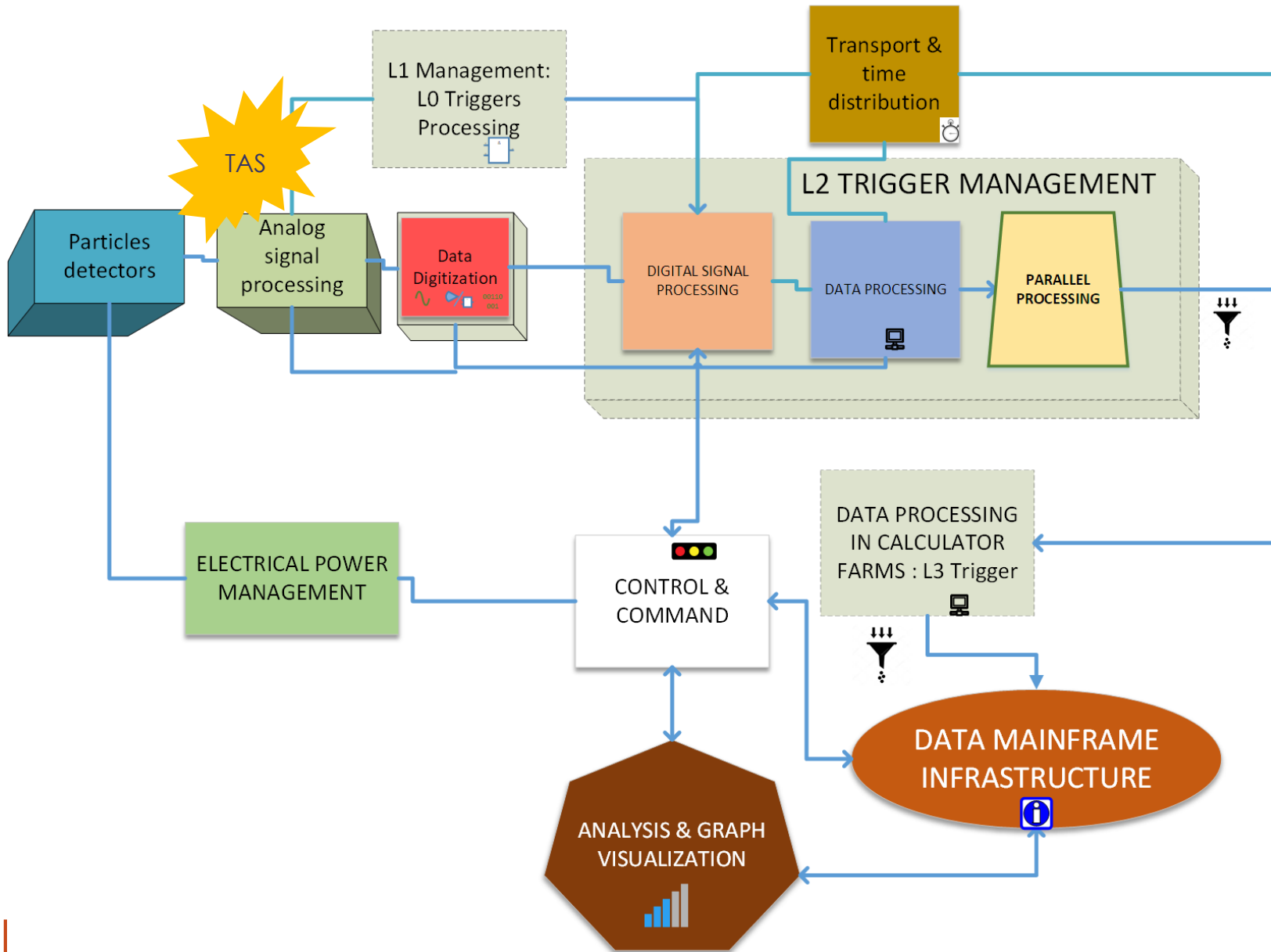
➔ Proposition OSCAR

Open System for capacitive Sensor aCcess & reAdout with aRtificial intelligence

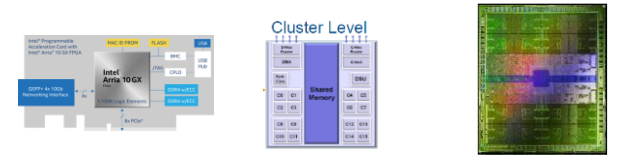


Accelerator generation with hls4ml 	Automatic integration in ESP 	Full-system RTL simulation 	Full-system test on FPGA 
--	----------------------------------	--------------------------------	------------------------------

# Open System for capcitive Sensor aCcess & reAdout with aRtificial intelligence



## Intelligent algorithms

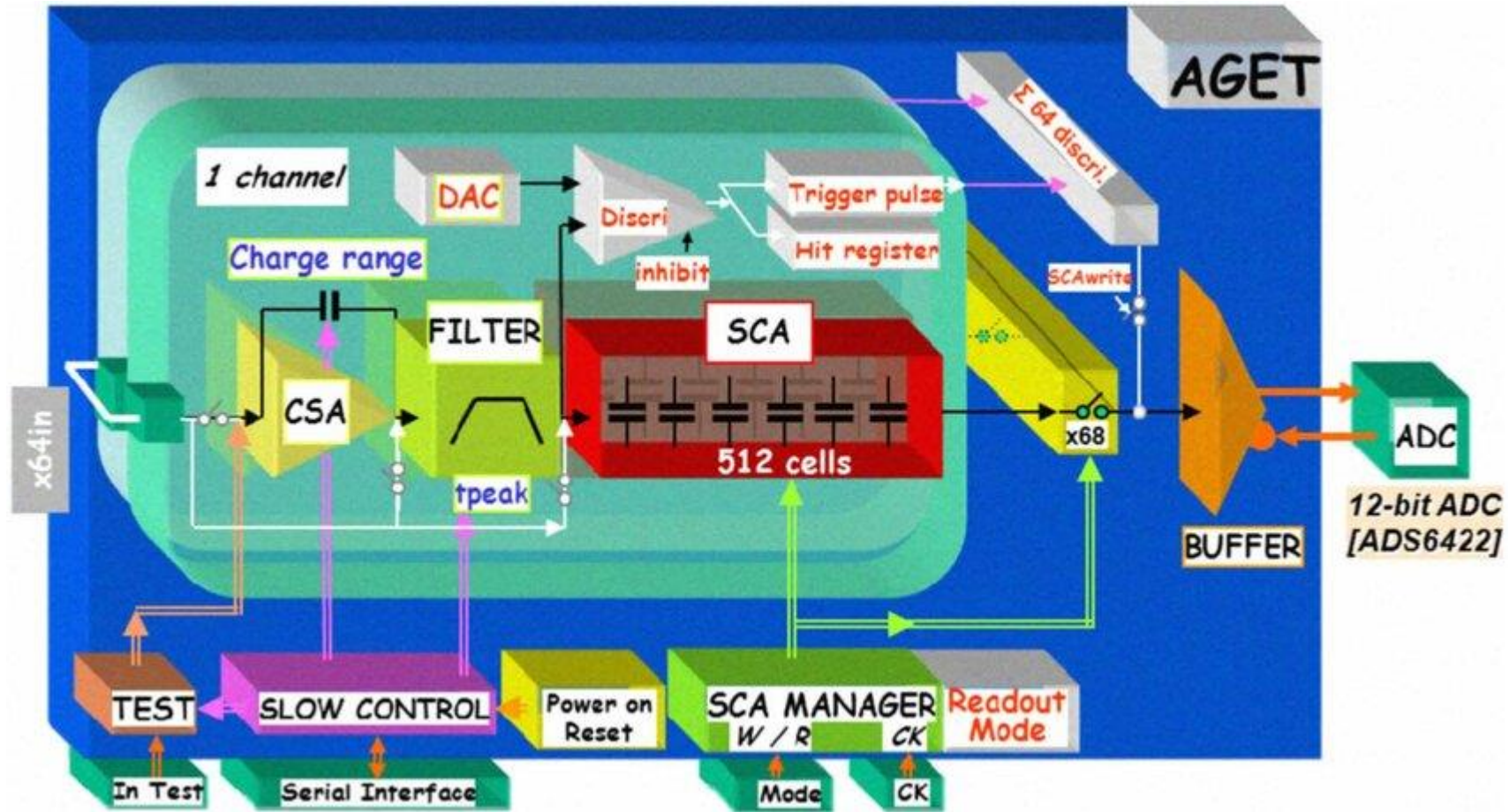


## Reduced Data and Selection management:

- L1: FPGA, ASIC, SNN
- L2: FPGA, GPU, SNN
- L3: GPU, MPPA, Accelerated Card
- DSP post-ADC

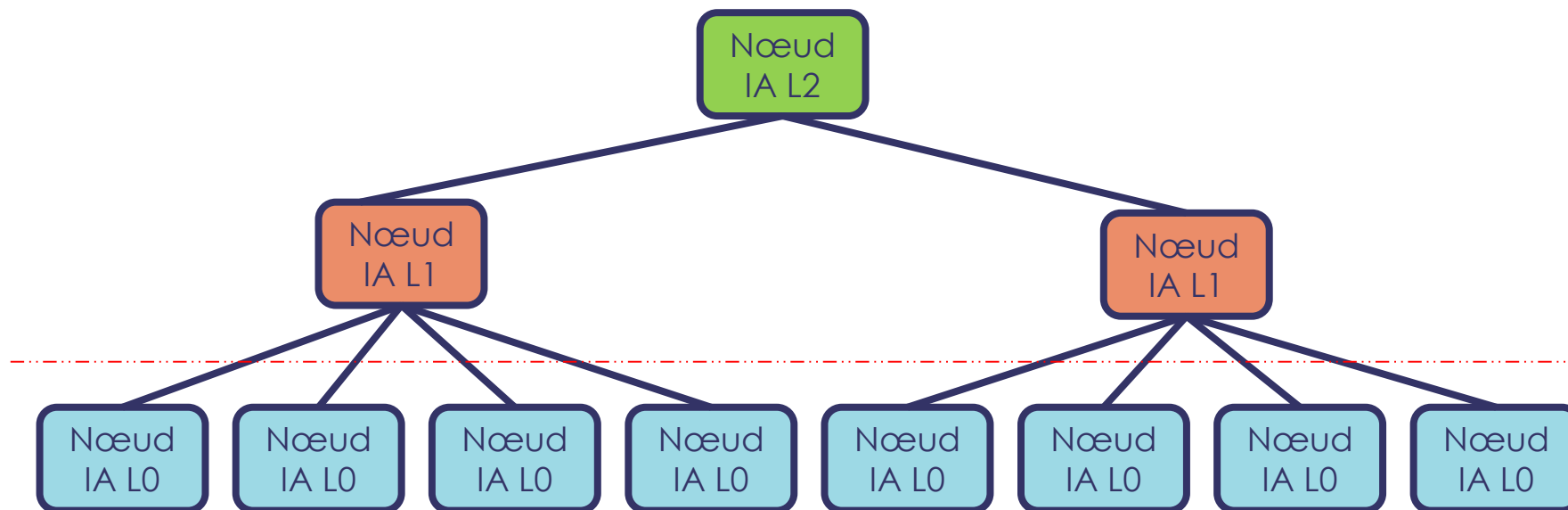
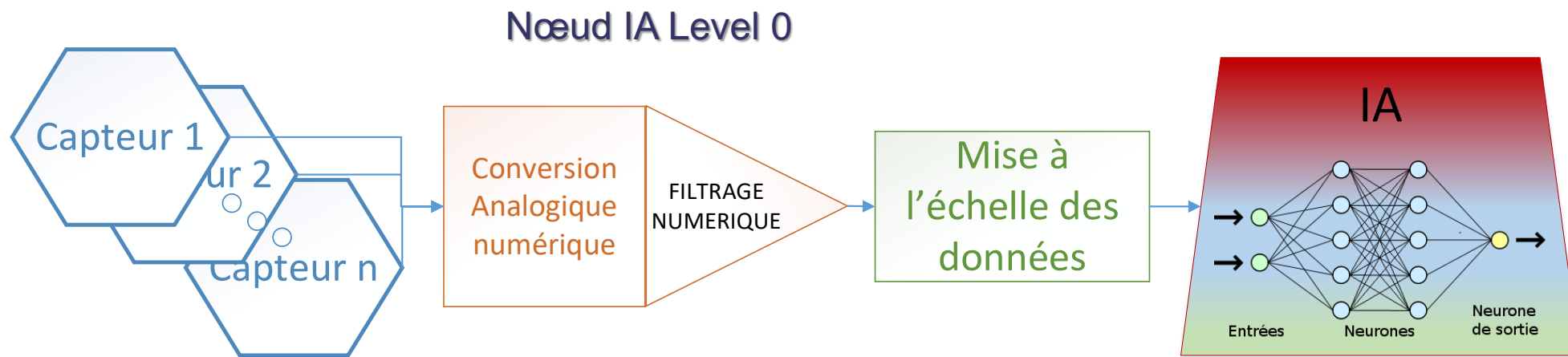


# AGET Architecture (2009) → Full digital architecture (2025...)



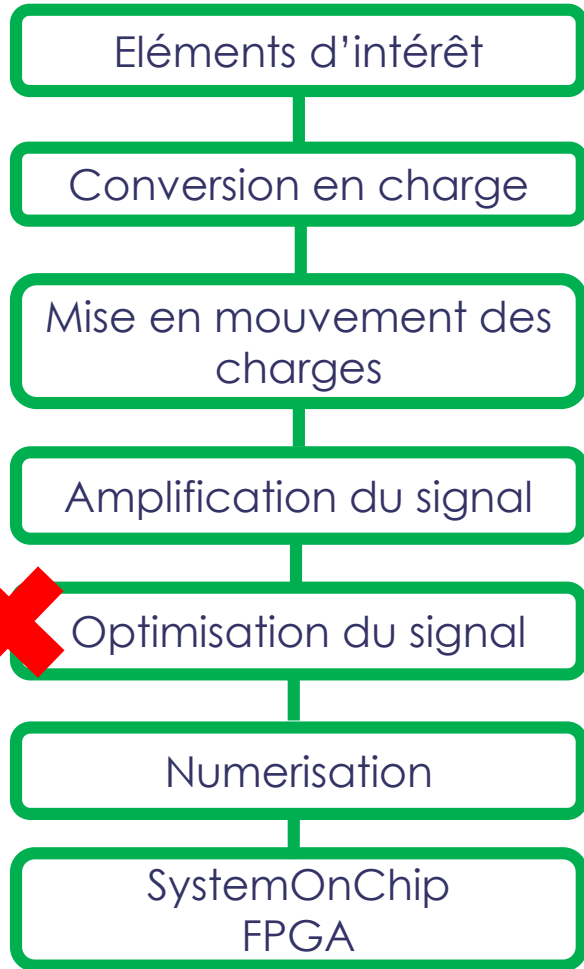
Est-on capable de réaliser une architecture multi-canaux avec ADC et processeur ?

# Open System for captive Sensor Access & readout with Artificial intelligence

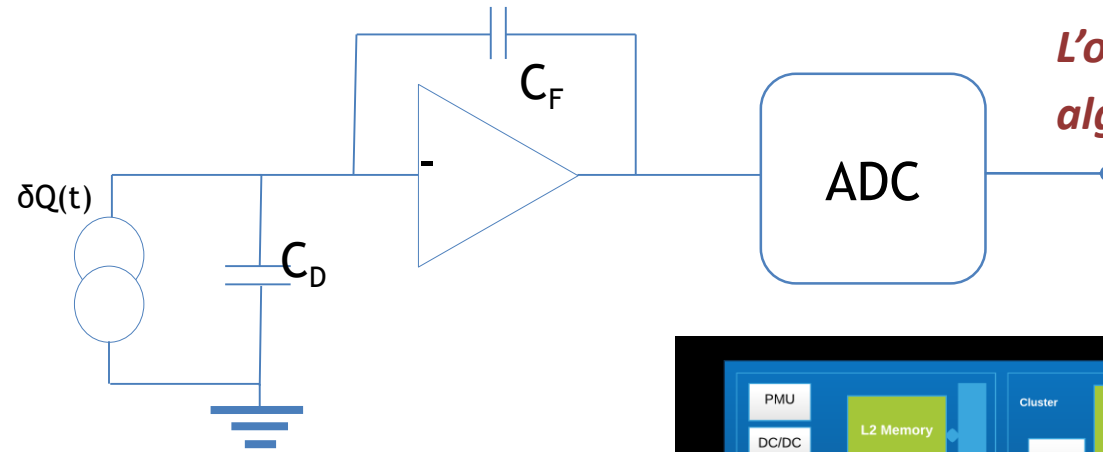


# Problématique OSCAR-AI

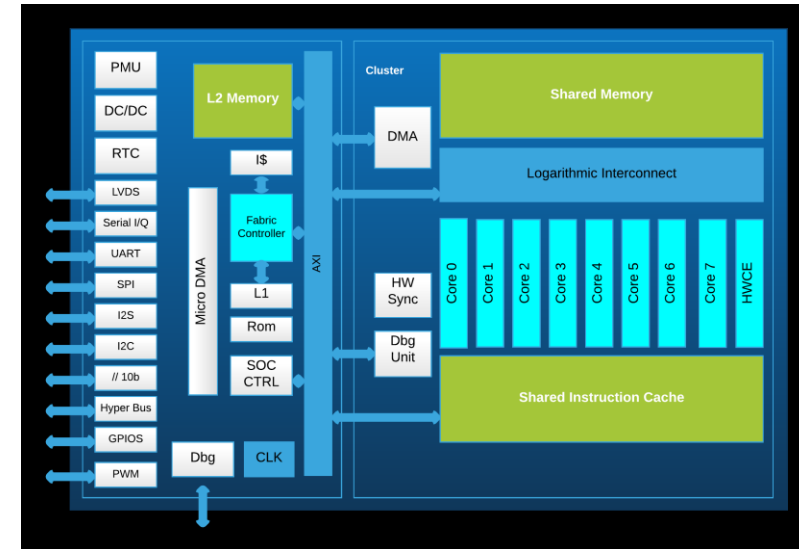
Open System for capacitive Sensor  
aCcess & Readout with Artificial  
Intelligence



PAC, PAI



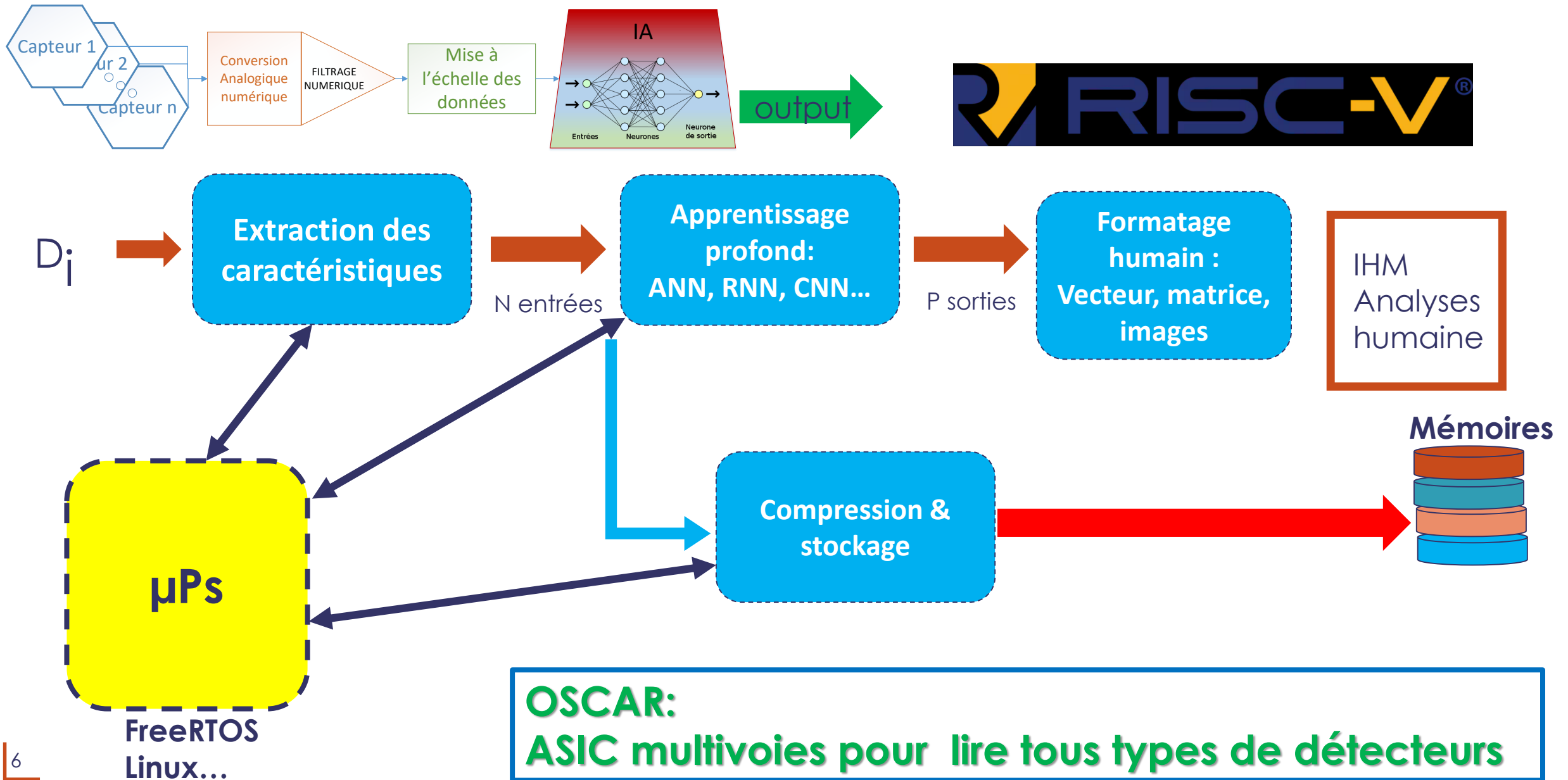
*L'objectif est de définir le bon  
algorithme.*



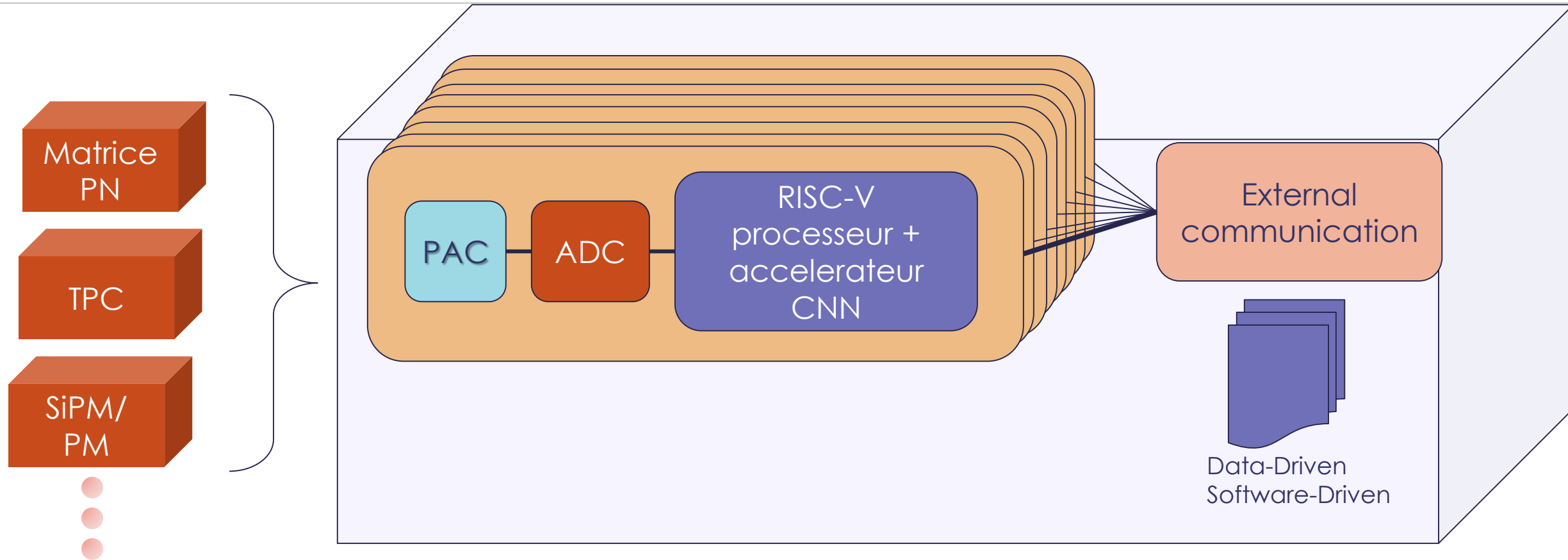
IA Edge avec Risk-V

Signal recognition  
Pile-Up recovery  
Signal deconvolution  
denoizing

# OSCAR: L'architecture numérique générale / idéale

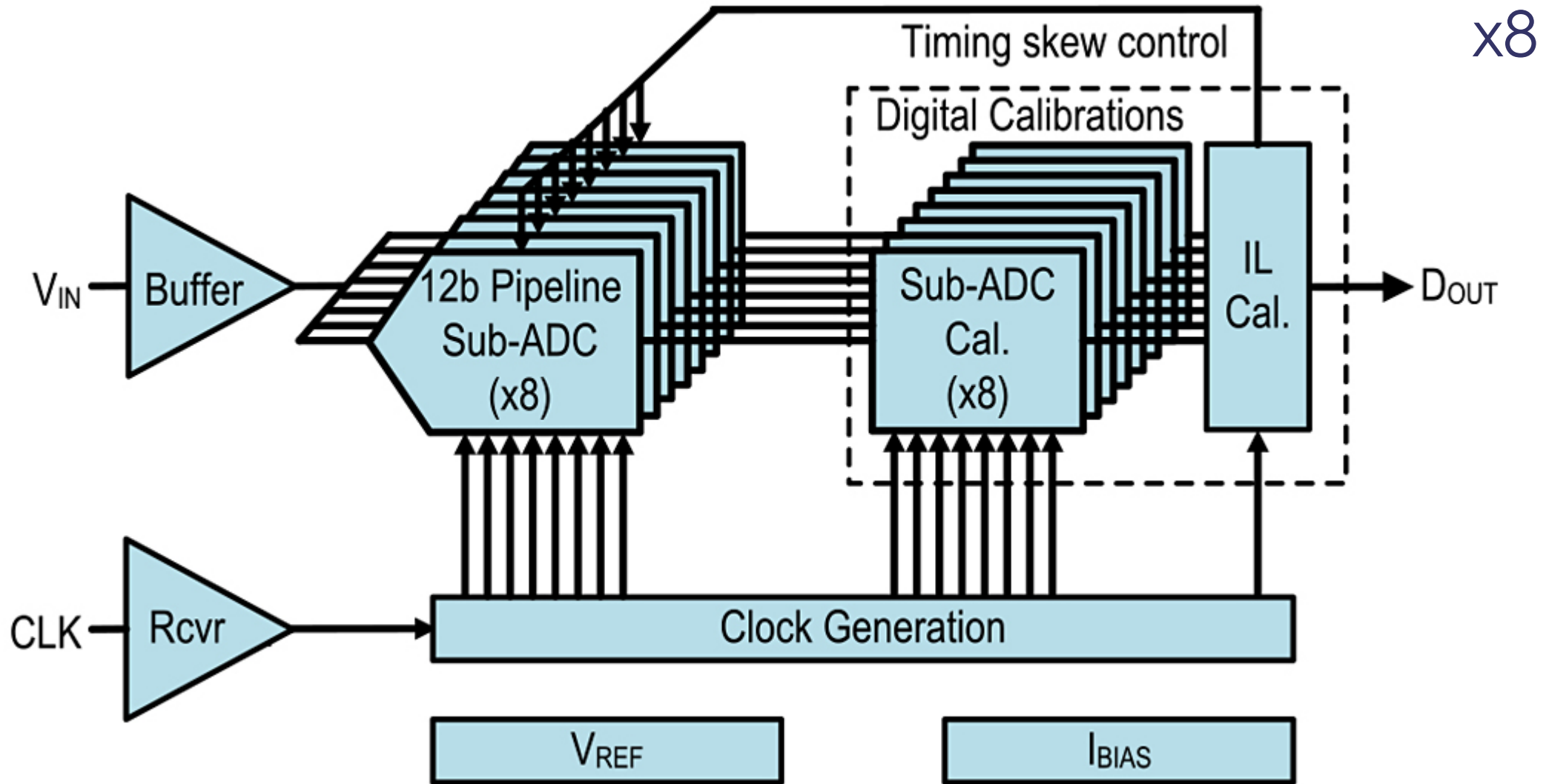


# ANR OSCAR: Un instrument de lecture universel



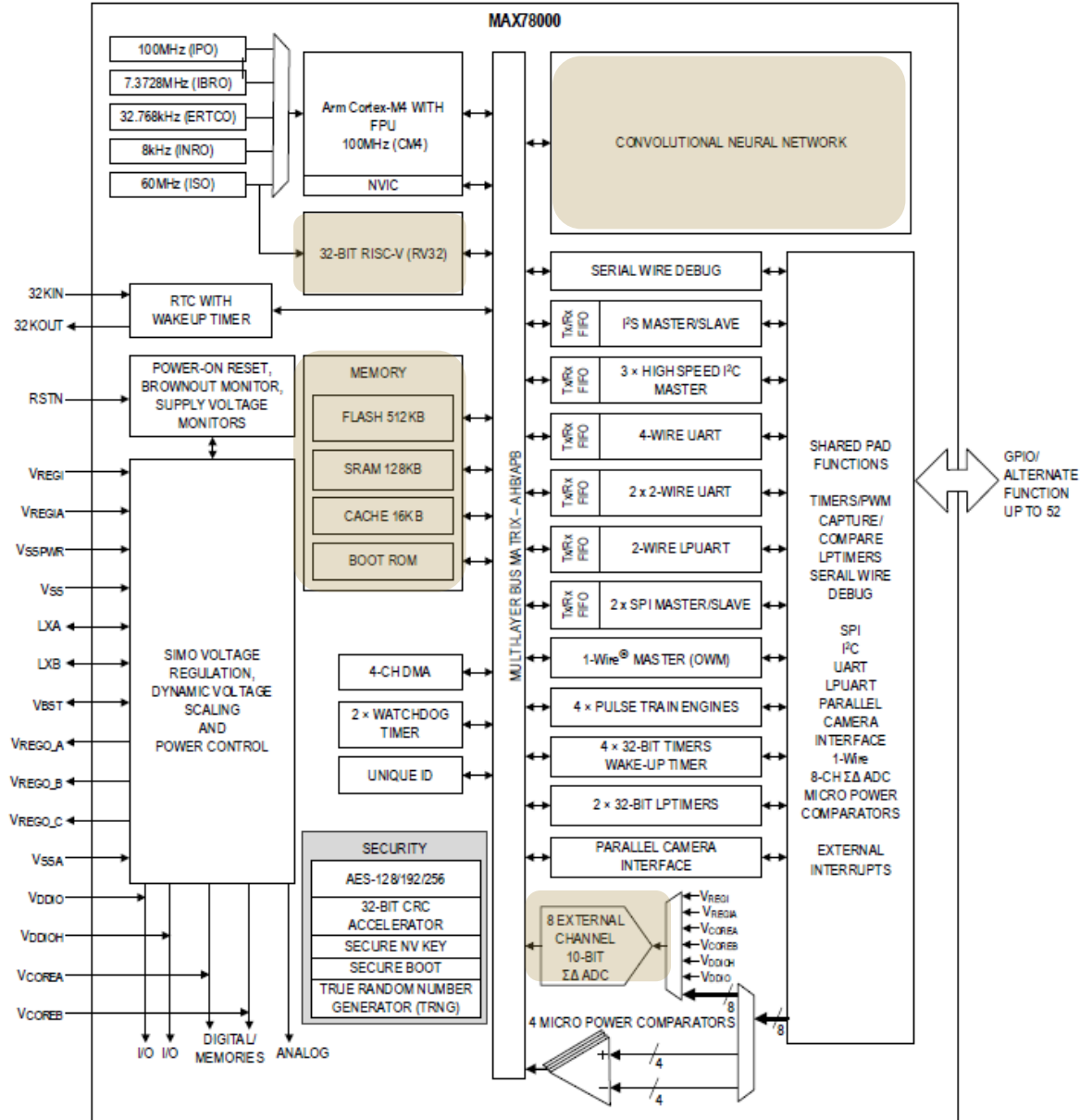
1. est-on capable de faire une telle architecture ?
2. Quel ADC utilisé ?
3. Quelle finesse de gravure ?
4. Comment implementer Shaper en AI ?

# ADC minimum 200MHz (Challenging)

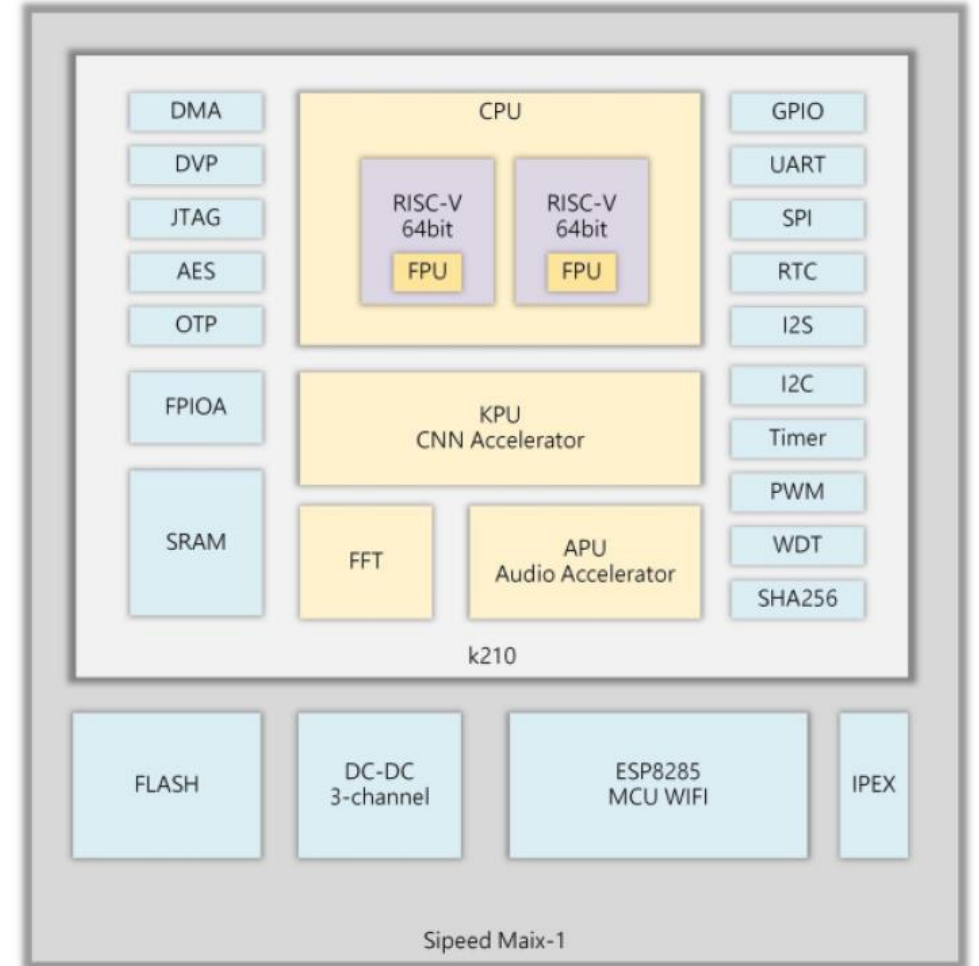




# Microprocesseur : Exemple d'architecture commerciale



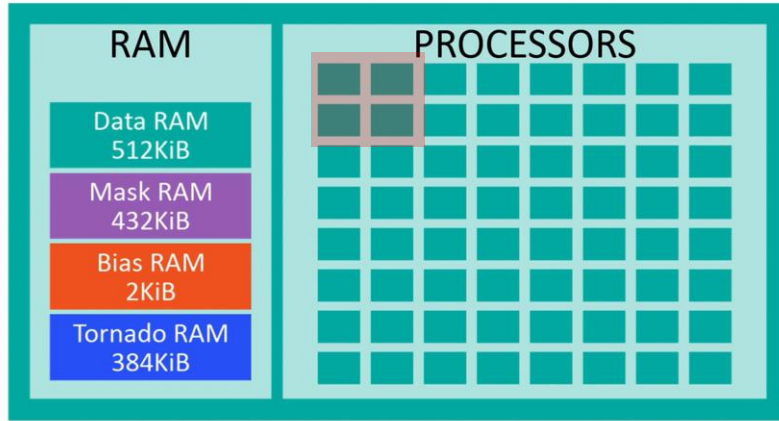
Kendryte 210 (Sipeed)



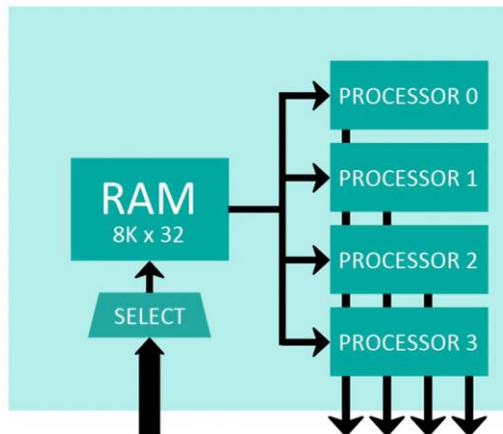
# Micrôprocesseur : Exemple Coprocesseur CNN



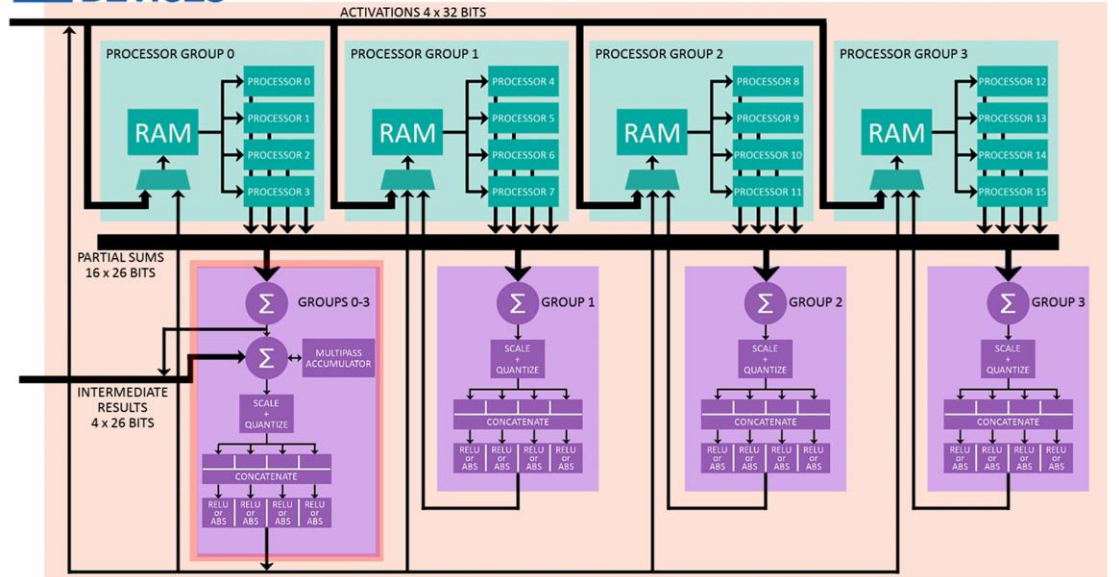
## MAX78000 CNN Accelerator



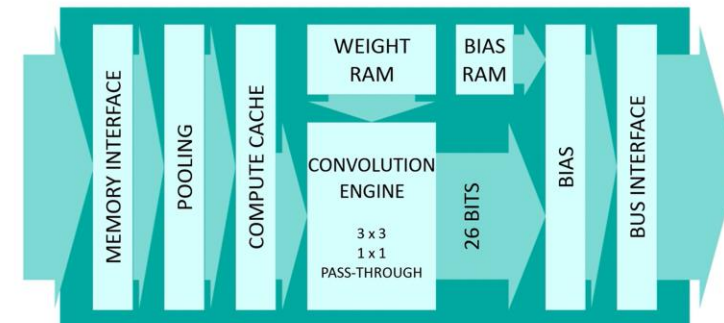
### The Processor Group



## The Processor Quadrant



## The Processor Element



# Les Tâches

## 1. Modélisation Numériques

Génération de données

Neutrinos (R2D2)

PhyNu (Actar)

Création de modèle de réseaux de neurones

Déconvolution

Débruitage

## 4. ASIC OSCAR

PAC multiGain

ADC 200MHz

RISC-V

Communication



## 2. Maquette en électronique discrète

PAC R2D2/ ACTAR

ADC 200MHz

RISC-V sur FPGA

## 3. Optimisation du RISC-V

Applications R2D2/ACTAR

Hardware implementation

## 5. Logiciels de configuration

Asymmetric Multi-Processor Configuration

OSCAR C&C

## 6. Démonstrateur

Neutrinos (R2D2)

PhyNu (Actar)

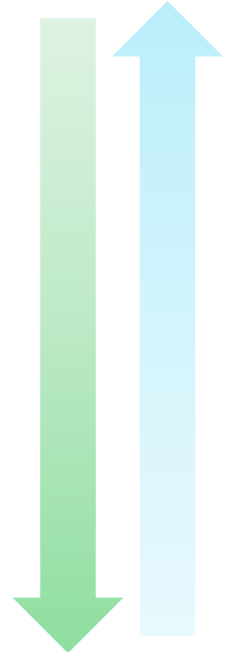


Multi-channel

projets de recherche collaborative entre entités publiques et privées présentant une ouverture vers le monde de l'entreprise (PRCE).

- ➔ Développer la partie processeur RISC et CoProcesseur AI dans nos applications  
Développement des produits de la société XXXX avec AI
- ➔ Développement d'une structure logicielle associée à une matrice de processeurs  
Construire des modèles IA liés au TNS
- ➔ Construire un composant système universelle pour détecteur capacitif  
Résoudre des problèmes de déconvolution/débruitage en ligne  
Simplifier nos instruments  
Fiabiliser et gérer la consommation

ENTREPRISE R&D



IN2P3 R&D



### → Groupes de réflexion

- Architecture ADC
- Architecture RISC-V + CoProcesseur
- Aspect Logiciel de configuration
- Architecture système
- Applications
  - Modèle IA
  - Instruments pour la Physique

→ RH: 10 personnes ont validés leur participation à la demande ANR

**Recherche: 1 µelectronicien pour la partie ADC**

**1 DAQ Traitement du signal par IA**

**Des applications (détecteurs) pour tester les futurs démonstrateurs**

 Pour participer, Engagement des DUs

