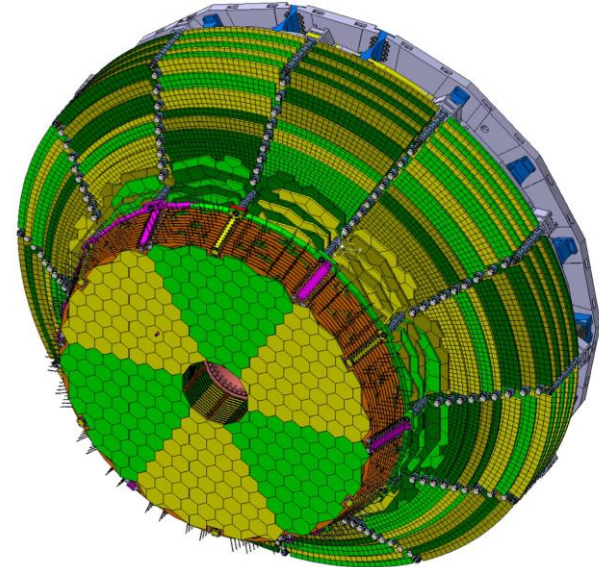
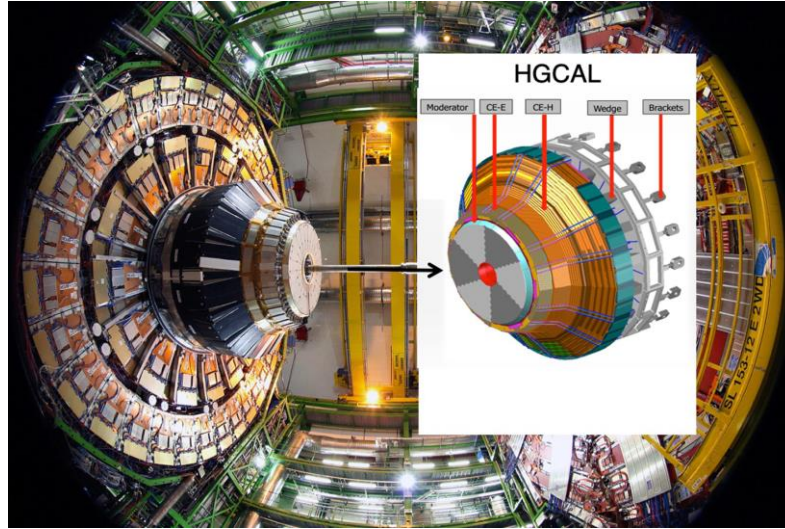


# CMS HGCAL : Wagons HD



Olivier Le Dortz, Andrew Gilbert pour l'équipe CMS du LLR

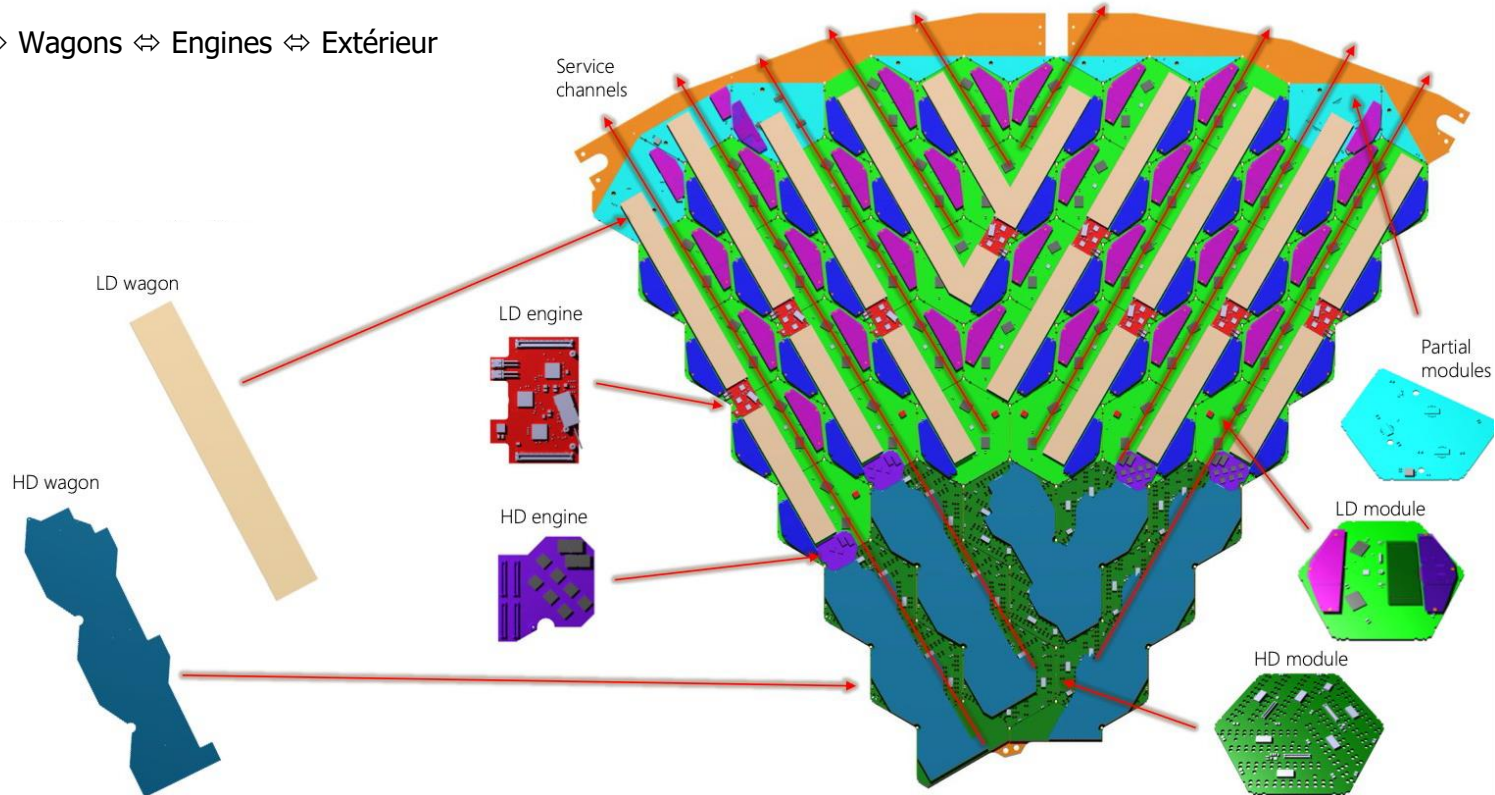
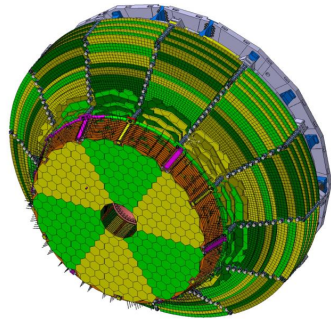
Conseil Scientifique du LLR, 18 janvier 2024

# HGCAL Electronics System Overview (SI Region)

Crédit: P.Aspell, CERN

Vue d'une cassette HGCAL  
CE-E (Double Sided)

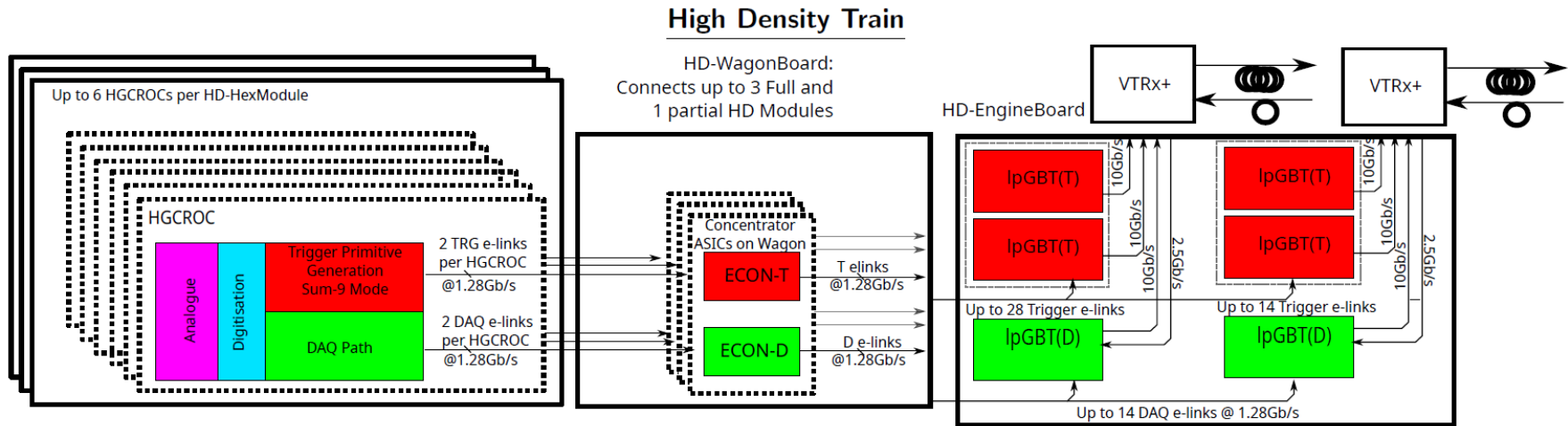
Modules (hexaboards) ↔ Wagons ↔ Engines ↔ Extérieur



# Rôle des Wagons HD

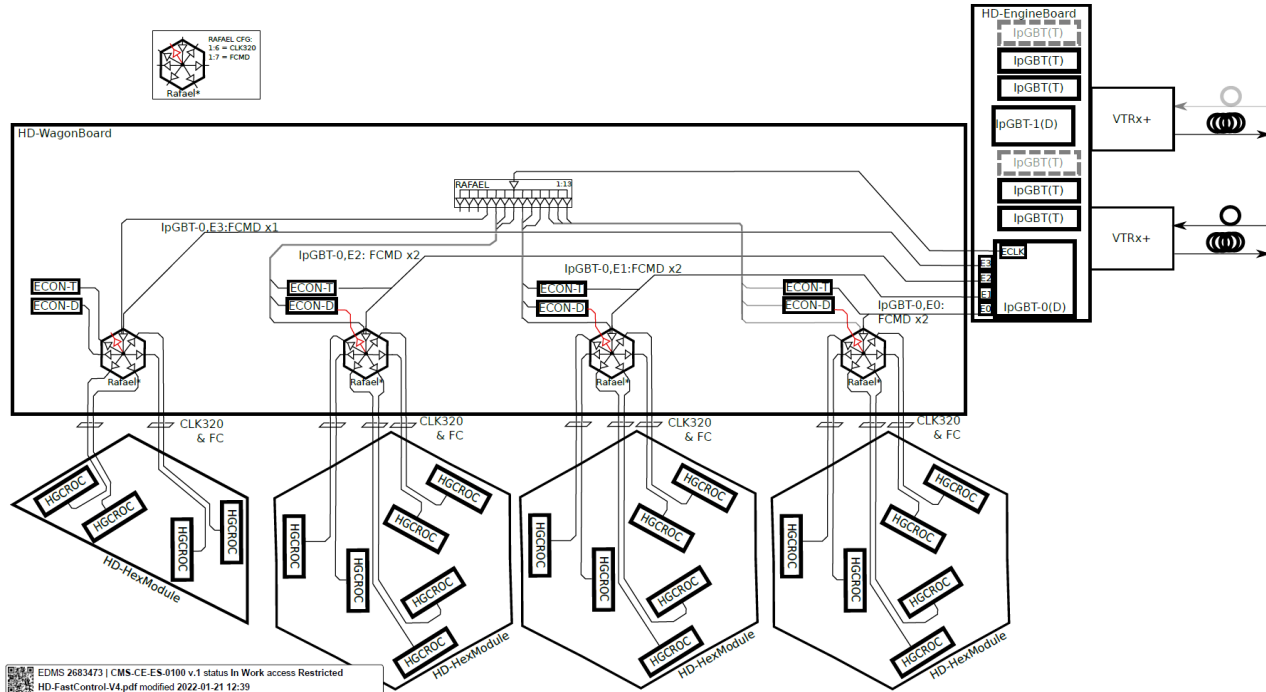
Crédit: M.Noy, CERN

- Envoi des données trigger et données acceptées des hexaboards vers le « HD engine » ( liens 1.28 Gbits/s )



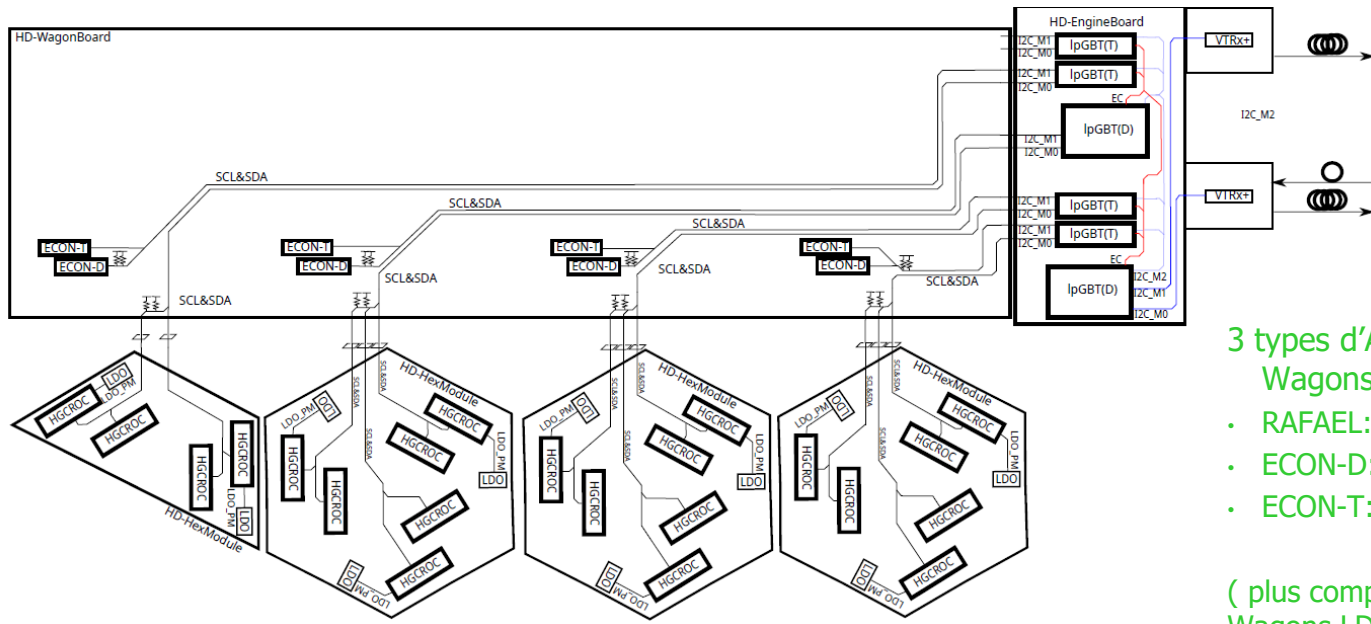
# Rôle des Wagons HD

- Envoi des données trigger et données acceptées des hexaboards vers le « HD engine » ( liens 1.28 Gbits/s )
- Transmission informations d'horloge et de contrôle rapide (FC) du « HD Engine » vers les « hexaboards » ( 320 MHz )



# Rôle des Wagons HD

- Envoi des données trigger et données acceptées des hexaboards vers le « HD engine » ( liens 1.28 Gbits/s )
- Transmission informations d'horloge et de contrôle rapide (FC) du « HD Engine » vers les « hexaboards » ( 320 MHz )
- Configuration de tous les ASICs front-end (par I2C)



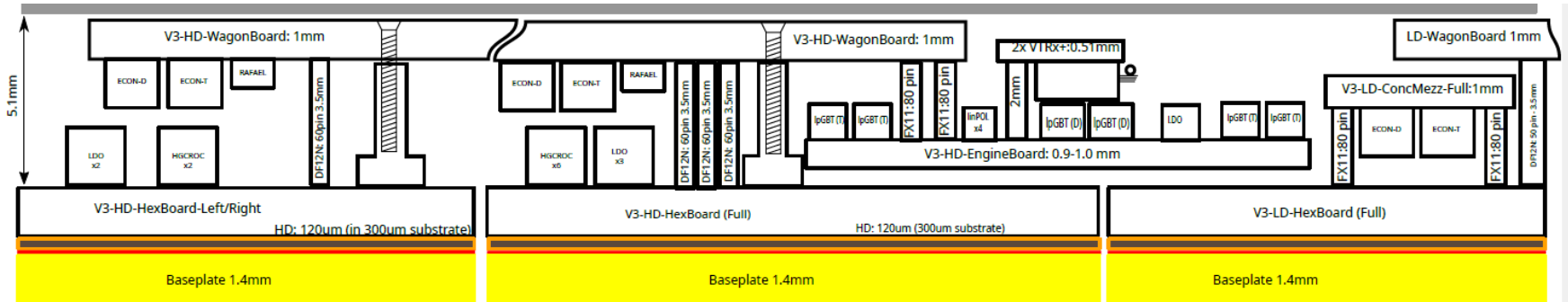
3 types d'ASICs sur les Wagons HD:

- RAFAEL: fanout
- ECON-D: concentrateur data
- ECON-T: concentrateur trig

( plus complexe que les Wagons LD, purement passifs )

# Assemblage des circuits

- HD Wagon : épaisseur maximum 1 à 1.2 mm
- 9 variantes de HD Wagons ( 2, 3, 3½ hexabords, géométrie en I, en V... )
- Défis électronique (épaisseur) et mécanique





# Historique HD Wagon au LLR

---

- Décembre 2022: appel de la collaboration HGICAL ( K. Gill, subsystem manager & P. Aspell responsable électronique) pour la prise en charge du design des Wagons HD (ou de certaines variantes)
  - Début 2023: discussions techniques initiales CERN (P.Aspell, M.Noy) / Université Minnesota (N.Strobbe)/ LLR (Franck, Éric)
  - Avril 2023: accord que le LLR étudierait la faisabilité en amorçant le design d'un wagon
  - A mon arrivée au LLR (mai 2023), prise en charge de la conception d'une variante du Wagon HD ( 3 modules ), selon l'organisation suivante:
    - Schéma électronique fourni par l'UMN (format Altium)
- Au LLR:
    - ◆ Conversion schématique Altium => Cadence Allegro, remise en forme...
    - ◆ Collaboration avec le service CAO PCB du LPC ( Marie-Lise Mercier ) pour le placement-routage
    - ◆ Interfaces avec le CERN et l'UMN pour les validations mécaniques / électroniques
- Après validation par la collaboration du design
    - ◆ Fabrication du PCB et assemblage par l'UMN
    - ◆ Tests électriques et validations au CERN

# Progression du projet

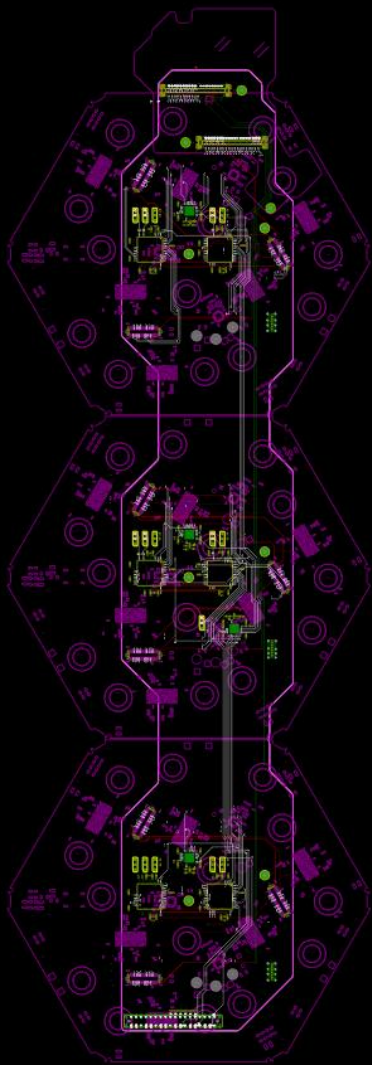
---

- Juin 2023:
  - Réception du schéma Altium « 3-module HD Wagon » préparé par UMN
  - Conversion Allegro
  - Préparation du Placement-Routage (ajout des composants passifs et actifs, contraintes électroniques et mécaniques, quelques corrections dans le schéma...)  
=> Schéma prêt à router par Marie-Lise début juillet
  
- Quelques A/R placement/routage en septembre/octobre, ajustements mécaniques
  
- Fin Oct/Début Nov 2023:
  - Finalisation du design => livraison des fichiers de fabrication
  
- Décembre 2023: « Mini-revue » du design (UMN, CERN)
  - Mécanique quasi validée ( quelques modifications de positionnement à appliquer )
  - Tests d'intégrité de signal (lignes de transmission notamment) ont révélé des soucis sur certaines lignes. Cela nécessite une reprise de l'empilement. Passage éventuel à 12 couches  
=> Soumission des remarques à ML. Re-routage quasiment fini actuellement



# Placement du circuit





Global power/gnd  
 GND  
 1V2X  
 from JTOP et JBOT

J1\_M1

M1

J2\_M1

JTOP

JBOT

J3\_M1

ASICs

IC\_ET\_M1

IC\_ED\_M1

IC\_RAF\_M1

GND\_M1

1V2\_M1

J1\_M2

M2

J2\_M2

J3\_M2

ASICs

IC\_ET\_M2

IC\_ED\_M2

IC\_RAF\_M2

GND\_M2

1V2\_M2

IC1 ( RAFAEL FANOUT )

J1\_M3

M3

J2\_M3

J3\_M3

ASICs

IC\_ET\_M3

IC\_ED\_M3

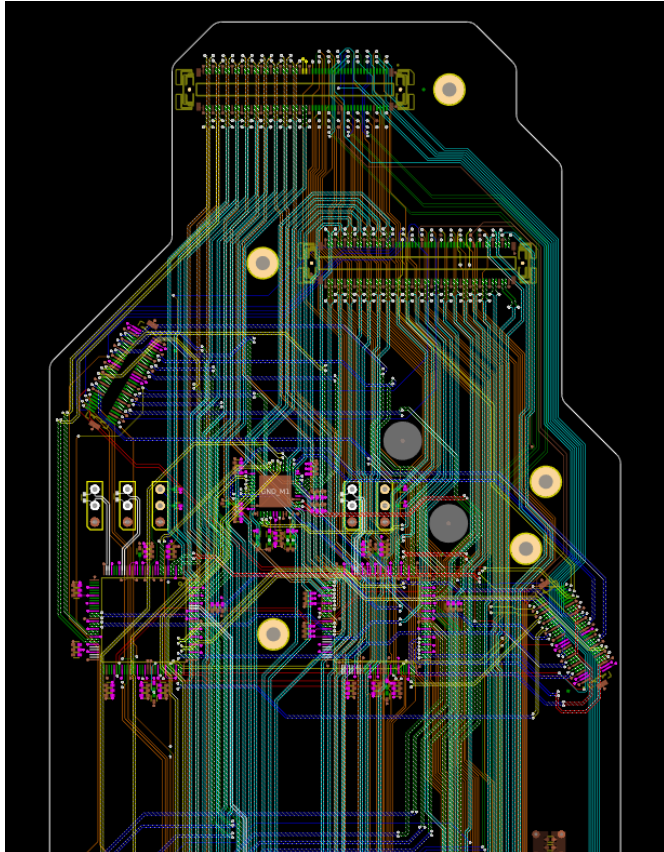
IC\_RAF\_M3

GND\_M3

1V2\_M3

JBRK

# Routage du “3-module HD Wagon” (Aperçu)



( Détail sur l'interface HD Engine ⇔ Wagon, v1 nov )

- Routé sur 10 couches
- Difficultés:
  - Grand nombre de lignes séries rapides
  - Zones d'exclusion (trous)
  - Longueur totale du circuit ~50 cm

# Bilan et perspectives

---

- Tâches d'interfaçage UMN / CERN / LPC chronophages (beaucoup d'aller-retours et discussions)  
Merci à l'équipe mécanique du LLR (Alain, Thomas) pour son aide lors des étapes de validation mécanique
- L'occasion d'expérimenter de nouvelles méthodes de conception ( conversion de schéma Altium↔Cadence, outils d'intégrité de signal... )
- En cours:
  - Retouches du design pour corriger les soucis révélés par la mini-revue  
=> Début Février
- Perspectives envisagées après lancement de la fabrication de ce prototype:
  - Prise en charge d'une ou plusieurs autres variantes de wagon
    - ◆ Selon disponibilités de ML à Clermont
    - ◆ Voire, un peu plus tard, P/R en interne au LLR (à voir selon disponibilités de designer PCB dans le futur proche)

---

# Merci

# Organisation HGICAL

