

## CR réunion ZOOM TIIX du 13/02/2025

### Présents :

IPHC: RS, LF

IP2I: LC, BN

INFN Frascati: ES

### Actions du 13/02/2025 :

1. LC indique que l'implémentation du module « digital périphérie » (DP) est terminée.
2. BN vient de commencer la vérification gate-level de la DP.
3. LC indique que l'implémentation DP a été effectuée en tant que bloc séparé, l'intégration avec niveau top a commencé mais il y a des problèmes avec la hiérarchie verilog. Le RTL du top utilise des expressions System Verilog appelées « interfaces » qui entraînent des erreurs quand la netlist synthétisée est importée dans INNOVUS. Il regarde ça avec GB.
4. LC contacte GB pour discuter du layout a niveau du top, en particulier les rails d'alimentation et la connexion des DACs à la matrice.
5. LC demande des éclaircissements sur signal i\_ref\_ext du bloc DACs. RS précise qu'il s'agit d'une référence analogique venant de l'extérieur. De ce fait cette pin analogique sera connectée à un pad externe (pour l'instant elle est pilotée par le slow control).
6. Les tâches suivantes concernant la répartition des simulations à effectuer ont été validées :

#### MATRICE et BLOCS PERIPHERIQUES:

- STA → à faire [IP2I]
- Simulations post-layout gate-level → à faire [IP2I]

#### COLONNE ANALOGIQUE:

- Simulation post-layout → à faire [IPHC]

#### INTERFACES NUMÉRIQUE/ANALOGIQUE:

- DAC/PERIPHERIE:
  - La vérification de l'interconnexion entre DAC et signaux de slow control provenant de la périphérie → pas prévue
  - La vérification de l'interconnexion entre DAC et la matrice → à faire sous Virtuoso [IPHC]
- PADS:
  - Simulations du pad ring séparément → à faire [IPHC]

- PIXEL:

- Simulation mixte avec une vue abstract de 1 ou 8 pixels → à faire [IPHC]

7. MATRICE et BLOCS PERIFERIQUES :: Simulations post-layout gate-level

- LC a besoin de l'avis de Abdelkader HIMMI et Frederic MOREL sur le setup du flow d'implémentation : dans le setup actuel d'implémentation les interconnexions sont extraites toujours dans le corner RC max indépendamment du timing corner.
- Également LC aimerait connaître l'avis de Frederic sur comment utiliser les facteurs de timing derate pour les interconnexions (méthode proposée par Frederic lors du dernier meeting).
- RS propose de parler à AH et FM après la réunion ;

8. INTERFACES NUMÉRIQUE/ANALOGIQUE :: PIXEL :: Simulation mixte avec une vue abstract de 1 ou 8 pixels :

- RS propose de faire des simulations mixtes avec 8 pixels pour voir les effets de la charge que constitue la partie numérique sur la sortie analogique.
- ES propose plutôt de faire cette simulation au niveau d'une colonne complète.

9. L'avancement de cotes IPHC serais fait après la soumission en cours.

10. RS dit que, vue le bloc DAC\_monitor nécessite plusieurs pads de sortie, cette idée est donc rejetée faute de pads vacants dans le pad\_ring.

Actions pour le 27/02/2025 :

- Point sur l'état d'avancement de l'implémentation et de la simulation de la DP
- Les points discutés entre GB, LC, AH et FM.

Prochaine réunion le jeudi 27/02/2025 exceptionnellement à **10h00**.