

CR réunion ZOOM TIIX du 19/12/2024

Présents :

IPHC: RS, GB, MK, LF, FM, JB

IP2I: BN, XC, LC, DC

INFN Frascati: ES

Actions du 5/12/2024 :

1. Avancement de l'implémentation et vérification du design du bloc « digital periphery » par IP2I
 - a. LC a fait le point d'avancement du bloc périphérique côté IP2I: IP2I avance selon le planning qui a été estimé. Pour l'instant pas de points bloquants au niveau de la synthèse et de l'implémentation.
 - b. LC a expliqué un problème de simulation gate-level pour le bloc « pixel column readout » (concernant donc la matrice de pixels et pas la périphérie) qui s'est manifesté au corner typical seulement pour un signal de slow-control de la colonne et qui n'est pas visible comme violation au niveau timing. A debugger.
 - c. L'implémentation de l'horloge dans ce bloc est en cours.
2. Simulation post-layout
 - a. RS suggère qu'il faudrait faire des simulations post-layout de la partie digitale complète. Il faudra d'après lui en faire une autre mixte au niveau d'une colonne, depuis le pixel jusqu'à la sortie numérique série de la puce.
 - b. LC rappelle que nous nous étions mis d'accord qu'elles n'étaient pas indispensables (CR du 21 Mars 2024). De faire seulement les vérifications fonctionnelles post-layout de la chaîne de readout numérique, avec des delay sdf back-annotated issues de l'implémentation ont été prévues à l'IP2I. Faire des simulations mixtes demanderait, entre autres, le développement d'un nouveau test bench pour lequel la main d'œuvre n'est pas prévue à l'IP2I.
 - c. LC propose de demander le point de vue d'experts extérieurs lors d'une design review à prévoir prochainement.
 - d. ES a proposé d'évaluer le temps, la complexité et les ressources nécessaires pour mettre en place un test bench et faire des simulations mixtes. A ce propos, DC suggère que FM présente lors de la prochaine réunion les (nouvelles) motivations et ou risques à ne pas effectuer ces simulations, et techniquement les méthodologies disponibles pour les effectuer. En particulier, considérant (qu'il est compris) que la « connexion » entre les parties analogique et numérique a été validée par RS, et que les deux parties sont validées indépendamment en post-layout (niveau transistor pour l'analogique et niveau gate pour le numérique)
3. BN fera une analyse de la puissance dynamique de la colonne →V
 - a. BN a présenté le résultat de l'analyse d'IR drop dynamique de la colonne numérique, avec les sources de VDD et VSS positionnés sur 128 strip en metal layer M4. On a une perte de 0.002% si VDD=1.98V (voir slides)
4. GB donne à LC les détails sur comment exporter directement depuis Innovus une vue abstract incluant les pins d'alimentation →X
 - a. En cours
5. GB donne à LC le techfile de la librairie "extend" utilisée par IPHC comme référence lib pour la librairie de stdcells en version 190 (ultra compact) →V

- a. Lien de la librairie envoyé par mail à LC.
- 6. MK fera le schéma et le layout de la carte fille. → **X**
 - a. En cours
 - b. Schéma fait mais pas encore le layout

ACTION ITEMS:

1. Avancement de l'implémentation et vérification du design de la digital périphérie par IP2I
2. Discussion en cours sur le nécessité des simulations mixtes et leurs implications sur le travail requis et le temps nécessaire (FM fera une présentation sur ce point).
3. GB donne à LC les détails sur comment exporter directement depuis Innovus une vue abstract incluant les pins d'alimentation
4. GB vérifie l'interface rajouté dans le rtl du `pixel_column_readout_vfin`
5. XC vérifie le pinout du nouveau DAC ajouté niveau rtl

Prochaine réunion le jeudi 16/01/2025 à 10h (exceptionnellement).