

CR réunion ZOOM TIIX du 5/12/2024

Présents :

IPHC: RS, GB, MK, LF

IP2I: BN, XC, LC, DC

INFN Frascati: ES

Actions du 21/11/2024 :

1. IP2I estimera le temps nécessaire pour finaliser le design de la digital périphérie (implémentation physique comprise) →V
 - a. LC a montré le planning estimé pour faire la synthèse, l'implémentation, et la vérification de la partie digital périphérie (voir slides)
 - b. A noter que ce planning ne fait référence qu'au bloc 'digital periphery'
 - c. A une question de RS à propos des simulations post_layout de toute la partie digitale, LC dit que les simulations post-layout ne sont pas prévues, seulement des vérifications fonctionnelles avec des delay sdf back-annotated issues de l'implémentation.
 - d. RS dit qu'il faut absolument faire ces simulations pour valider cette partie du design. Il est exclu d'après lui d'envoyer cette asic sans ces simulations.
 - e. A défaut de ne pas pouvoir les faire en digital, on pourra les faire sous Virtuoso (Analog) avec des vues incluant des extractions physiques des RC parasites.
 - f. Une simulation mixte (Analog digital), cette fois-ci du TOP, même avec un nombre réduit de pixels (voir un seul) est aussi en discussion.
2. Connecter les signaux actuellement flottants dans les pads DRV_LVS au niveau top →V
 - a. Les signaux des configurations des PADS ont été connectés et mit à jour sur gitlab par GB.
3. IP2I fera la synthèse du bloc de la digital periphery avec des FF de type D pour voir si des modifications au niveau rtl sont nécessaires ou pas. →V
 - a. Le bloc a été synthétisé par LC.
 - b. Le problème de synthèse avec des scanFF a été résolu en utilisant des FF de type D.
 - c. La densité du bloc synthétisé est inférieure au 50% dans la surface de 5300x350 um²
4. Finalisation des DACs (Analog) par RS. →V
 - a. Les DACs ont été finalisés et aussi les simulations post-layout.
5. BN fera une analyse de la puissance de la colonne →V
 - a. BN a présenté les résultats d'analyse de puissance statique de la colonne numérique dans les différents corners et de IR drop. (Voir slides)
 - b. L'IR drop map est à refaire avec les pin VDD d'entrée distribués le long de la colonne.
 - c. Faire une analyse de puissance et d'IR drop dynamique
6. GB prépare les scripts pour le plan d'alimentation →V
 - a. Les scripts sont en développement
7. MK fera le schéma et le layout de la carte fille. → X
 - a. En cours

ACTION ITEMS:

1. Avancement de l'implémentation et vérification du design de la digital périphérie par IP2I
2. BN fera une analyse de la puissance dynamique de la colonne
3. GB donne à LC les détails sur comment exporter directement depuis Innovus une vue abstract incluant les pins d'alimentation
4. GB donne à LC le techfile de la librairie "extend" utilisée par IPHC comme référence lib pour la librairie de stdcells en version 190 (ultra compact)
5. MK fera le schéma et le layout de la carte fille.

Prochaine réunion le jeudi 19/12 à 14h30.