

## CR réunion ZOOM TIIX du 21/11/2024

### Présents :

IPHC: RS, GB, MK, LF

IP2I: BN, XC, LC, DC

INFN Frascati:

### Actions du 8/11/2024 :

1. Validation ou pas par IP2I de la date de fin février 2025 pour la soumission. →V
  - a. La date de fin Février pour la soumission n'est plus d'actualité.
  - b. RS informe qu'une éventuelle autre soumission en 2025 est possible. A ce jour, aucune certitude sur la tenue de ce prochain run.
  - c. Nous sommes tous d'accord pour finir le plutôt possible ce circuit.
2. Connecter les signaux actuellement flottants dans les pads DRV\_LVS au niveau top →X
  - a. Les signaux des configurations des PADS sont à connecter à TI\_H/TI\_L à vérifier avec Hung.
3. Trouver une solution pour résoudre le problème vu en simulation fonctionnelle des latences des buffers du signal READ →V
  - a. Le problème vu en simulation fonctionnelle a été résolu.
  - b. La relation temporelle entre les signaux Read, Token, Freeze pour pouvoir assurer la bonne lecture des données LE et TE dans le pixel a été modifié
4. LC place une vue oa actuelle de la colonne numérique sur la machine IPHC →V
  - a. La vue oa est disponible sur la machine IPHC
5. IP2I fera une synthèse des blocs périphériques pour avoir une estimation de la surface occupée. →V
  - a. D'après une première synthèse faite par LC le bloc Digital\_Periphery n'occupe pas beaucoup de surface.
  - b. Ce bloc est synthétisé par l'outil avec des longues chaînes de scan FF, qui peuvent poser des problèmes au niveau du timing. Pour résoudre cela il faut essayer d'utiliser des FF de type D ou bien retoucher le code rtl.
6. IP2I estimera le temps nécessaire pour finaliser le design de la périphérie et effectuera son implémentation physique → X
  - a. IP2I estimera le temps nécessaire pour finaliser le design de la digital périphérie (implémentation physique comprise). L'implémentation ici concerne uniquement : La partie de traitement digitale des données sortants de la matrice incluant l'EoC, les multiplexeurs au niveau des blocs de 32 colonnes, la logique de gestion du Slow Control, la génération des codes BCID et la logique de sérialisation des données en sortie du circuit. Le design de tous les blocs cités plus haut sont à la charge d'IP2I, leur implémentation physique aussi.
  - b. Cette estimation sera présentée lors de la prochaine réunion

- c. Le planning de routage des signaux au niveau TOP, la distribution de l'alimentation, le floorplanning et la validation finale de la vue seront fait ultérieurement. Cette tâche est commune à IPHC et IP2I
- 7. Finalisation des IDACs et bas de colonnes (Analog) par RS. →X
  - a. Le layout bas de colonne est terminé, il reste à refaire les DACs et les simulations post-layout.
- 8. BN fera une analyse de la puissance de la colonne →X
  - a. En cours
- 9. GB prépare les scripts pour le plan d'alimentation (un draft) →X
  - a. En cours
- 10. MK fera le schéma et le layout de la carte fille →X
  - a. En cours

#### ACTION ITEMS:

1. IP2I estimera le temps nécessaire pour finaliser le design de la digital périphérie (implémentation physique comprise)
2. Connecter les signaux actuellement flottants dans les pads DRV\_LVS au niveau top
3. IP2I fera la synthèse du bloc de la digital periphery avec des FF de type D pour voir si des modifications au niveau rtl sont nécessaires ou pas.
4. Finalisation des DACs (Analog) par RS.
5. BN fera une analyse de la puissance de la colonne
6. GB prépare les scripts pour le plan d'alimentation
7. MK fera le schéma et le layout de la carte fille.

SVP, si quelqu'un a une remarque ou une correction à faire à chaque fois sur un CR, merci de m'en informé par mail avant la réunion d'après.

Prochaine réunion le jeudi 5/12 à 14h30.