

CR réunion ZOOM TIIX du 8/11/2024

Présents :

IPHC: RS, GB, MK,

IP2I: BN, XC, LC, DC

INFN Frascati:

Actions du 10/10/2024 :

1. Connecter les signaux actuellement flottants dans les pads DRV_LVS au niveau top → **X**
 - a. Les signaux de configuration des PADS sont à connecter à TI_H/TI_L à vérifier avec Hung.
2. Suite aux changements des Muxs, faire une simulation pour voir le temps nécessaire pour vider des clusters de 4x4 pixels qui arrivent en même temps et aussi espacés dans le temps → **V**
 - a. BN a montré les résultats des simulations (voir slides).
 - b. 1 étage de pipeline a été rajouté après le mux pour pouvoir assurer la bonne réception des données dans le pire cas (clusters des 4x4 pixels avec charge maximale)
 - c. Le système est capable de recevoir correctement les données (BCID pour Leading Edge et Falling Edge) avec un retard minimal de 5 us (200 MHz entre 2 clusters de 4x4 pixels) indépendamment de la charge
3. Finaliser le LVS de la colonne digital (LC) → **X**
 - a. La colonne numérique est finalisée (placement des rails d'alim, des pins finalisés) mais un problème est apparu en simulation fonctionnelle: des buffers placés dans le pixel sur le chemin du signal READ asynchrone introduisent des retards supplémentaires qui rendent erroné le fonctionnement du readout. Pour résoudre cela il faut contraindre le routage du signal READ pour respecter le délai max ou peut être placer manuellement ces buffers à l'extérieur du pixel.
4. Changement de l'interconnexion d'alimentation entre colonnes (Analog : RS et digital : LC) pour faciliter le plan d'alim au top. → **V**
5. Finalisation des IDACs et bas de colonnes (Analog) par RS → **X**
 - a. Layout à reprendre.
6. LC donnera une vue oa de la colonne pour l'intégration au TOP. → **X**
 - a. En cours
 - b. LC place une vue oa actuelle de la colonne numérique sur la machine IPHC
 - c. IP2I fera syn du bloc de la periphery pour avoir une estimation de la surface occupée.
7. Validation des contraintes SDC du top entre LC et GB → **X**
 - a. A faire
8. Simulation avec tb UVM de certaines configurations pas encore testés (reset_BCID, cfg_LSB_MULT_factor..) → **V**
 - a. Toutes les configurations ont été testés et rajoutés dans le tb UVM
 - b. Actuellement le % de couverture globale est de 85%.
9. GB prépare les scripts pour le plan d'alimentation (un draft) → **X**
 - a. En cours
 - b. Le plan d'alim est en phase de finalisation
 - c. BN fera une analyse de la puissance de la colonne

10. MK fera le schéma et le layout de la carte fille →**X**
 - a. En cours
 - b. Le layout de la carte mère sera finalisé la 2eme semaine de novembre à l'IP2I. La production sera lancée une fois validé la date de soumission de l'ASIC.
11. Rachid informe que la possibilité d'accéder au financement STRONG étant plus d'actualité (depuis Octobre), une nouvelle recherche de financement est en cours, elle coutera forcément plus chère en 2025. Gregory informe de son côté qu'une soumission avant la fin de décembre demanderait un GDS finalisé pour le 1er décembre: tous s'accordent que cette date est inatteignable vu l'état actuel de l'avancement du projet. Rachid demande donc d'indiquer une nouvelle date envisageable pour une soumission de l'ASIC en 2025.

Tout le monde s'accorde pour envisager cette soumission au plus tard pour fin Février 2025 après validation au niveau interne de IP2I.

ACTION ITEMS:

1. Validation ou pas par IP2I de la date de fin février 2025 pour la soumission.
2. Connecter les signaux actuellement flottants dans les pads DRV_LVS au niveau top
3. Trouver une solution pour résoudre le problème vu en simulation fonctionnelle des latences des buffers du signal READ
4. LC place une vue oa actuelle de la colonne numérique sur la machine IPHC
5. IP2I fera une synthèse des blocs périphériques pour avoir une estimation de la surface occupée.
6. IP2I estimera le temps nécessaire pour finaliser le design de la périphérie et effectuera son implémentation physique
7. Validation des contraintes SDC du top entre LC et GB
8. Finalisation des IDACs et bas de colonnes (Analog) par RS.
9. BN fera une analyse de la puissance de la colonne
10. GB prépare les scripts pour le plan d'alimentation
11. MK fera le schéma et le layout de la carte fille.

Prochaine réunion le jeudi 21/11 à 14h30.