

## CR réunion ZOOM TIIX du 10/10/2024

### Présents :

IPHC: RS,

IP2I: BN, XC, LC,

INFN Frascati:

### Actions du 26/09/2024 :

1. Au niveau top connecter le padring →**V**
  - a. Le pad-ring a été connecté au niveau top.
  - b. Il y a des signaux du pad DRV\_LVS (et autres) définis au top mais pas encore connectés (voir avec GB).
  - c. La branche gitlab est actuellement 'new\_architecture', le merge des différentes modifications a été fait.
2. Faire une simulation pour voir le temps nécessaire pour vider les données depuis les changements des mux (avec le maximum des événements par 32 colonnes). → **X**
  - a. Le temps nécessaire pour sortir 7 événements (TE ou LE) qui arrivent simultanément sur une colonne est de 1 us. Si on considère une largeur maximale du hit de 40us, le temps total de sortie est de 1us (LE) + 40us + 1us (TE).
  - b. Faire une simulation pour voir le temps nécessaire pour vider des clusters de max 4x4 pixels qui arrivent en même temps et aussi espacés dans le temps.
3. Modification des IDACs et bas de colonnes (Analog) par RS à finaliser. → **X**
  - a. Le layout est terminé, il reste à faire les abstracts et les simulations post-layout
4. LC donnera une vue oa de la colonne pour l'intégration au TOP. → **X**
  - a. En cours
5. Validation des contraintes SDC du top entre LC et GB → **X**
  - a. À faire
6. LC donnera une vue oa de la colonne pour l'intégration au TOP. → **X**
7. Simulation avec tb UVM du mécanisme de masking des pixels corrigés en plus de l'implémentation du test du mécanisme de l'émulateur. → **V**
  - a. Bugs au niveau du mécanisme du masking des pixels et de l'émulateur corrigés et intégrés dans gitlab.
  - b. Les tests des fonctionnalités du masking et de l'émulateur ont été intégrés dans le tb UVM.
  - c. Il reste certaines configurations de l'asic à tester (reset\_BCID, cfg\_LSB\_MULT\_factor)
  - d. Simulations post-layout de toute la partie numérique sont prévues pour tester ces fonctionnalités
8. GB prépare les scripts pour le plan d'alimentation (un draft) → **X**
  - a. En cours
9. MK fera le schéma et le layout de la carte fille → **X**
  - a. En cours

### ACTION ITEMS:

1. Connecter les signaux actuellement flottants dans les pads DRV\_LVS au niveau top
2. Suite aux changements des Muxs, faire une simulation pour voir le temps nécessaire pour vider des clusters de 4x4 pixels qui arrivent en même temps et aussi espacés dans le temps.
3. Finaliser le LVS de la colonne digital (LC).
4. Changement de l'interconnexion d'alimentation entre colonnes (Analog : RS et digital : LC) pour faciliter le plan d'alim au top.
5. Finalisation des IDACs et bas de colonnes (Analog) par RS.
6. LC donnera une vue oa de la colonne pour l'intégration au TOP.
7. Validation des contraintes SDC du top entre LC et GB
8. Simulation avec tb UVM de certaines configurations pas encore testés (reset\_BCID, cfg\_LSB\_MULT\_factor..)
9. GB prépare les scripts pour le plan d'alimentation (un draft)
10. MK fera le schéma et le layout de la carte fille.

Prochaine réunion le jeudi 7/11 à 14h30.