

CR réunion ZOOM TIIX du 26/09/2024

Présents :

IPHC: RS, GB, LF, FM,

IP2I: BN, XC, LC, DC

INFN Frascati: ES

Actions du 12/09/2024 :

1. Changer la librairie TJ pour l'implémentation de la colonne. →V
 - a. LC a modifié la cellule FILL_TIE: le contact du caisson PWELL est supprimé et seulement le contact substrat NWELL est conservé. Le substrat (PWELL) de la partie numérique sera polarisé par celui de la partie analogique la partie analogique tout en respectant les règles d'espacement DRC.
 - b. La librairie utilisée maintenant pour les std cells est tsl18fs190svt (précédemment on utilisait la *_wb).
2. Continuer la discussion concernant l'implémentation du mux2to1 →V
 - a. XC a montré une nouvelle implémentation du multiplexage. On a maintenant 1 mux toutes les 3 EOC. Dans cette nouvelle implémentation on a une seule typologie de mux (et non plus 2 comme présenté lors de la dernière réunion).
 - b. 11 blocs de mux (1 ff par bit de données en parallèle pour chaque mux) mis en série sont nécessaires pour chaque bloc de 32 colonnes. Ils sont placés dans le bloc 'periphery' et pas dans EOC.
 - c. Faire une simulation pour voir le temps nécessaire pour vider les données depuis les mux (avec le maximum des événements par colonne).
 - d. Des étages de pipeline sont configurables pour être rajoutés si nécessaire.
3. Au niveau top connecter le pading → X
 - a. En cours
4. Modification des IDACs et bas de colonnes (Analog) par RS. → X
 - a. Le layout DAC est terminé, Il reste la migration des sources de courant dans le pixel.
5. LC donnera une vue oa de la colonne pour l'intégration au TOP. → X
 - a. En cours: le bloc EOC sera séparé de la colonne numérique pour être implémenté au niveau physique avec les mux2to1 dont au point 2.
6. Validation des contraintes SDC du top entre LC et GB → X
 - a. À faire
7. Test du mécanisme de masking des pixels via le banc de test UVM → X
 - a. Le test du mécanisme de masking des pixels dans le tb UVM a été ajouté et il est fonctionnel.
 - b. Un bug dans le code qui implémente le mécanisme du mask des pixels a été trouvé et il est en cours de correction.
8. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK. → X
 - a. L'intégration des différents blocs a été faite.
9. MK fera le schéma et le layout de la carte fille + schéma de la carte mère.
 - a. Le schéma de la carte mère est fait, en cours de finalisation le schéma de la carte fille.

- b. XC et MK feront des demandes de devis à différentes boîtes (JLPCB et 2 autres).
- c. Faire passer les commandes des cartes début novembre. (Voir échanges mails pour plus des détails).

ACTION ITEMS:

1. Au niveau top connecter le padding
2. Faire une simulation suite aux changements au niveau MUX pour connaître le temps nécessaire pour vider les données des 32 colonnes (avec le maximum des événements par colonne).
3. Modification des IDACs et bas de colonnes (Analog) par RS à finaliser.
4. LC donnera une vue oa de la colonne pour l'intégration au TOP.
5. Validation des contraintes SDC du top entre LC et GB
6. Simulation avec tb UVM du mécanisme de masking des pixels corrigés puis implémenter le test du mécanisme de l'émulateur.
7. GB prépare les scripts pour le plan d'alimentation (un draft)
8. MK fera le schéma et le layout de la carte fille.

Prochaine réunion le jeudi 10/10 à 14h30.