

CR réunion ZOOM TIIX du 29/08/2024

Présents :

IPHC: RS, GB, LF, MK

IP2I: BN, XC, LC, DC

INFN Frascati:

Actions du 11/07/2024 :

1. LC contacte GB pour résoudre les problèmes dans le flow hiérarchique → **V**
 - a. LC a montré l'implémentation de la colonne de 128 pixels + EOC (voir slides).
 - b. La surface est de 5635 um x 41,44 um.
 - c. Pas de guard ring dans l'implémentation de la colonne, le guard ring de la partie analogique est connecté au substrat de la matrice.
 - d. La librairie de stdcells utilisée actuellement pour la partie numérique est la tsl18fs190svt_wb: il n'y a pas de contacts avec le substrat dans les cellules de cette librairie. Il y a par contre une couche buried well. Dans les deux libs tsl18fs190svt_wb et tsl18fs190svt il n'y a pas de contacts de substrat; la seule différence est la présence ou non de la couche WB.
 - e. Faire passer le DRC une fois la partie numérique et analogique de la colonne sont aboutés ensemble. Le routage des rails d'alim (analogique et numérique) pour la matrice peut commencer à être discuté. (RS avec LC).
 - f. Les signaux EMU_en, EMU_valid et EMU_data pour l'émulateur sont des signaux globaux pour tous les EOC, ils sont clockés à 160 Mhz: la distribution de ces signaux semble critique: XC étudiera la question.
 - g. Vérifier pourquoi le signal global sclk est à 128 bit.
 - h. GB a montré le layout de l'implémentation niveau top de la matrice. Il faut tenir compte du guard ring à placer autour de la matrice avec une largeur de 25 um de chaque côté'. Ceci rajouterait 50um à la largeur de la matrice: ce que dans le floorplan préliminaire semble très limite.
 - i. Au niveau top du RTL il faudra connecter le block padding (la description verilog des pads utilisés a été mise sur gitlab).
2. RS vérifie que dans l'abstract les alims sont déclarés comme power et non pas comme signaux. → **X**
 - a. En cours
3. RS finalise et valide le layout des DACs par des simulations post-layout → **X**
 - a. En cours, problèmes des simulations post-layout à régler
4. LC donnera une vue oa de la colonne pour l'intégration au TOP. → **X**
 - a. En cours, vue de la colonne à mettre à jour avant l'intégration
5. Validation des contraintes SDC du top entre LC et GB → **X**
 - a. À faire
6. BN, SPI protocol à tester via le banc de test UVM → **X**
 - a. En cours
 - b. Simulation de la netlist de l'implémentation décrit au point 1 dans les 3 corners (min, typ, max).
7. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc avec MK → **X**

- a. En cours
- b. Rediscussions de la largeur des alimentations à faire.
- 8. Prévoir un meeting début septembre en présentielle →V
 - a. A l'état actuel il a été décidé que le meeting en présentielle n'est pas nécessaire, on prévoit un meeting de finalisation avant soumission.
 - b. Mettre à jour régulièrement le planning des différentes tâches.
- 9. Réflexion à faire si rajouter pin externe de start/stop pour la transmission de données →V
 - a. Ajouté dans le code. Le bit de start/stop est 'start_daq'.
- 10. MK fera le schéma et le layout de la carte fille + schéma de la carte mère.
 - a. En cours

ACTION ITEMS:

1. Changer la librairie TJ pour l'implémentation de la colonne.
2. Le routage des rails d'alim (analogique et numérique) pour la matrice peut commencer à être discuté. (RS avec LC).
3. XC étudiera la question de la distribution des signaux globaux utilisés pour l'émulateur.
4. Vérifier pourquoi le signal global sclk est a 128 bit.
5. Au niveau top connecter le padding.
6. RS vérifie que dans les abstracts analogiques les alims sont déclarés comme power et non pas comme signaux.
7. RS layout (TOP Analog) finalisé, seulement sim post-layout restent à faire
8. LC donnera une vue oa de la colonne pour l'intégration au TOP.
9. Validation des contraintes SDC du top entre LC et GB
10. SPI protocol à tester via UVM testbench
11. testbench UVM a rajouter sur gitlab
12. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK.
13. MK fera le schéma et le layout de la carte fille + schéma de la carte mère.

Prochaine réunion le jeudi 12/09 à 15h.