

CR réunion ZOOM TIIX du 11/07/2024

Présents :

IPHC: RS, GB, LF

IP2I: BN, XC, LC, DC

INFN Frascati:

Actions du 27/06/2024 :

1. XC va regrouper les blocs périphériques dans un seul. →V
 - a. Le code est accessible sur gitlab dans la branche 'new_architecture'. Quelques interactions entre GB, XC et BN reste néanmoins à faire pour finaliser le code.
2. LC fera une implémentation hiérarchique pour optimiser le taux d'occupation dans le layout au niveau colonne. → X
 - a. Au niveau du flow d'implémentation il y a des problèmes liés probablement au rajout du bloc analogique.
 - b. LC contactera GB pour résoudre les problèmes constatés avec l'import des blocs OpenAccess notamment pour un flow ILM.
 - c. FM proposerait de supprimer totalement les pins VDDA et VSSA de la netlist
3. RS finalise le layout du DAC
 - a. Le layout est finalisé, les simulations post-layout sont en cours.
 - b. Maintenant, il n'y a plus de M6 (métal6) dans la partie FE de la colonne. Par contre la suppression complète du M4 dans le layout du bloc Pixel_Analog (colonne analogique) est impossible. Des passages en M4 assez large sont possibles pour créer un maillage d'alim au niveau top de la matrice.
4. LC donnera une vue oa de la matrice pour l'intégration au TOP. → X
5. Validation des contraintes SDC du top entre LC et GB → X
 - a. A faire
6. Paramétrer le banc de test sous UVM maintenant qu'il est fonctionnel →V
 - a. Le testbench UVM est paramétré, chaque test est associé à un pattern de hit.
 - b. Le Protocol du SPI est à tester
7. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc avec MK → X
 - a. En cours
8. Prévoir un meeting début septembre en présentielle
9. Contact entre XC et MK pour les cartes de tests à développer/acheter →X
 - a. MK propose:
 - i. Carte fille : schéma + layout @ IPHC
 - ii. Carte mère : schéma @ IPHC (sera disponible entre 29/07 et 2/08) + layout @ IP2I
10. RS a présenté un planning prévisionnel des étapes faites/à faire d'ici la soumission. Cette proposition est validée par tout le monde (jointe à ce CR)

ACTION ITEMS:

1. LC contacte GB pour résoudre les problèmes dans le flow hiérarchique.
2. RS vérifie que dans l'abstract les alims sont déclarés comme power et non pas comme signaux.
3. RS finalise et valide le layout des DACs par des simulations post-layout
4. LC donnera une vue oa de la matrice pour l'intégration au TOP.
5. Validation des contraintes SDC du top entre LC et GB
6. BN, SPI protocol à tester via le banc de test UVM
7. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK.
8. Prévoir un meeting début septembre en présentielle
9. Réflexion à faire si rajouter pin externe de start/stop pour la transmission de données
10. MK fera le schéma et le layout de la carte fille + schéma de la carte mère.

Prochaine réunion le jeudi 29/08 à 14h30

