

CR réunion ZOOM TIIX du 27/06/2024

Présents :

IPHC: RS, MK, GB, LF

IP2I: BN, XC, LC, DC

INFN Frascati:

Actions du 13/06/2024 :

1. Finaliser le Pading → **V**
 - a. Pading : Dans le layout final positionner chaque spi_valid à côté de spi_data
2. GB fera une synthèse des périphériques pour avoir une estimation de l'espace occupé → **V**
 - a. Première estimation du bas de colonne: a priori il y a de la place suffisant pour tout faire rentrer. Pour le moment en terme de surface, on ai à 30% d'occupation
 - b. XC va regrouper tous les blocs digitaux périphériques ensemble sous forme d'un seul bloc. Le bloc digital de la matrice n'est pas concerné il restera au niveau hiérarchique de la colonne.
 - c. Pour faciliter l'intégration, il a été décidé de ne pas inclure les pins d'alims dans la netlist du groupe digital périphérique.
3. Réflexion à faire pour décider si déplacer les EOCs sous le bloc DAC ou pas (IPHC et IP2I) → **V**
4. LC fera une implémentation hiérarchique pour optimiser le taux d'occupation dans le layout → **X**
5. Refaire le layout du bloc DAC
 - a. Le nouveau layout modifié par RS a une surface d'environ 868um x 240um. Le LVS, DRC sont en cours.
 - b. Avec ce nouveau layout on libère ~500um x 4 d'espace pour faire passer les signaux
 - c. Les sorties DACs sont en haut et les entrées/sorties spi sont en bas
6. Validation des contraintes SDC du top entre LC et GB → **X**
7. Paramétrer le banc de test sous UVM maintenant qu'il est fonctionnel → **X**
8. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK. → **X**
 - a. Le fichier verilog de description des DAC est désormais sur gitlab
9. MK fera un banc de test pour la simulation du bloc spi (Git-Lab) → **V**
 - a. Il est sur gitlab.
10. Prévoir un meeting début septembre en présentiel → **X**
 - a. À définir avant les vacances d'été
11. Contact entre XC et MK pour les cartes de tests à développer/acheter → **X**
 - a. Point budget prévu le 9/07 au niveau IP2I. il serait bien de savoir le prix des cartes à acheter
12. GB demande une vue oa de la matrice (même si pas finalisé) pour l'intégrer dans le top et faire le floorplanning.

ACTION ITEMS:

1. XC va regrouper les blocs périphériques dans un seul.
2. LC fera une implémentation hiérarchique pour optimiser le taux d'occupation dans le layout au niveau colonne.
3. RS finalise le layout du DAC
4. LC donnera une vue oa de la matrice pour l'intégration au TOP.
5. Validation des contraintes SDC du top entre LC et GB
6. Paramétrer le banc de test sous UVM maintenant qu'il est fonctionnel
7. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc avec MK.
8. Prévoir un meeting début septembre en présentielle
9. Contact entre XC et MK pour les cartes de tests à développer/acheter

Prochaine réunion le jeudi 11/07 à 14h30