

CR réunion ZOOM TIIX du 13/06/2024

Présents : IPHC: RS, MK IP2I: BN, XC, LC INFN Frascati: ES

Actions du 30/05/2024 :

Une première proposition du Pading du circuit est présenté par MK (voir tableau):

53 pads prévus seulement en bas du circuit. Pour les alimentations et les masses : 4 VDDA, 4 VDD, 4 VSSA, 4 VSS et 2 SUB. Voir plus bas pour le reste des pads.

1. GB fera une synthèse des périphériques pour avoir une estimation de l'espace occupé → **X**
2. Décision à prendre pour le placement des DACs / EOC & digital sous matrice.
 - a. LC a fait une implémentation d'un bloc avec 128 pixels + EOC avec une tentative de routage d'alim, mais le flow n'est pas optimisé (98% d'occupation). Avec cette configuration on peut alimenter chaque colonne avec 2 rails d'alimentation en provenance du bas de la colonne. LC fera une implémentation hiérarchique pour optimiser le taux d'occupation.
 - b. Dans cette implémentation le bloc EOC fait 330um de hauteur avec 5 lignes de std cells à égalité avec le bloc de 8 pixel.
 - c. MK et RS proposent un maillage sur les deux dimensions, X et Y pour distribuer les alimentations dans la matrice: pour ce faire il faudrait garantir le passage sur les 2 partie FE et digital des couches M4 & M6 pour les alimentations et les masses.
 - d. IPHC propose de placer les DACs juste à côté des PADS comme originairement proposé, mais cela implique de faire passer les signaux BCID qui peuvent générer de la diaphonie sur la partie analogique.
 - e. 2eme option envisageable: refaire le layout du bloc DACs en 2 lignes au lieu d'une pour minimiser leur longueur. ~250um d'espace potentiellement libérable pour faire passer les signaux. RS étudie cette option.
3. Validation des contraintes SDC du top entre LC et GB → **X**
4. Paramétrer le banc de test sous UVM maintenant qu'il est fonctionnel → **X**
5. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc avec MK → **X**
6. IP2I vérifie en simulation la nouvelle description du top → **V**
 - a. IP2I a fait une simulation avec les modifications rajoutées au niveau top par MK et cela est fonctionnelle.
7. Confirmation du rajout de l'émulateur pour chaque EOC pour le test du mux → **V**
 - a. XC a ajouté l'émulateur et a vérifié ses fonctionnalités
8. Vérifier côté IP2I comment se connecter via Thinlinc aux machines de Strasbourg. → **V**
9. MK prend contact avec BN et XC pour l'intégration du bloc SPI. → **X**
 - a. MK fera tb pour sim bloc spi
10. Prévoir un meeting début septembre en présentielle
11. Contact entre XC et MK pour les cartes de tests à développer/acheter
12. LC va proposer un Template de présentation pour le GRD du 24/25/26 juin à IJC lab

ACTION ITEMS:

1. Finaliser le Pading.
2. GB fera une synthèse des périphériques pour avoir une estimation de l'espace occupé
3. Réflexion à faire pour décider si déplacer les EOCs sous le bloc DAC ou pas (IPHC et IP2I)
4. LC fera une implémentation hiérarchique pour optimiser le taux d'occupation dans le layout.
5. Refaire le layout du bloc DAC
6. Validation des contraintes SDC du top entre LC et GB
7. Paramétrer le banc de test sous UVM maintenant qu'il est fonctionnel

8. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK.
9. MK fera un banc de test pour la simulation du bloc spi (Git-Lab)
10. Prévoir un meeting début septembre en présentielle
11. Contact entre XC et MK pour les cartes de tests à développer/acheter

Prochaine réunion le jeudi 27/06 à 14h30.

one spi_clk output

	Function	Name
1	CLK in	clock_n
2		clock_p
3	RST	reset
4	Digital Outputs	spi_clk_p
5		spi_clk_n
6		spi_data_p_0
7		spi_data_n_0
8		spi_data_p_1
9		spi_data_n_1
10		spi_data_p_2
11		spi_data_n_2
12		spi_data_p_3
13		spi_data_n_3
14		spi_valid_p_0
15		spi_valid_n_0
16		spi_valid_p_1
17		spi_valid_n_1
18		spi_valid_p_2
19		spi_valid_n_2
20		spi_valid_p_3
21		spi_valid_n_3
22	Slow Control	MOSI
23		SCK
24		MISO
25		CSEL
26	BCID reset	in_reset_BCID
27	substrate	SUB
28	substrate	SUB
29	Power supply - min 1 pad of each per block	VDD
30		VDD
31		VDD
32		VDD
33		VSS
34		VSS
35		VSS
36		VSS
37		VDDA
38		VDDA
39		VDDA
40		VDDA
41		VSSA
42		VSSA
43		VSSA

44		VSSA
45	CSA test output	tst_AN_OUT0
46		tst_AN_OUT1
47	Dac monitor	DAC_MON0
48		DAC_MON1
49		DAC_MON2
50		DAC_MON3
51	External IREF	IrefEXT?
52		
53		