

CR réunion ZOOM TIIX du 2/05/2024

Présents :

IPHC: RS, FM, GB, LF,

IP2I: BN, DC, XC, RB

INFN Frascati: ES

Actions du 18/04/2024 :

1. GB demande une première description System-verilog du TOP pour pouvoir démarrer l'intégration. → **X**
 - a. GB fera une présentation préliminaire et sommaire de l'implémentation au niveau top avec les différents blocs à prévoir (pins I/O des blocs, SPI, EOC, DACs, Pad-ring... etc)
 - b. GB récupère les Pads existants et génère leurs verilog.
 - c. Les buffers des pads de sortie auront la même alimentation que celle du core.
 - d. Protection ESD n'est pas nécessaire
2. Interaction directe entre RS et LC pour l'avancement du bloc 8 pixels. → **V**
 - a. LC explique que l'espace pour le 8 pixels est maintenant correct avec le pitch actuel après discussion avec RS.
 - b. Néanmoins, l'ajout de quelques buffers nécessaires (pour 128 pixels) pose problème en terme d'espace. Il faudrait peut-être rajouter une rangée de plus de std cells.
 - c. Il y a aussi un problème de limitation de la capacité de la cellule tri-state à piloter la charge sur toute une colonne.
 - d. 2 options possibles pour faire face à ces 2 problèmes:
 - i. XC étudie une solution basée sur un réseau de portes logiques OR sans l'utilisation des tri-states.
 - ii. Augmenter le pitch de 4 um pour pouvoir rajouter une rangée de plus de std cells (pitch de 45 um au total !!).
 - e. La première option est bien entendu la privilégiée.
3. Vérifier de côté IP2I comment se connecter via Thinlinc aux machines de C4PI.
4. Maciej prend contact avec BN et XC une fois qu'il est disponible pour pouvoir démarrer l'implémentation de la periphery. → **X**
 - a. A faire
5. BN prend contact par mail avec FM pour avoir des suggestions sur comment réduire le temps de simulation avec Xcelium → **X**
 - a. A faire

ACTION ITEMS:

1. GB fera une présentation préliminaire et sommaire de l'implémentation au niveau top avec les différents blocs à prévoir (pins I/O des blocs, SPI, EOC, DACs, Pad-ring... etc).
2. XC étudie une solution basée sur un réseau de portes logiques OR sans l'utilisation des tri-states.
3. Vérifier côté IP2I comment se connecter via Thinlinc aux machines de Strasbourg.
4. Maciej prend contact avec BN et XC une fois qu'il est disponible pour pouvoir démarrer l'implémentation de la periphery.
5. BN prend contact par mail avec FM pour avoir des suggestions sur comment réduire le temps de simulation avec Xcelium

Prochaine réunion le jeudi 16/05 à 14h30.