

CR réunion ZOOM TIIX du 21/03/2024

Présents :

IPHC: RS, FM, CH, MK, JB IP2I: BN, DC, XC, RB, LC INFN Frascati: ES

1. LC a présenté un planning prévisionnel des tâches restantes. (Voir slides attachés).
La répartition des tâches qui a été approuvée est la suivante:
 - a. Matrice: Lecture digitale au niveau colonne (design et validation) → IP2I
 - b. Matrice: Lecture analogique au niveau colonne (design et validation) → IPHC
 - c. Blocs périphériques (design et validation) → IPHC
 - d. Top-level (design digitale) → IP2I et IPHC
 - e. Intégration et validation finale (analogique et numérique) → IP2I et IPHC
2. Le design et la validation du slow control de la puce seront fournis par l'IPHC
3. Le layout d'une colonne de 128 pixels devrait être disponible vers mi-juin avec les simulations de puissance et les vérifications fonctionnelles. Ce layout sera composé d'une colonne analogique-numérique validée.
4. Pour intégrer la partie analogique dans le flow digital, une vue verilog de la partie analogique devrait être fournie par l'IPHC.
5. Il n'est pas exclu d'exécuter des simulations de puissance (IR drop) dans Voltus de la colonne analogique.
6. Il n'est pas prévu d'effectuer des simulations mixtes des parties analogiques et numériques: l'interface pixel analogique-numérique sera caractérisée par des simulations analogiques.
7. Le design au niveau RTL de l'architecture numérique est considéré complet hors la partie de slow control.
8. Pour une intégration des parties analogiques DACs et buffers dans le flow numérique, comme dans le cas de la matrice des pixels, une description verilog de ces parties devrait être préparée par l'IPHC.

CR réunion ZOOM TIIX du 4/04/2024

Présents :

IPHC: RS, LF, GB IP2I: BN, DC, XC, RB

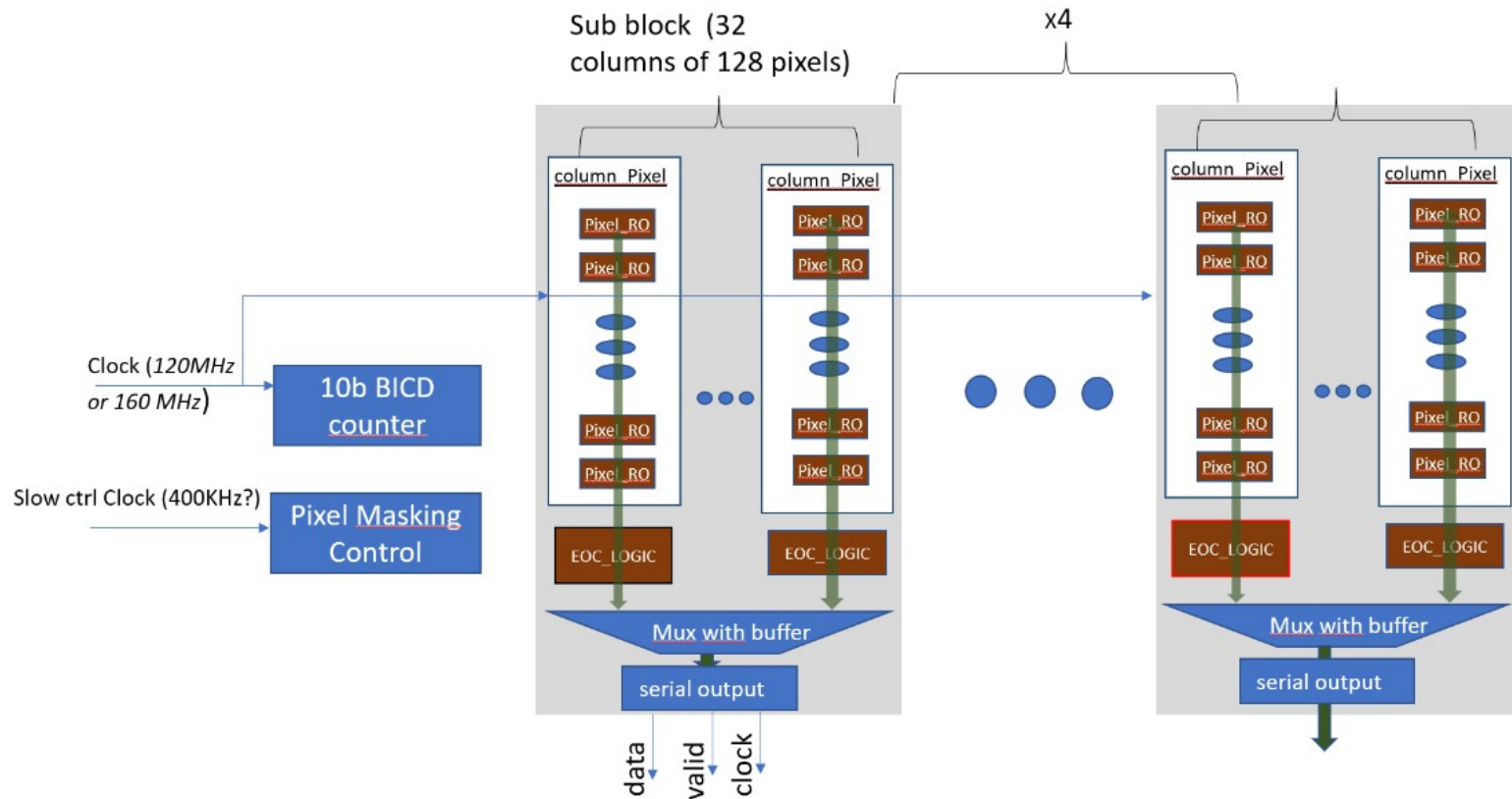
ACTION ITEMS:

1. IPHC demande une description System verilog du TOP pour pouvoir démarrer l'implémentation
2. IP2I doit vérifier si l'accès aux machines à l'IPHC pour LC, BN, XC est fonctionnel.
3. Interaction directe entre RS et LC pour l'avancement du bloc 8 pixels.
4. Maciej prendra contact avec BN et XC une fois qu'il est disponible pour pouvoir démarrer l'implémentation de la periphery.
5. RB confirme l'engagement de eDAQ pour les cartes. (Définir un slot à proposer au service eDAQ IP2I).

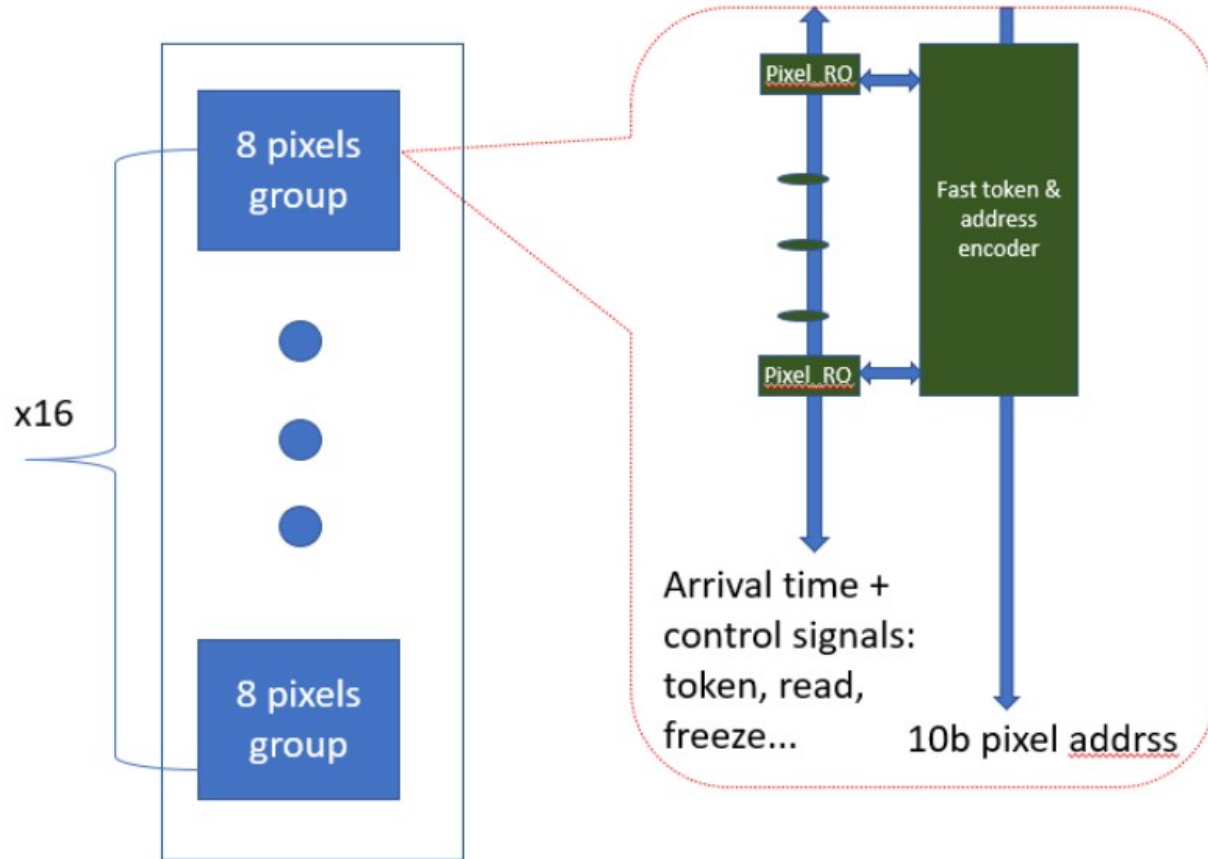
Prochaine réunion le jeudi 18/04 à 14h30.

TIIX: design status @IP2I

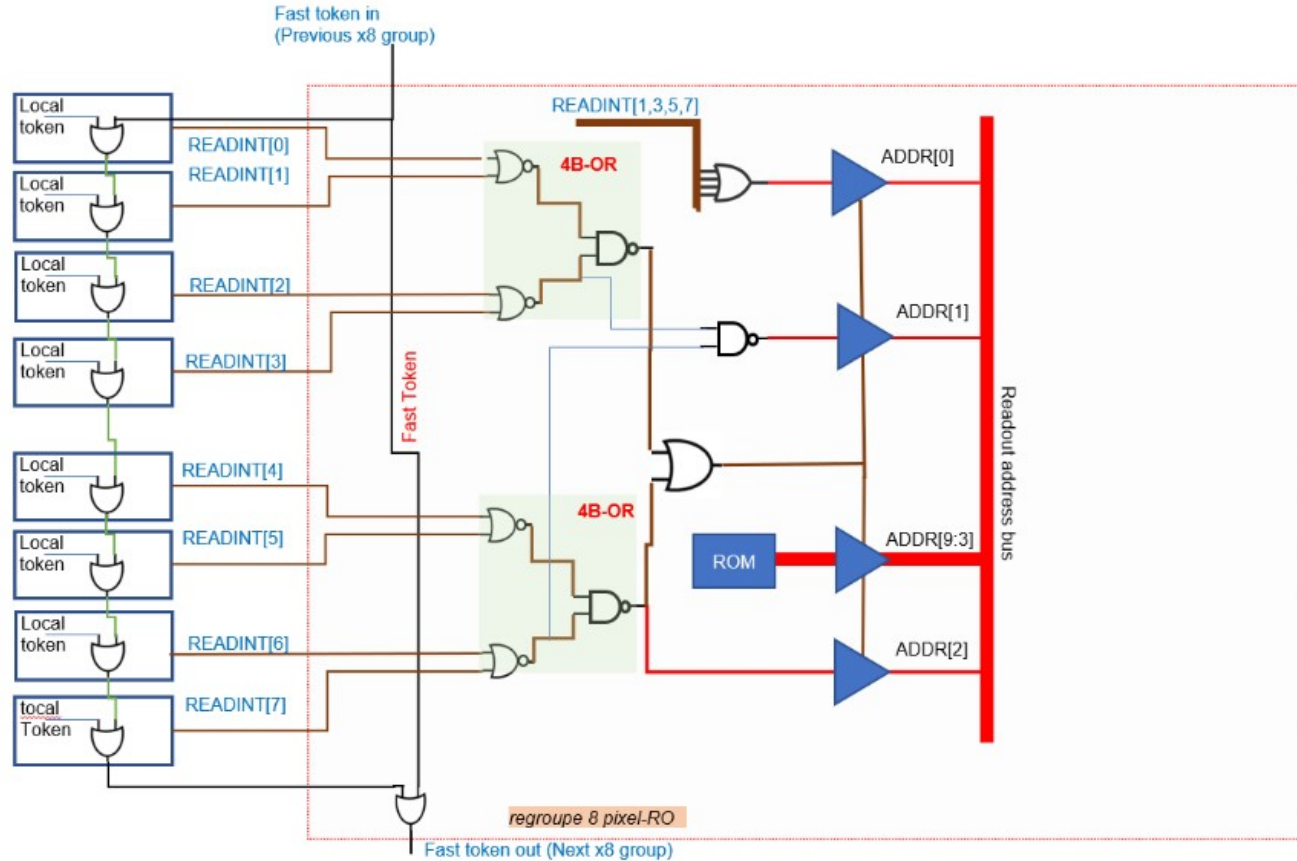
(core architecture: top level of the pixels matrix)



TIIX: design status @IP2I (core architecture: digital column with 8x pixels group detail)

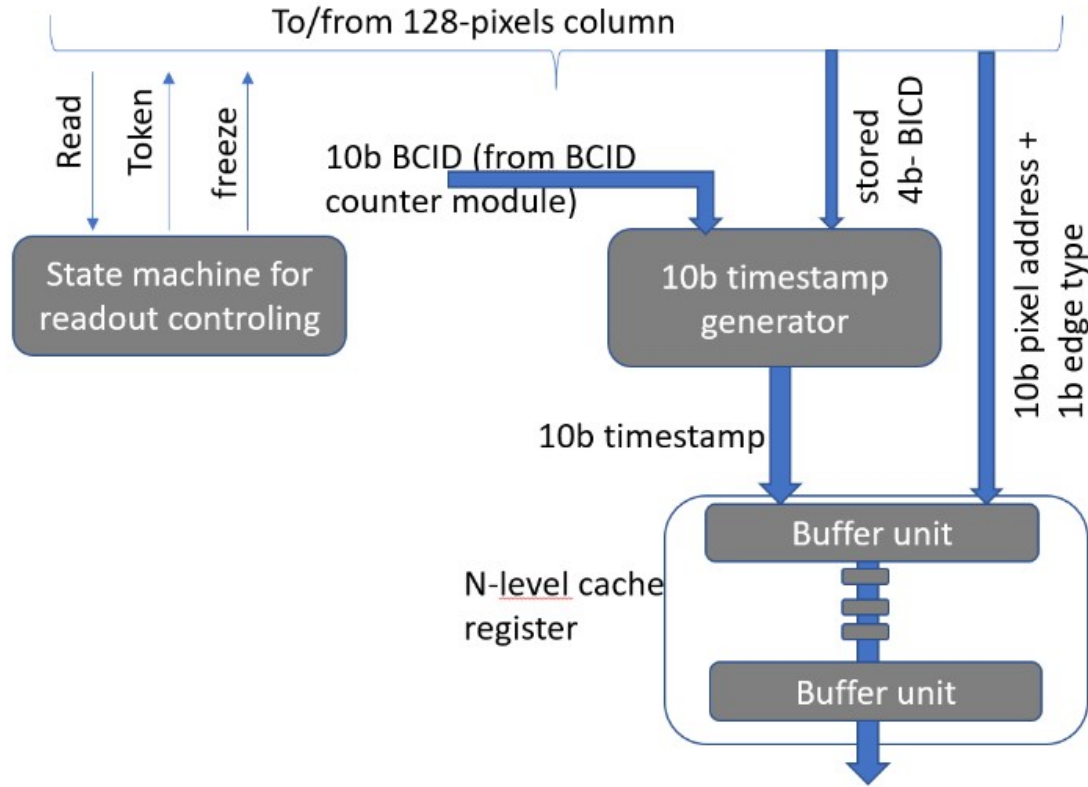


TIIIX: design status @IP2I (core architecture: detail of the 8x pixels group address generation)



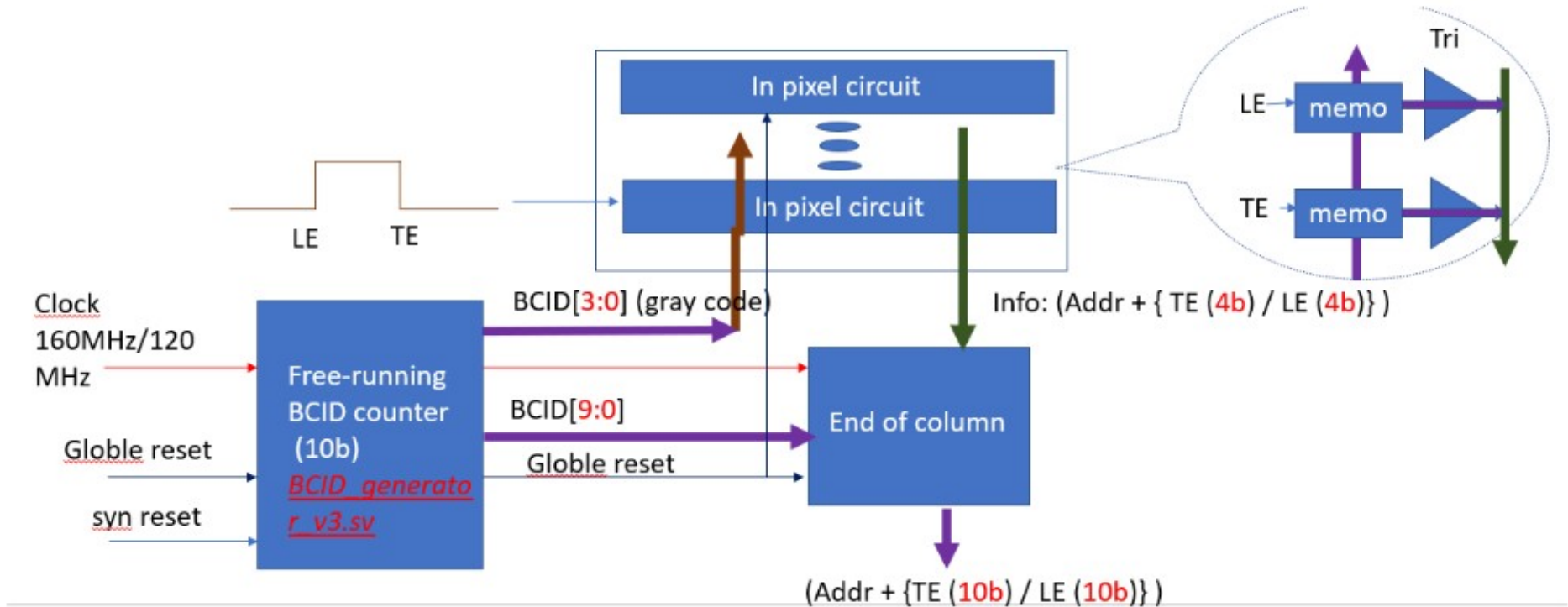
TIIX: design status @IP2I

(core architecture: End Of Column digital module)



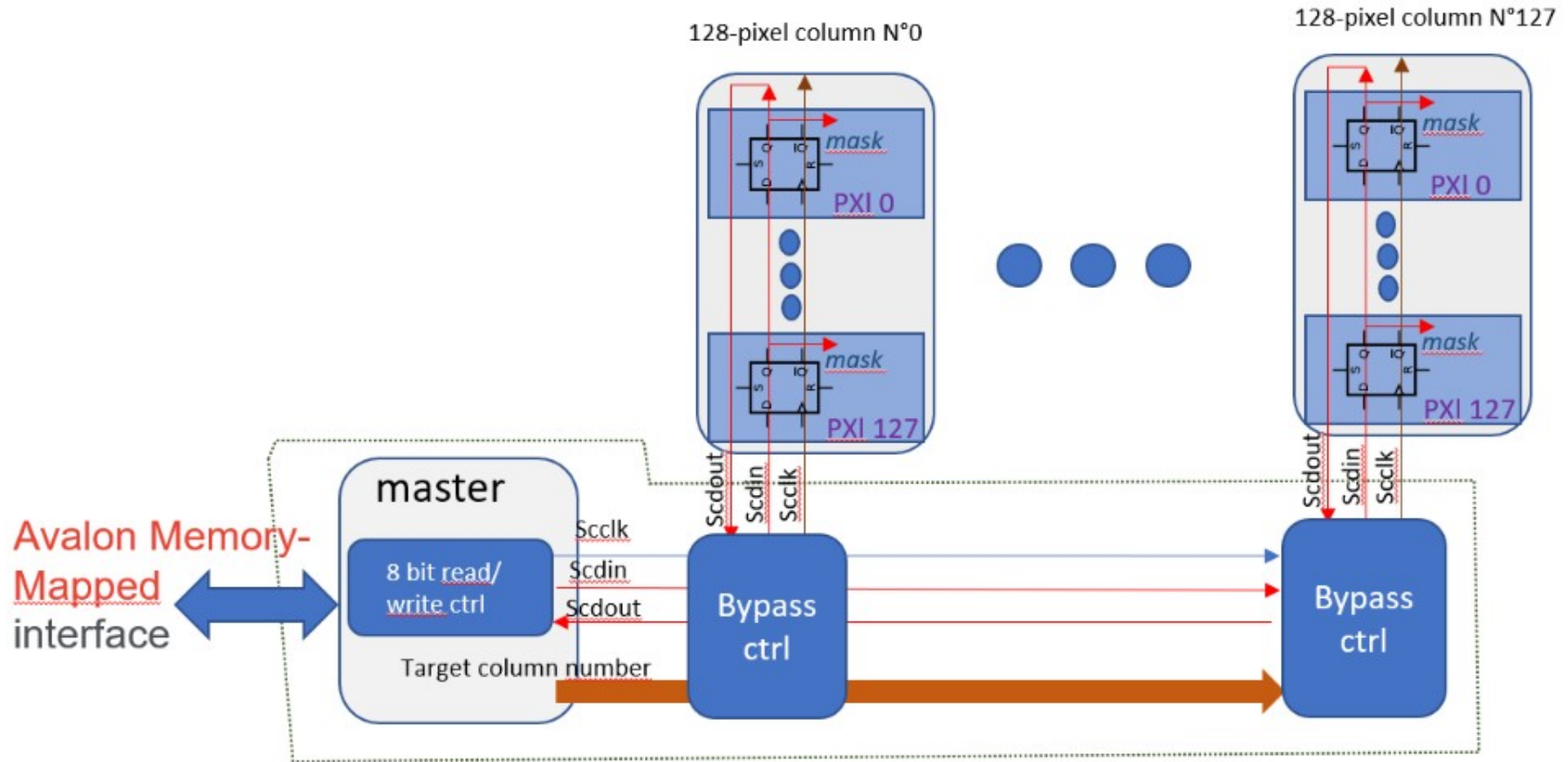
TIIIX: design status @IP2I

(periphery architecture: BCID global counter and pixel TE/LE data construction)



TII X: design status @IP2I

(periphery architecture: (global) pixel masking controller)



deliverable: 128x128 pixel asic in Digital On Top methodology (tentative breakdown)

