

## CR réunion ZOOM TIIX du 9/11/2023

### Présents :

IPHC: RS, LF, JB, MK

IP2I: BN, LC, XC, RB, DC

INFN Frascati: ES

### Actions du 26/10/2023 :

#### **1. Préparer une présentation avec de l'architecture de lecture séparé du LE et TE proposé aujourd'hui. → V**

- a. XC a présenté la nouvelle architecture de lecture avec LE et TE séparés (voir slides envoyés par mail le 9/11).
- b. Avec une mémoire de 4 bits pour LE ou TE, le temps de lecture doit être inférieure à  $25\text{ns} \cdot 2^4 = 400\text{ns}$  si la fréquence de lecture choisie est de 40 MHz. Selon une estimation, peut être pessimiste, le temps nécessaire pour lire l'information d'un pixel est de  $\sim 150\text{ ns}$ . Cela veut dire qu'au maximum on ne peut lire que 3 pixels dans la même colonne en même temps. Par conséquence, avec un pitch de 40um, La taille de cluster qui en découle sera de 120  $\mu\text{m}$  maximum.
- c. Ce nombre maximal de pixels qui puissent être lus en même temps n'est pas satisfaisant
- d. Pour pouvoir lire plus d'évènements, une proposition de réduire la fréquence de lecture à 20 MHz a été émise. Dans ce cas la latence de lecture passe à  $50\text{ns} \cdot 2^4 = 800\text{ns}$ . Cela permettra de lire jusqu'au 6 pixels par colonne et de pouvoir reconstruire un cluster de 6x6 pixels.
- e. La variation de la largeur des hits est estimée entre 100 ns et 40 us (dynamique temporelle).
- f. Pour les applications visées par ce développement une matrice 512x512 pixels est suffisante, le nombre de bits d'adresses par pixel peut être réduit en conséquence.
- g. L'utilisation des cellules mémoire sRAM dans le pixel est rejetée faute de ressources. Il faudra se contenter d'utiliser les cellules Latches standards plus faciles à intégrer dans le flow numérique.

#### **2. Vérifier auprès des physiciens que le hit rate est de 1MHz/cm<sup>2</sup> → X**

#### **3. Vérifier que c'est faisable d'avoir 9 bits au lieu de 7 bits pour l'adresse en vue d'une future application. (Pour le prototype actuel on va utiliser seulement 7 bits). → V**

4. **IPHC: vérifier auprès des physiciens si c'est plus adapté une architecture avec le partage de la mémoire entre les 4 pixels ou pas afin de pouvoir prendre une décision lors de la prochaine réunion. → V**
  - a. Cette idée n'est plus d'actualité. La lecture se fera bien pixel par pixel selon la logique de priorisation (Tokens)
5. **FM continue à regarder la possibilité d'avoir un serveur SOS au CCIN2P3 → X**
  - a. En cours
6. **RB confirme l'engagement de eDAQ pour les cartes. (Définir un slot à proposer au service eDAQ IP2I). → X**
7. **Contacteur Maciej pour plus d'informations sur les interfaces des cartes à développer. → X**

ACTION ITEMS:

1. IP2I fera une présentation plus détaillée de l'architecture validée avec une fréquence de lecture de 20 MHz et avec un temps de lecture par bit réduit (peut-être 70 ns au lieu de 150). Cela nous permettra de valider définitivement cette architecture.
2. Peut-on avoir un BCID à 40 MHz et la fréquence de lecture (Read) à 20 MHz ?
3. FM continue à regarder la possibilité d'avoir un serveur SOS au CCIN2P3
4. RB confirme l'engagement de eDAQ pour les cartes. (Définir un slot à proposer au service eDAQ IP2I).
5. Contacter Maciej pour plus d'informations sur les interfaces des cartes à développer.

Prochaine réunion le jeudi 23/11.