

## CR réunion ZOOM TIIX du 26/10//2023

### Présents :

IPHC: RS, HP, LF, CH

IP2I: BN, LC, XC, RB, DC

INFN Frascati:

### Actions du 19/10/2023 :

1. **Quelle solution pour la mémoire des événements au niveau pixel ? la solution des 5 bits dans le pixel (LE: Leading edge et TE: Trailing Edge) et 5 bits en bas de colonnes.**
  - a. En utilisant uniquement une mémoire basée sur des latches standards, LC confirme que la place disponible dans le pixel avec un pitch de  $41\mu\text{m}^2$  est seulement de 4 bits max (et non 5 bits) pour LE et 4 bits pour TE.
  - b. RS dit que 4 bits ne sont pas suffisants pour une dynamique aussi large (de quelques dizaines de ns jusqu'à 40 us).
  - c. Proposition de partager une mémoire latches de 10 bits pour les 4 pixels dans la même colonne; un gros pixel sous forme de 4 pixels consécutifs verticalement. Dans ce cas, on perd la granularité car un seul pixel va être lu si plus d'un pixel est touché en même temps dans ce groupement.
  - d. Une autre proposition est d'écrire/lire séparément dans deux endroits différents le LE et TE au niveau de chaque pixel. Une des solutions proposées, mais toujours à base des latches, est de déporter 6 bits MSB en bas de colonne faute de place et de conserver les 4 bits LSB dans le pixel. Cette solution a été longuement débattue et sera présentée en détail lors de la prochaine réunion (schéma - simulations).
  - e. RS se demande pourquoi ne pas utiliser des SRAMs comme dans OBELIX ? Cette solution nécessite plus de ressources selon LC.
  - f. Vu la forme de notre pixel (FE & digital) la topologie de la double colonne utilisée dans OBELIX n'est pas possible en l'état. Pour garder le pitch de 41 um la topologie choisie est celle de la simple colonne.
  - g. Vérifier la faisabilité d'avoir 10 bits d'adresse au lieu de 7 en vue de la soumission d'un capteur plus grand. (Pour le prototype actuel 7 bits suffisent).
  - h. La vitesse de lecture à fixer dépend du taux de hits envisagé ou souhaité par la physique. Des calculs ont été présentés mais sans pouvoir converger faute d'unanimité sur ce que demande les physiciens. Une discussion prochaine avec Jérôme et Eleuterio nous éclairera sur ce point.
2. FM continue à regarder la possibilité d'avoir un serveur SOS au CCIN2P3 → **X**
  - a. En cours
3. RB confirme l'engagement de eDAQ pour les cartes. (définir un slot à proposer au service eDAQ IP2I). → **X**
4. Contacter Maciej pour plus d'informations sur les interfaces des cartes à développer. → **X**

## ACTION ITEMS:

1. IP2I: préparer une présentation avec des schémas et des simulations de l'architecture de lecture séparée (pixel + bas de colonnes) du LE et TE proposée aujourd'hui.
2. IPHC: vérifier auprès de Jérôme & Eleuterio que le hit rate est de 1MHz/cm<sup>2</sup>.
3. IP2I: Vérifier la faisabilité d'avoir 10 bits au lieu de 7 bits pour l'adresse en vue d'une future soumission.
4. IPHC: vérifier auprès Jérôme & Eleuterio s'ils acceptent une architecture basée sur le groupement des 4 pixels avec le partage de la mémoire afin de pouvoir prendre une décision lors de la prochaine réunion.
5. FM continue à regarder la possibilité d'avoir un serveur SOS au CCIN2P3.
6. RB confirme l'engagement de eDAQ pour les cartes. (Définir un slot à proposer au service eDaq IP2I).
7. Contacter Maciej pour plus d'informations sur les interfaces des cartes à développer.
8. RS fourni à IP2I les schémas, symboles et bancs de tests au niveau pixel

Prochaine réunion le jeudi 9/11.