

CR réunion ZOOM TIIX du 12/09/2024

Présents :

IPHC: RS, GB, LF

IP2I: BN, XC, LC

INFN Frascati: ES

Actions du 29/08/2024 :

1. Changer la librairie TJ pour l'implémentation de la colonne. → **X**
 - a. Les cellules de 2 librairies (_wb et sans _wb) n'ont pas le contact de substrat, il faut donc le rajouter d'une manière ou d'une autre.
 - b. Il faut donc connecter NWELL à VDD et ne pas connecter P+ a VSS et ne pas utiliser le wb dans la matrice. Pour faire cela il faut modifier les cellules de la librairie qui implémentent le contact de subtract. Voir comment faire cela dans le flow.
2. Le routage des rails d'alim (analogique et numérique) pour la matrice peut commencer à être discuté. (RS avec LC) → **V**
 - a. Echange fait entre RS et LC. Les rails de la partie analogique ne traversent pas la partie numérique, il y a pas d'interconnexions entre la colonne analogique et celle numérique mais l'interconnexion sera faite seulement au niveau top.
3. XC étudiera la question de la distribution des signaux globaux utilisés pour l'émulateur. → **X**
 - a. XC a présenté 3 modifications importantes dans le code de lecture. Ces dernières ne sont pas encore vérifiées en simulation.
 - b. Le premier concerne masking de la colonne : Il y a maintenant un signal (col_sel_clk) qui traverse toutes les EOC, Ces derniers sont donc enchaînés horizontalement. Il y a maintenant une nouvelle option pour masquer ou pas toute une colonne au niveau de la matrice.
 - c. Le deuxième : Avant le contrôleur de l'émulateur avait la clk de 160 MHz en entrée, maintenant c'est celle du slow control qui est utilisée.
 - d. La troisième : Pour réduire la longueur des signaux en sortie des muxs au niveau de l'implémentation, XC a proposé d'utiliser des muxs en série au lieu des muxs en parallèle. Dans cette proposition il y a une combinaison de 2 techniques pour limiter les inconvénients de l'une et de l'autre. Pour chaque 3 muxs en série, il y a un mux de type M2 (voir slides présentés) pour pouvoir couper le signal 'ready' qui connecte les mux enchaînés. Par rapport au mux actuel la vitesse de sortie est plus lente, mais occupe moins de place. Cette discussion autour du ce nouveau fonctionnement des muxs est reporté à la prochaine réunion.
4. Vérifier pourquoi le signal global sclk est à 128 bit. → **V**
 - a. Fait
5. Au niveau top connecter le padding. → **X**
6. RS vérifie que dans les abstracts analogiques les alims sont déclarés comme power et non pas comme signaux.
 - a. Fait
7. RS layout finalisé, seulement sim post-layout restent à faire → **X**

- a. RS doit refaire des modifications au niveau DAC et colonnes pour palier au problème des contacts substrat constaté dernièrement lors des tests du circuit TIIMM.
8. Validation des contraintes SDC du top entre LC et GB → **X**
 - a. A faire
9. BN, SPI Protocol à tester via le banc de test UVM → **V**
 - a. Protocole SPI vérifié, actuellement la vérification est sur le mécanisme de masking des pixels.
10. LC donnera une vue oa de la colonne pour l'intégration au TOP. → **X**
11. Validation des contraintes SDC du top entre LC et GB → **X**
12. testbench UVM à ajouter sur gitlab → **V**
 - a. Le tb UVM est sur gitlab, dans un projet séparé. Il sera mis sur le gitlab 'tiix' une fois qu'il est complet.
13. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK. → **X**
14. MK fera le schéma et le layout de la carte fille + schéma de la carte mère.
 - a. En cours

ACTION ITEMS:

1. Voir comment modifier les cellules de la librairie pour connecter le substrat.
2. Continuer la discussion concernant l'implémentation du mux2to1.
3. Au niveau top connecter le padding.
4. Modification des IDACs et bas de colonnes (Analog) par RS
5. LC donnera une vue oa de la colonne pour l'intégration au TOP.
6. Validation des contraintes SDC du top entre LC et GB
7. Test du mécanisme de masking des pixels via UVM testbench
8. GB prépare les scripts pour le plan d'alimentation (un draft) et fera intégration des différents blocs SPI, etc. avec MK.
9. MK fera le schéma et le layout de la carte fille + schéma de la carte mère.

Prochaine réunion le jeudi 26/09 à 14h30.