



# La MI2I et les défis de la Microélectronique

+ *Intérêt et accès aux technologies ASIC BiCMOS*

Damien PRÊLE - APC pour la  
Samuel MANEN - LPC Clermont  
Didier CHARRIER - Subatech



10 juil. 2023, SUBATECH, Nantes

# La microélectronique à l'IN2P3 - La MI2I

Réseau métier / fédérer les micro-électroniciens de l'IN2P3 ... mais aussi recenser répondre aux besoins de l'institut  
 Faire face à la complexification des designs et à l'augmentation des coûts

## COMEX 2023 - 2025

**S. Manen**, LPC Clermont (responsable)

**D. Prêle**, APC (adjoint)

**L. Leterrier**, LPC Caen

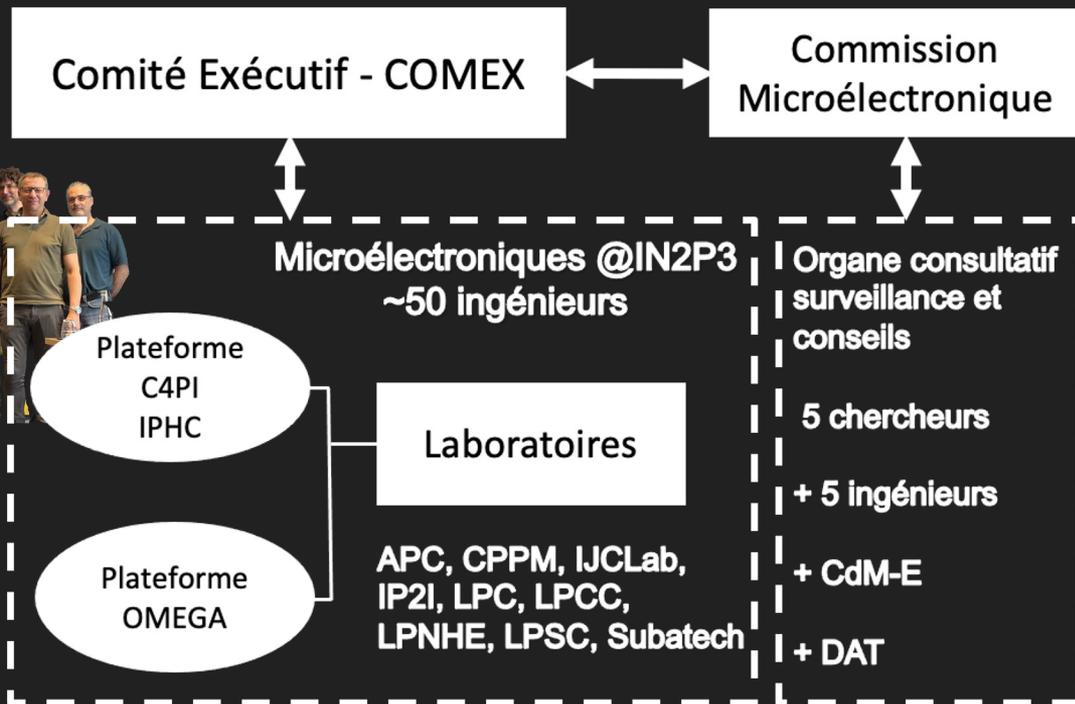
**H. Mathez**, IP2I

**M. Menouni**, CPPM

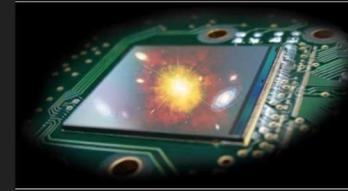
**F. Morel**, C4PI

**P. Vallerand**, IJCLab

Groupe et axes de travail resserrés



# La microélectronique à l'IN2P3 - La MI2I



Fédérer la communauté -> **Synergie**

Mutualiser les logiciels, les serveurs, les licences ... les méthodes et les designs -> **Outils**

Veille techno et roadmap -> **Techno**

- Fonderies/technos
- Blocs

Chercheurs vs Électroniciens

R&T et Projet moyen terme  
Mesure de temps  
ADC ...

OMMIC: outils communs CCIN2P3

+ Axes de travail vs DRDT identifiés

## Synergie

- Communication
- Site web
- Partage d'infos VLSI
- Ecoles
- Enseignement ...

## Outils

- OMMIC
- Cadence
- NDA
- DK

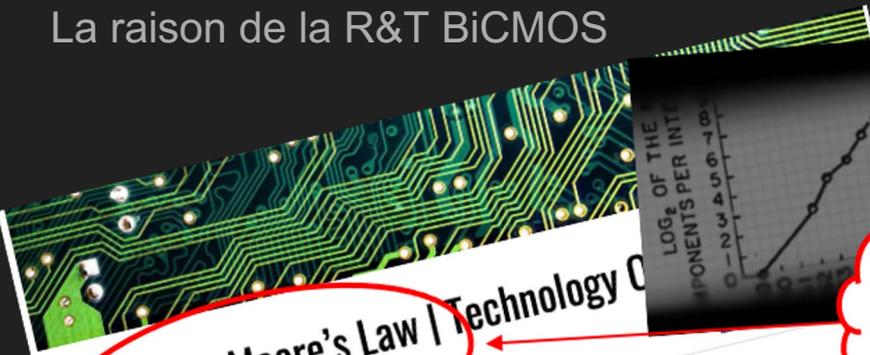
## Techno

- Roadmap techno
- R&T « design » :  
ADC TDC Briques  
TechnosAlt

- 1 nm
- 2 nm
- 3 nm
- 5 nm
- 7 nm
- 10 nm
- 14 nm
- 20 nm
- 22 nm
- 28 nm
- 32 nm
- 40 nm
- 45 nm
- 55 nm
- 65 nm
- 80 nm
- 90 nm
- 110 nm
- 130 nm
- 150 nm
- 180 nm
- 220 nm
- 250 nm
- 280 nm
- 350 nm
- 500 nm
- 600 nm
- 650 nm
- 700 nm
- 750 nm
- 800 nm
- 1 μm
- 1.2 μm
- 1.3 μm
- 1.5 μm
- 2 μm
- 2.5 μm
- 3 μm
- 3.5 μm
- 5 μm
- 6 μm
- 8 μm
- 10 μm
- 16 μm
- 20 μm
- 50 μm



# La raison de la R&T BiCMOS



Journal

November 21, 2018

## Racing to the End of Moore's Law: The New World Semiconductor Order

Who Will Drive Semiconductor Advances Going Forward, asks UCSB's Andrew Kahng – Foundries, Design, or EDA?  
by Steven Leibson

There's a new world order coming for the semiconductor industry, said A.B. Kahng, Professor of CSE and ECE at UC San Diego, who was speaking at the [Electronic Design Process Symposium](#) held in September at the Milpitas offices of SEMI, the industry association for the global electronics supply chain. Moore's Law, and the race will now be won by sheer capex (capital expenditures) and scaling. Moore's Law's tectonic plates are moving rapidly at the moment. Scaling levers—the ones that brought Moore's Law to life in the first place—held in September at the Milpitas offices of SEMI, the industry association for the global electronics supply chain. Moore's Law (now dead, see "Costs of Moore's Law") was a decline of 1% per week, on average.

## Surpassing Moore's Law | Technology Connection

June 10, 2021 4:55 am

[ad\_1]  
New open-source tool helps design faster, energy efficient computers  
For decades, improvements in computing power have followed a largely exponential path known as Moore's Law. As transistors shrink, more of the binary switching elements fit on a computer chip, increasing its computing power. However, the physical limits of transistor chips have slowed this exponential growth and will eventually end Moore's Law. Soon we will no longer be able to make smaller and smaller chip makers and software developers to come up with new ways to improve performance.

**mais la loi de Moore est avant tout une loi pour les processeurs (nb de transistor par microproc.) -> c'est donc très très NUMERIQUE**

But not so much any more. This is the end of Moore's Law (now dead, see "Costs of Moore's Law") was a decline of 1% per week, on average.

**Qu'en est il des front-end ANALOGIQUE**

des détecteurs IN2P3 ?

[prele@apc.in2p3.fr](mailto:prele@apc.in2p3.fr)

## La R&T BiCMOS

D. Charrier Subatech - porteur, D. Prêle APC - co, L. Alvado LPC Caen, E. Bechetoille IP2I, S. Chen APC, L. Leterrier LPC Caen, J. Mesquida APC, P. Russo IP2I, B. Ton, M. Gonzalez APC, aussi WP1.1 MI2I : P. Pangaud CPPM, J. L. Babigeon IJCLab, S. Manen LPC Clermont, F. Rarbi LPSC

Cerner les besoins et l'évolution des besoins micro-électroniques à l'IN2P3  
Faire la part entre besoins « NUMERIQUES » et « ANALOGIQUES »  
Justifier le **besoin de performances analogiques front-end** :

**Bas bruit basse fréquence**

**Large-dynamique (voire haute tension)**

**Large-bande (produit gain bande)**

**Basse consommation**

...

**Pérennité**

**Bas cout**



- **Choisir** une ou 2 technos ASIC BiCMOS
- Obtenir les NDA et **installer** les design KIT
- **Réaliser** des fonctions de base (protos ASIC)
- **Mesurer** les performances et **comparer les technologies**

## L'environnement de la R&T BiCMOS

- La R&T BiCMOS /Workpackage WP 1.1 "Technologies alternatives" de la MI2I
  - Technologie BiCMOS -> axe de travail prioritaire, **au moins une fonderie**
  - Technologies CMOS pure > 180nm/130nm sont aussi un axe de travail : au moins une comparaison des **facteurs de mérite**, très probablement une fonderie
- Signature de **licences globales IN2P3** (12 laboratoires) avec :
  - Le fondeur IHP, technologie SiGe en 250nm et 130nm
  - Le fondeur XFAB, accès à toutes les technologie de la 350nm à la 180nm
- Infrastructure matériel et logiciel du projet OMMIC - Outils partagés
  - Connexion SSH au centre de calcul de l'IN2P3 : conditions de travail satisfaisantes
  - Maintenance de Cadence et mise à jour des DK réactive et de qualité
    - contact : E. Bechetoille IP2I / N. Pillet LPC Clermont

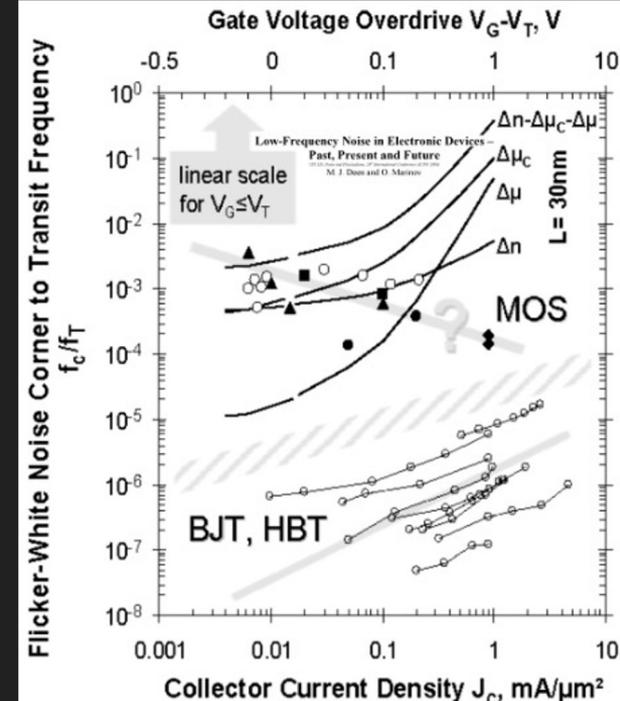
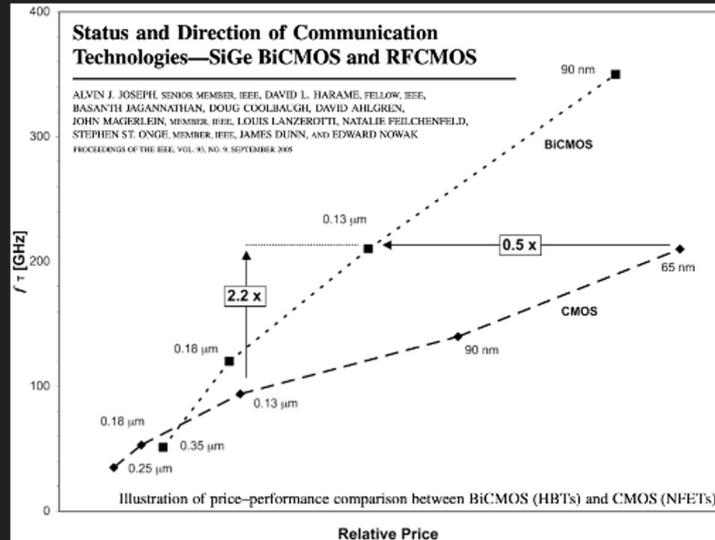
# Les besoins de technologies "alternatives"

Identification d'intérêt techno. mature CMOS/BiCMOS

**Faible bruit** sur impédances de source faible : détecteurs fortement capacitif ou faiblement résistif : détecteurs Si GANIL, photovoltaïques ou SQUID/TES

- produit **gain-bande élevé**, permet des taux de contre réaction élevé -> faible dérive en température, meilleure linéarité

- **bruit en 1/f**
- grand  $r_{out}$  intérêt pour des étages de 'puissance'
- grande dynamique

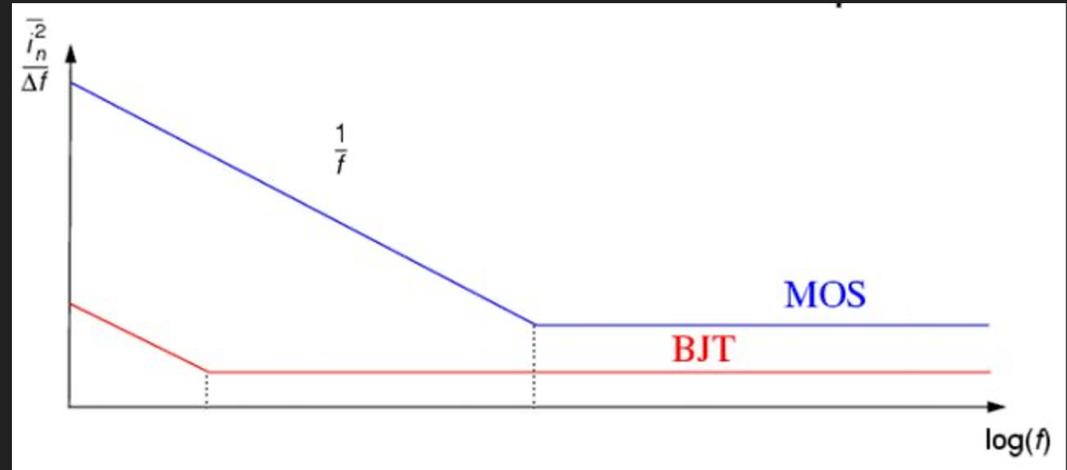


## Les facteurs de mérites

- Comparaison performances CMOS/BiCMOS de divers fondeurs (AMS 350, ON semi 350, IHP 130 et 250, TSMC 130, TSI 180, ST 130)

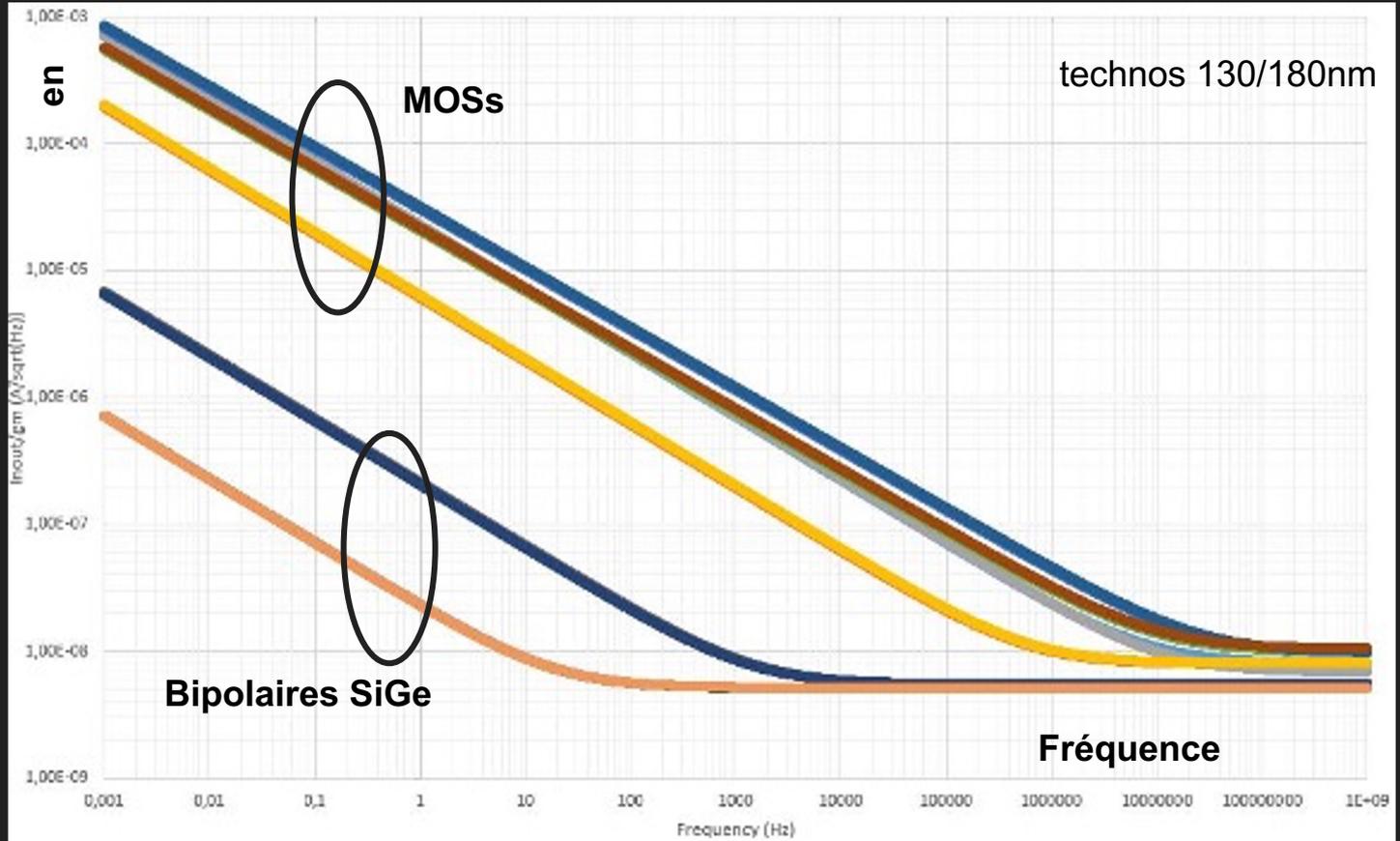
**Facteurs de mérite :** gm/Id, gm/Id.ft, gm.rout, gm.rout.ft, bruit total en entrée normalisé

Efficacité de transconductance : gm/Id  
 Gain en tension : gm x rout  
 Produit gain bande : gm x rout x fmax  
 Bruit : Inout/gm  
 Dynamique/SNR : Vmax/Inout (TBC)  
 la dynamique dépend aussi des ADC

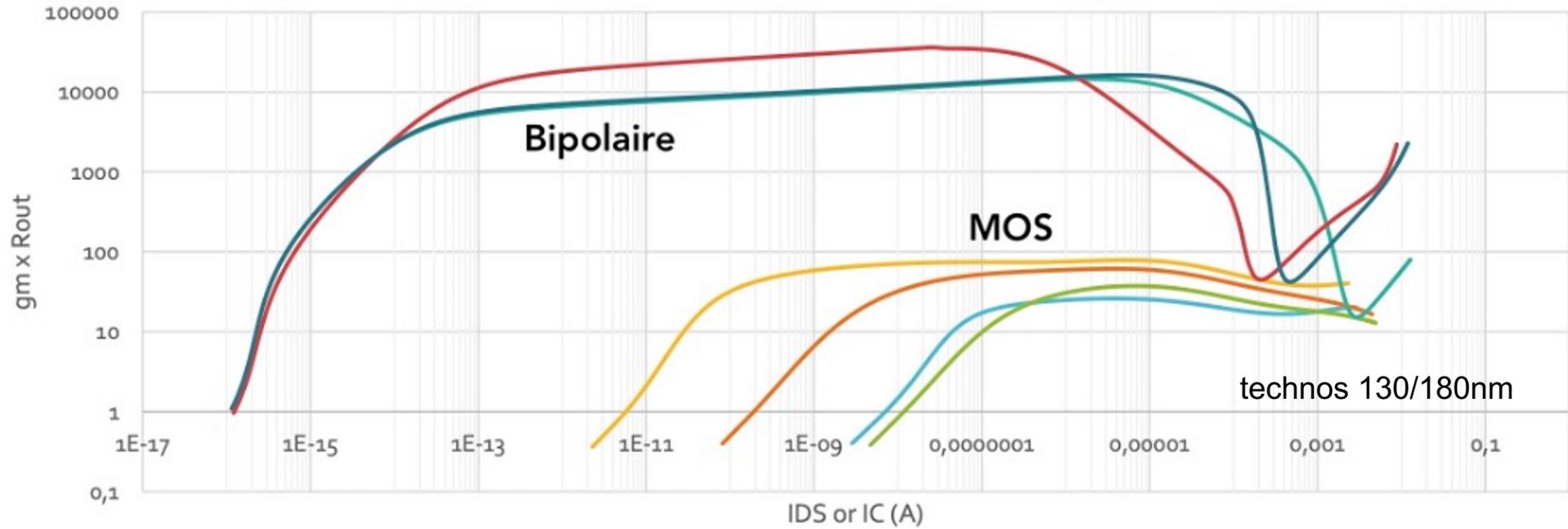


DOI: 10.13140/RG.2.2.27724.21128

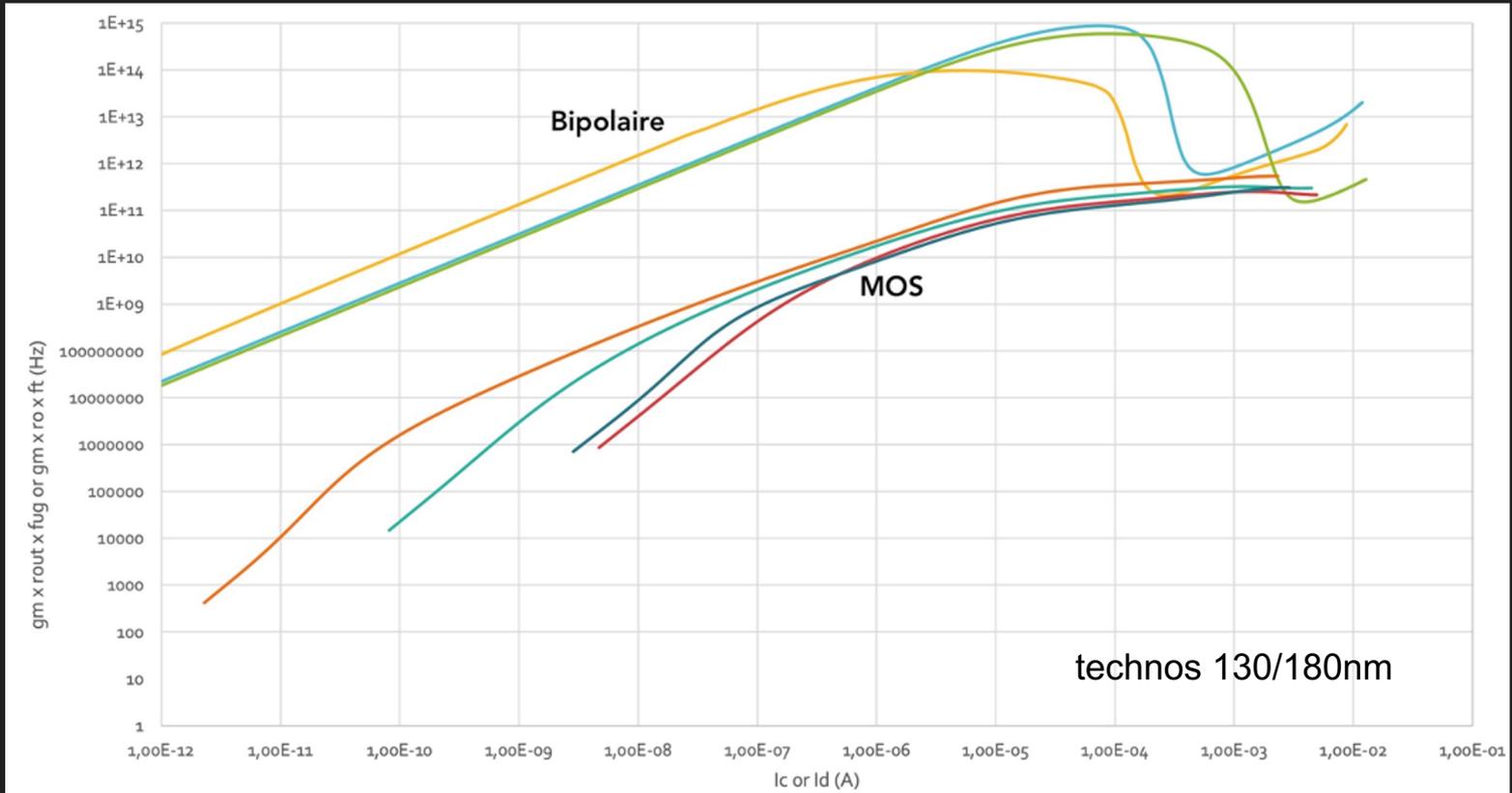
# Le bruit



# Gain



# GainBW



## Circuits de test IHP130

- **IP2I ampli de transimpédance CMOS**
- **LPC-Caen : Ampli de charge MOS d'entrée + cascode NPN Ampli de charge NPN d'entrée (High C det  $\approx 500$  pF)**
- **APC Sonde de température différentielle / Ampli de tension full différentielle, gain  $\approx 160$  V/V, low 1/f noise et input noise  $\approx 1$  nV/sqrtHz, BW  $\approx 25$  MHz (DAC 8/10 bits différentiel avec référence de courant)**
- **SUBATECH Ampli pour caractérisation bruit en 1/f**  
**Ampli transimpédance  $\approx$  DC-10 MHz faible bruit en 1/f  $\approx 4$  pA/sqrtHz dès 100 Hz**

**Fonderie IHP 130 nm SG13S programmée pour fin 2023**

Budget fonderie de 22 k€ 1.6 mm<sup>2</sup> de surface 'utile' (hors PAD ring) ...

## Défis d'accès aux technologies ASIC

- **28nm** pour du digital avancé (cout très élevé + besoins de nombreux FTE)  
*Conception de circuits très complexes sur plusieurs labos -> DRD7*
  - Futurs détecteurs internes et transmission de données
  - **Densité d'intégration + tolérance aux très fortes doses**  
Déjà débutée par R&D CERN, AidaInnova, INFN  
@ IN2P3: 28nm portée par Master Project Dephy @CPPM
    - Les NDAs 28nm ont été signées par l'IN2P3
- **65nm** pour du mixte en évolution de 130nm (?) + Optique
  - TSMC (LHCb), TOWER CIS (M-Pixels), Expertises et IP pour échanges potentiels; **activités CERN** -> mobilisent déjà les ressources IN2P3 sur des projets (R&T LHCb PicoCal, IJCLab & LPC Clermont; ASIC « Spider » mesure de temps haute résolution : co-resp S. Manen et P. Vallerand, Tracker ALICE-ITS3: IPHC et CERN R&D WP1.2 CPPM
- 130/180nm (technologie alternative) + Cryo ?
  - Technologie pérenne, **répondant à un large champ de besoins en électronique analogique frontale**, à nombre de voies modérées (Evaluation de 3 technos IHP130, ST130, XFAB180) -> R&T BiCMOS D. Charrier / D. Prêle

## Défis d'accès aux outils et maîtrise des infrastructures

- **Cloud IN2P3 pour la  $\mu$ E au CC-IN2P3**, catalyseur pour le travail en équipe
- **OMMIC** = Outils Mutualisés pour la Microélectronique (Rq: Cadence @ Amazon)  
Gestion centralisée; procédures unifiées; coworking; ressources calcul & stockage  
T1-23: RP N. Pillet @LPC Clermont, + 0,3 ETP informaticien puis experts outils CAO
- **Demonstarteur OMME (R&T)** qui accueille ~3 projets
  - versioning selon règles d'accès dictées NDA/Projets
- 2 machines en production et 1 pour développement et **montée en charge d'ici 2025**
- **Gestion des NDA**; Maitrise totale par l'IN2P3 pour ses labos (12 concernés par la  $\mu$ E)  
processus dépendant de chaque fondeur: XFAB, TSI, TSMC
- **Marché CADENCE**
  - Nouveau marché 2023-26  
ASIC analogiques: Evolution: Simulateur rapide et Editeur de layout  
**ASIC numériques: Configuration renforcé mais €€€€**
- **Simulation / Vérification numérique ( $\mu$ E et FPGA): Refonte prometteuse mais pas pour 23-26, €€€€**