

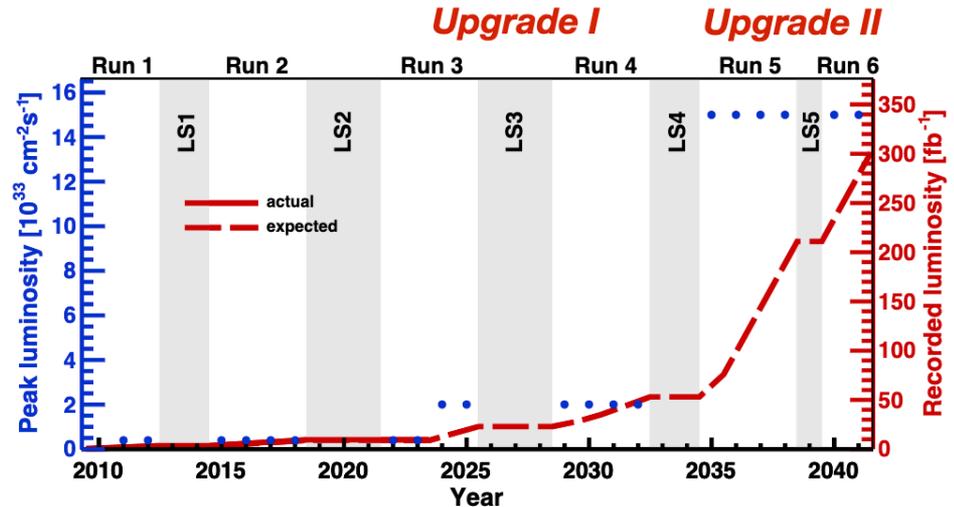
# Projet LHCb-ECAL2

Ludovic Alvado, Nicolas Arveuf, Edouard Bechetoille,  
Christophe Beigbeder, Guillaume Blanchard, Dominique  
Breton, Raphael de Neef, Laetitia Guerry, Frédéric Jouve,  
Baptiste Joly, Laurent Leterrier, Jihane Maalmi, Samuel Manen,  
Hervé Mathez, Patrick Robbe, Christophe Sylvia, Aurélie  
Terrisse, Vincent Tisserand, Philippe Vallerand, Richard Vandaele

# LHCb Upgrade 2

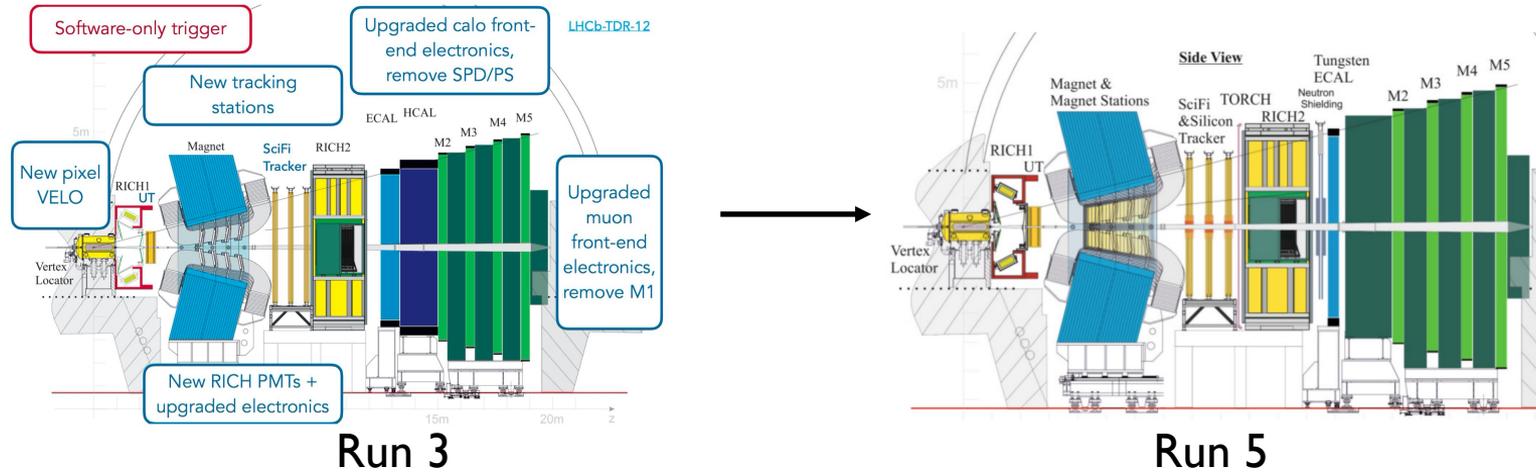


- Proposition de construire un nouveau détecteur pour LHCb pour les Run 5 et 6 du LHC, et intégrer 300  $\text{fb}^{-1}$  de données à la fin du LHC



# Détecteur pour Upgrade II

- Mêmes performances que pour Run 3, avec un pile-up de 40 au lieu de 6

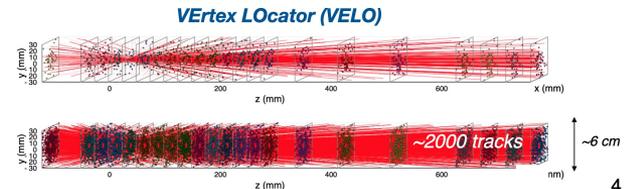


- Même géométrie du détecteur avec des technologies innovantes pour les sous-détecteurs et le data processing
- Éléments principaux:

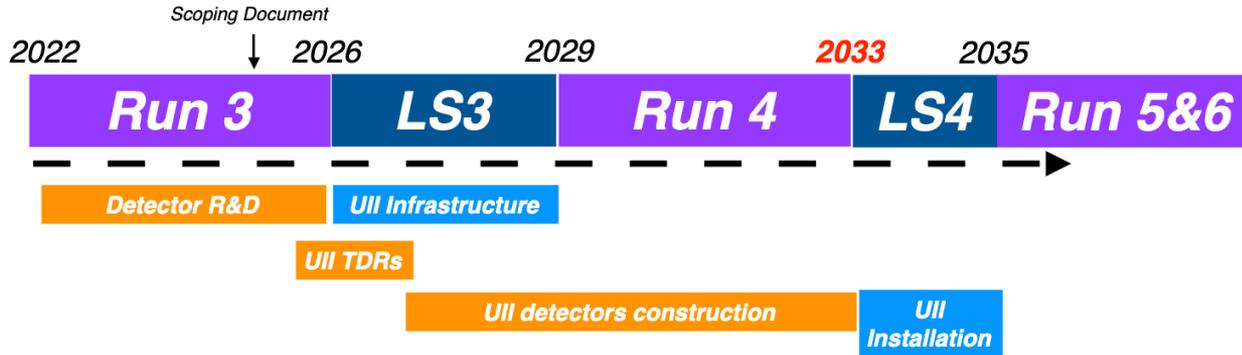
- Augmenter la granularité
- Ajout de la mesure du temps (résolutions de l'ordre de 10-50 ps)
- Résistance aux radiations (jusqu'à  $10^{16}$  n<sub>eq</sub>/cm<sup>2</sup>)

Run 3: pile-up ~6

Upgrade II: pile-up ~40



# Planning



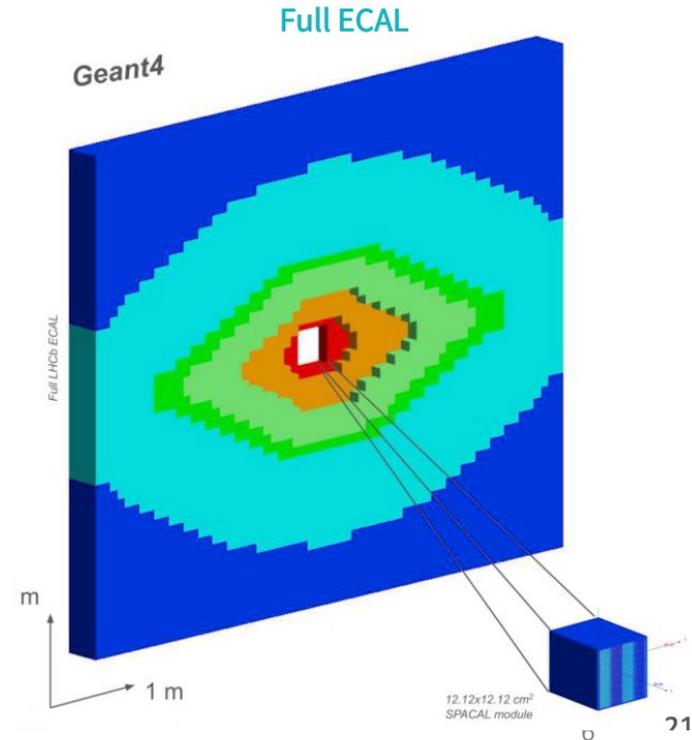
- Contraintes pour le planning de Upgrade II:
  - Tous les détecteurs doivent être prêts au début de LS4, en 2033
    - Démarrage de la construction pendant LS3
    - Anticipation dès LS3: infrastructure, ECAL et RICH
  - Durée de LS4 n'est que de 2 ans
  - Moins de 1 an de commissioning pour profiter au maximum des Runs 5 et 6:
    - Planification en avance de la phase de commissioning

# ECAL upgrade 2: PicoCal

- Un des détecteurs d'intérêt pour les groupes français dans LHCb: Calorimètre électromagnétique (PicoCal):
  - Electronique: LPC Clermont-Ferrand, IJCLab Orsay, LAPP Annecy
  - Mécanique: LAPP Annecy
- Pour Upgrade 2:
  - Augmenter la granularité: nouvelle structure mécanique
  - Ajouter la mesure du temps dans les cellules: nouvelle électronique de Front-End et ASIC dédié (SPIDER: « **Swift P**ipelined **D**igitiz**ER** » )

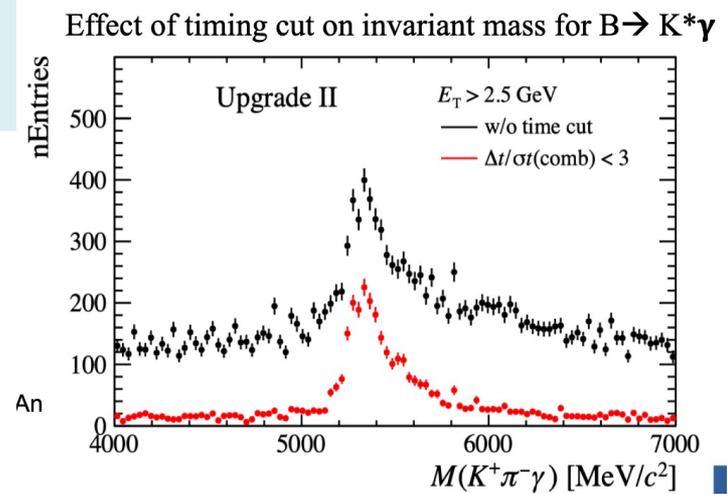
# Granularité ECAL

- Moyen efficace d'améliorer les performances à haute luminosité
- Réorganisation des zones du ECAL en forme de losanges pour mieux suivre les doses de radiation et l'occupation des cellules
- Cinq zones de cellules de tailles différentes: (1 module = 1 bloc de 12x12 cm<sup>2</sup>)
  - 1.5x1.5 cm<sup>2</sup>: 32 modules (type SpaCal-W) – 2048 cellules
  - 3x3 cm<sup>2</sup>: 144 modules (type SpaCal-Pb) – 2304 cellules
  - 4x4 cm<sup>2</sup>: 448 modules (type Shashlik) – 4032 cellules
  - 6x6 cm<sup>2</sup>: 1344 modules (type Shashlik) – 5376 cellules
  - 12x12 cm<sup>2</sup>: 1344 modules (type Shashlik) – 1344 cellules
- Ajout de segmentation longitudinales à la position du maximum de développement de la gerbe électromagnétique (utile aussi pour l'identification de particules: séparation électron/hadron)
- Une cellule = 2 voies pour le readout (1 avant and 1 arrière)
  - Total de **30208 voies**

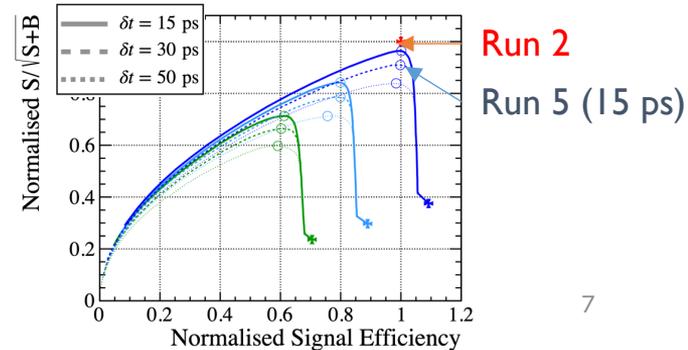


# Mesure de temps précise

- Pour lutter contre le bruit de fond important dû au pile-up: ajout de la mesure du temps dans le ECAL avec une précision de 15 ps = PicoCal
- Sélection des cellules où  $|t_{\text{ECAL}} - t_{\text{PV}}|/\sigma(t) < 3$ 
  - $t_{\text{PV}}$ : temps de la collision mesuré par d'autres détecteurs (VELO par exemple)
  - $t_{\text{ECAL}}$ : temps mesuré dans le ECAL, corrigé du temps de vol
  - $\sigma(t)$ : résolution en temps du ECAL



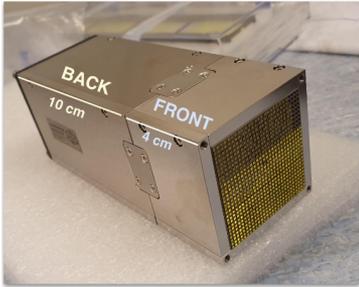
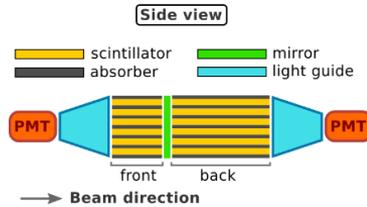
Full simulation du signal  $B^0 \rightarrow K^{*0} \gamma$  avec pile-up



# Modules ECAL

- R&D en cours pour produire des modules qui permettent la mesure en temps precise pour une resolution en énergie de  $10\%/\sqrt{E}$

SPACAL:

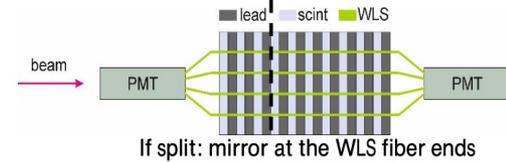


Absorbeur W, fibres cristal:  
Grande resistance aux radiations et rayon de Molière petit



Absorbeur Pb, fibres polystyrène

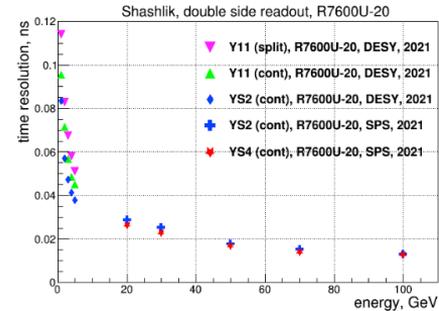
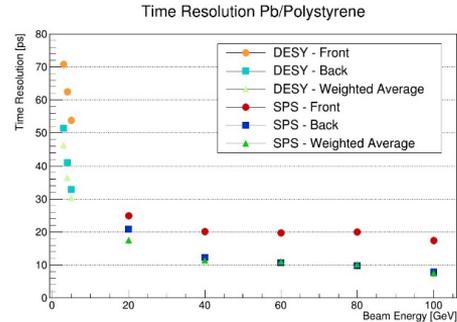
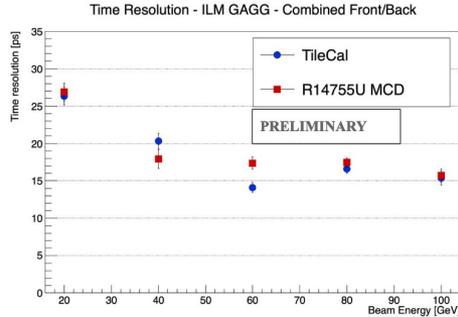
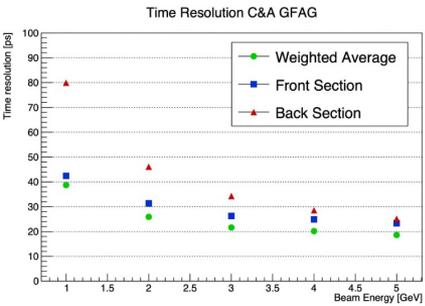
SHASHLIK:



Modules actuels: région externe

# Test faisceaux: résolution en temps

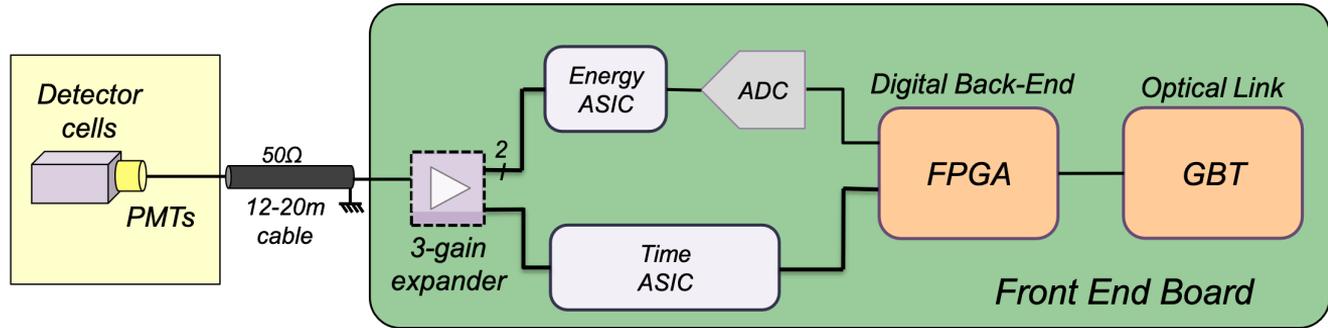
- Plusieurs campagnes, à **DESY** ( $e^\pm$  1 – 6 GeV) et au **CERN-SPS** ( $e^-$  20 – 300 GeV)
- Participation de l'équipe IJCLab-LHCb (*Manuel Guittièrre, Christophe Beigbeder, Mariia Buchynska, Raphael De Neef*)



- Résolution en temps inférieure à 20 ps pour les grandes énergies
- DAQ avec 2 systèmes basés sur le “waveform sampling” dans des mémoires analogiques: **DRS4** et **WaveCatcher** (IJCLab – IRFU, Dominique Breton – Eric Delagnes)

# Electronique pour ECAL Upgrade II

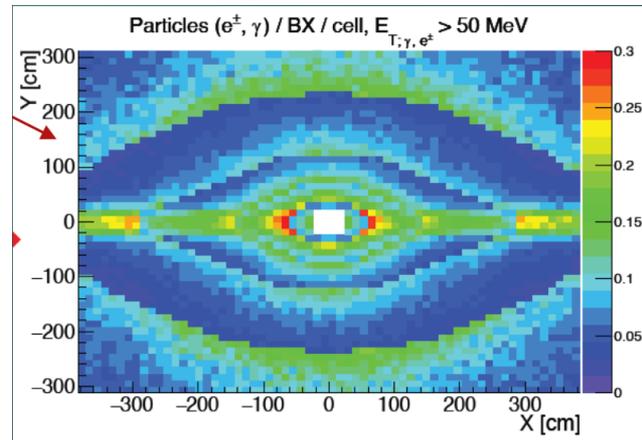
- Architecture:



- Lecture par PMTs
- Deux chemins séparés avec des ASIC dédiés développés en parallèle, avec la même technologie (TSMC 65 nm):
  - **ASIC temps (SPIDER):** waveform TDC dans des mémoires analogiques (R&T IN2P3, Orsay/Clermont-Ferrand/Lyon/Caen)
  - **ASIC énergie** (Barcelone, Valence), avec un design proche de l'ASIC actuel (ICECAL): mesure de la charge à la fréquence de 40 MHz sur 12 bits avec des gains différents (gamme dynamique entre  $E_T = 0$  to 400 GeV)

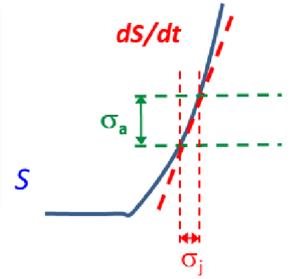
# Mesure du temps: contexte

- Resolution visée: 15 ps RMS
- Sur une gamme dynamique élevée: entre  $E_T = 50$  MeV et 5 GeV (facteur 100)
- Avec un taux de comptage de 10% (à 40 MHz) initialement

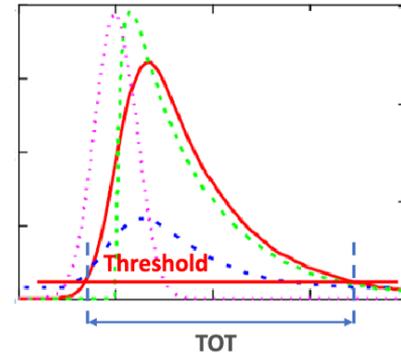
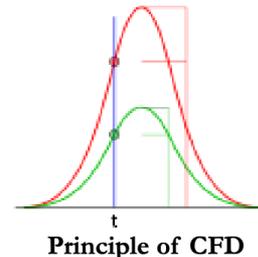
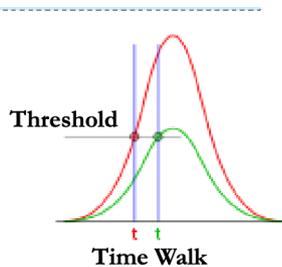
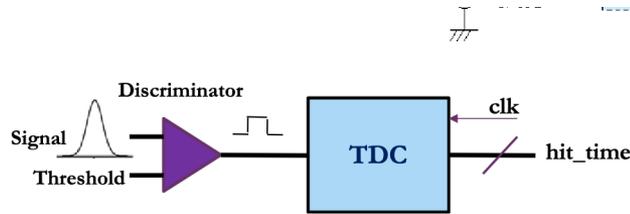


Taux de comptage par voie

# Mesure du temps



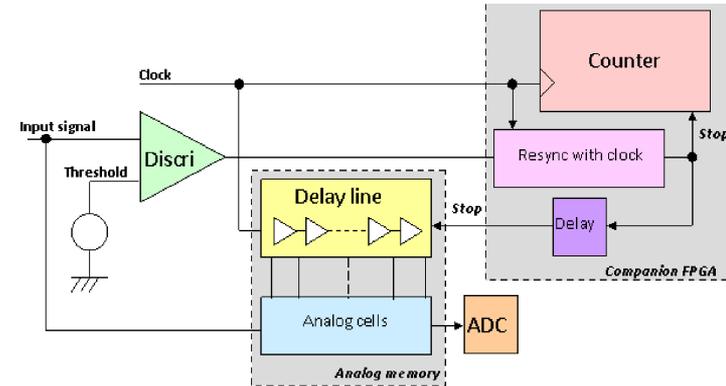
- Résolution théorique: 
$$\delta_t = \frac{t_{rise\ time}}{SNR} = \frac{Noise}{Slope}$$
- Avec les candidats PMTs pour le détecteur, rise time de l'ordre de 1ns
- Système classique: TDC (Time to Digital Convertor)
  - doit être associé à un discriminateur, pour transformer le signal analogique en signal digital.
  - Cela introduit un jitter supplémentaire et du “time walk”



- Amélioration possible en appliquant un seuil dépendant de l'amplitude (CFD – Constant Fraction Discrimination) mais besoin de connaître a priori le maximum de l'amplitude
- Cela peut-être compensé (en utilisant le TOT (Time over threshold)), mais avec une précision limitée, particulièrement avec des signaux asymétriques comme ceux des PMTs

# Mesure du temps: Waveform Digitizing

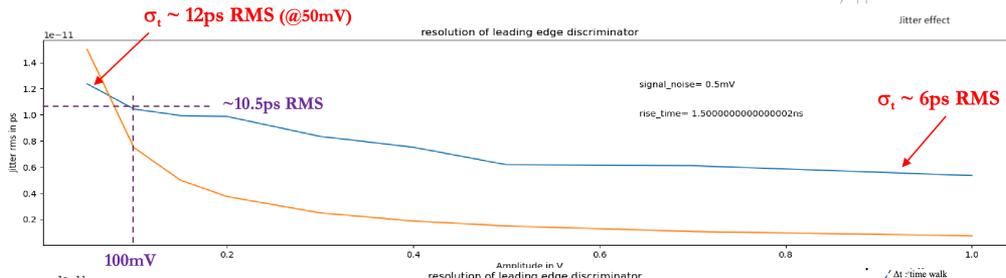
- La mesure du temps peut aussi être faite par échantillonnage de la forme du signal, en utilisant des mémoires analogiques en association avec un FPGA.
- Le temps est calculé en utilisant:
  - un compteur (~1 ns step),
  - une DLL pour définir la région d'intérêt (~200 ps step)
  - des échantillons sur la forme du signal:
  - l'interpolation permet de mesurer le temps avec une précision de quelques ps RMS, avec une calibration précise même pour des signaux de faible amplitude
- Les principaux inconvénients:
  - grand temps mort (~ 100  $\mu$ s) qui limite l'utilisation à grand taux (but = 40 MHz)
  - En général besoin d'un trigger



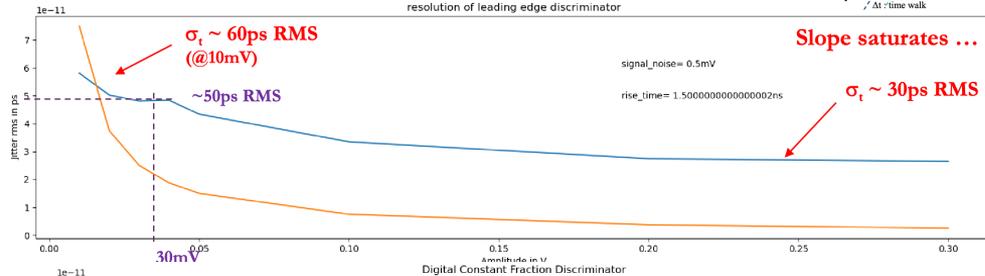
# Simulations

- Simulation du jitter sur le timing en fonction de l'amplitude du signal en utilisant un signal typique d'un module du ECAL lu par un PMT: rise time = 1.5ns,  $\sigma_{\text{noise}} = 0.5\text{mV RMS}$  (Philippe Vallerand)

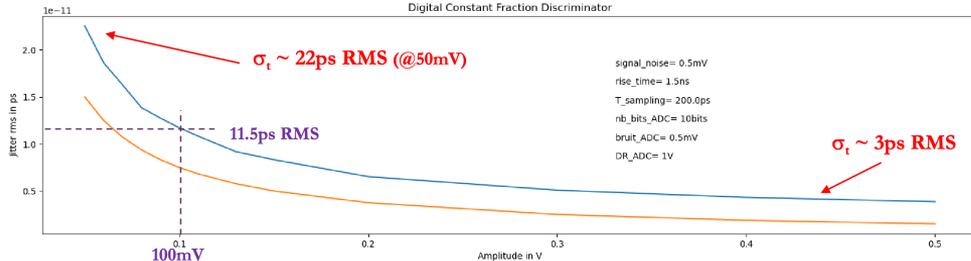
Discriminateur avec gamme dynamique de 1:20 ( $V_{\text{in}}$  de 50mV à 1V, seuil à 25mV)



Discriminateur avec gamme dynamique de 1:100 ( $V_{\text{in}}$  de 10mV à 1V, seuil à 5mV)

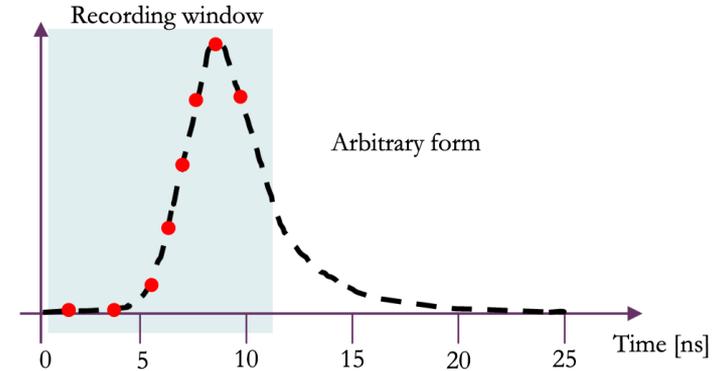


Digital CFD basé sur la forme du signal avec gamme dynamique de 1:100 ( $V_{\text{in}}$  de 10mV à 1V)



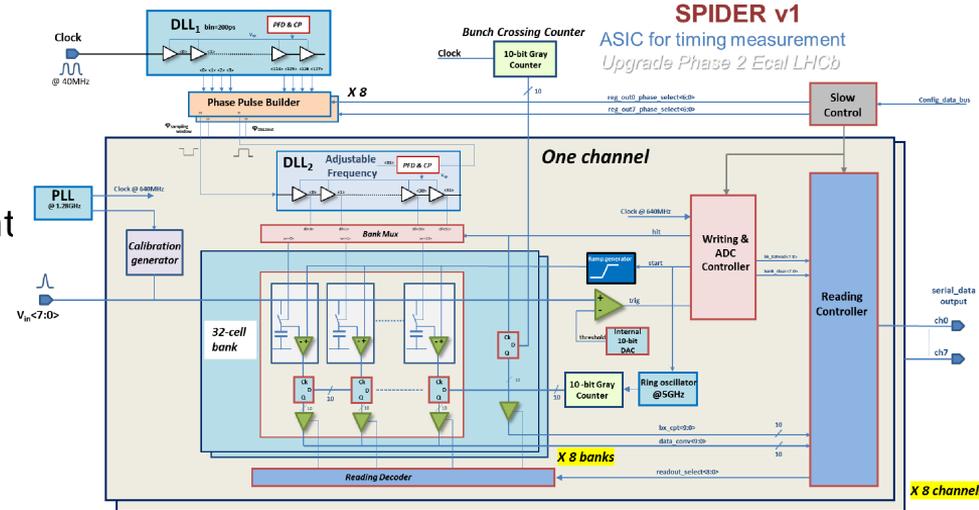
# SPIDER

- Discriminateur + TDC est bien adapté pour des gammes dynamiques pas trop élevées mais pas pour le cas du ECAL de LHCb
- Développement d'un ASIC avec digitisation de la forme du signal dans des mémoires analogiques: **SPIDER**
  - Jitter visible dans la région des basses énergies (où aussi les modules ont des performances dégradées), mais contribution négligeable à haute énergie
  - Calibration simple, générée de façon interne
  - L'algorithme d'extraction du temps peut être modifié pour suivre la dégradation du signal avec les radiations
  - Challenging mais solution robuste et adaptée à notre problème
- Idée principale: enregistrer le signal seulement dans une fenêtre en temps qui est une fraction de la période de l'horloge et sélectionner 8 échantillons qui seront utilisés pour le calcul de la mesure de temps via CFD
  - Cela limite le temps de lecture des mémoires analogiques (40ns/evt @ 200 MHz/échantillon)
  - Extraction du temps dans un FPGA



# SPIDER: Architecture

- Chaque voie est “self-triggering”, avec des discriminateurs individuels
- 8 banques par voie, qui peuvent être déclenchées sur des Bunch Crossings consécutifs: derandomizer analogique
  - La fenêtre d'échantillonnage est calée sur le temps de vol des particules par rapport au point d'interaction
- La conversion Analogue-Digitale est massivement parallèle, pour pouvoir convertir toutes les banques qui ont déjà “triggué”
  - Cela permet d'augmenter le taux d'occupation acceptable (jusqu'à 50% au niveau ADC)
  - Le point de blocage devient la lecture et la capacité en sortie d'envoi des données (jusqu'à 2Gbit/s/voie)



# SPIDER: Caractéristiques

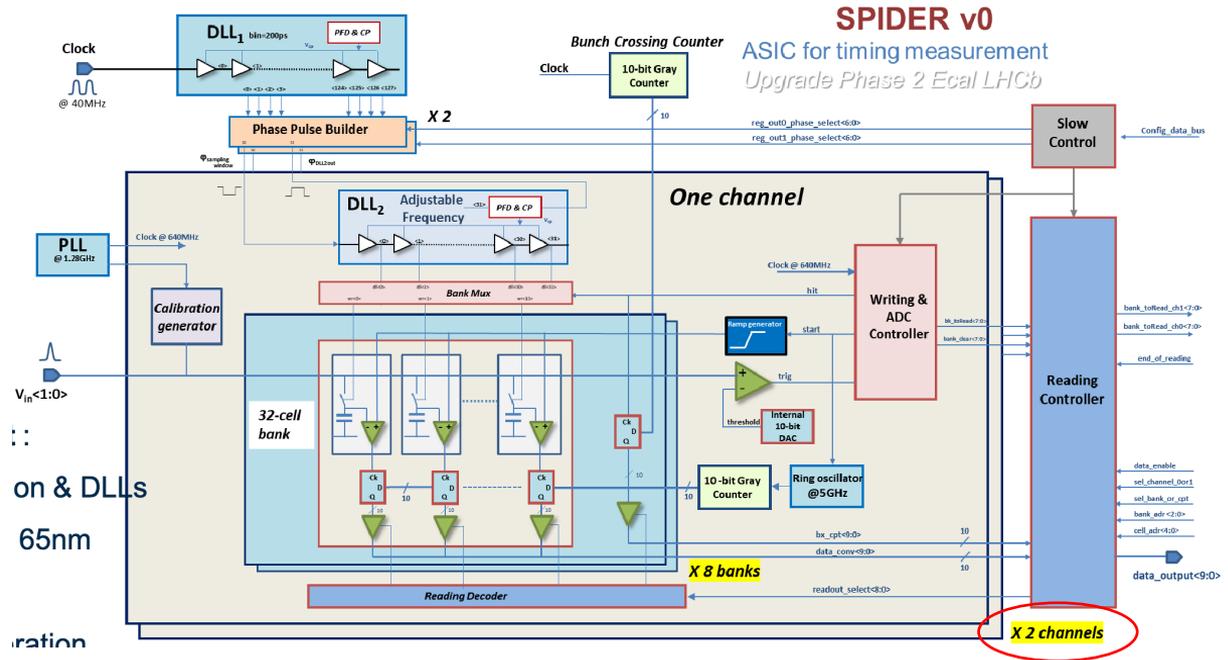
- Technologie: TSMC CMOS 65nm (disponible pour au moins 10 ans), mais seulement 1.2 V pour l'alimentation
  - Difficile pour la partie analogique (utilisation de transistors à 2.5 V envisagée mais pas pour la baseline)
- Signal d'entrée: rise time 1 – 1.5ns, gamme dynamique: 8mV – 0.8 V dans LHCb
  - Mais bande passante de quelques GHz pour utilisation avec des détecteurs plus rapides.
- Pour obtenir des résolutions mieux que 15 ps RMS sur la grande dynamique:
  - Une cellule de mémoire (switches/capacitors) avec ~0.8V de gamme dynamique et un niveau de bruit ~0.5mV RMS
  - Une résolution de 10 bits pour la conversion: 10-bit Wilkinson ADC à 5 GHz pour réduire le temps de conversion
  - Une DLL1 (128 cellules) @40 MHz, pour fournir un pas de 200ps pour définir le début de la zone d'échantillonnage
  - Une DLL2 (32 cellules) @80 – 640 MHz, pas de 50ps à 400ps pour définir la fréquence d'échantillonnage entre 2.5 GS/s et 20 GS/s

# SPIDER: Premier prototype

- Contient tous les blocs critiques:

- Distribution d'horloge et DLL
- Cellules de mémoires en 65nm
- "Self-triggering"
- Utilisation de plusieurs banques
- 10-bit ADC Wilkinson @5GHz
- PLLs

- Production au début 2024 et tests dans la foulée



# SPIDER: Status

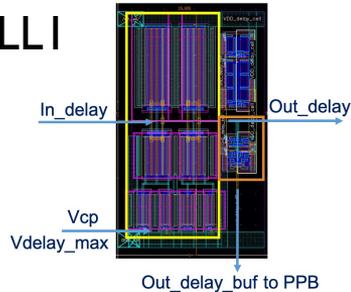
- Développement depuis 1 an en collaboration entre 4 labos IN2P3 (Orsay, Clermont-Ferrand, Caen, Lyon), coordonné par Samuel Manen (LPC) et Philippe Vallerand (IJCLab)
- Travail réparti en packages:
  - 1 : Architecture
  - 2 : Delay Locked Loop (DLL1 & DLL2)
  - 3 : Partie analogique (cellule mémoire, comparateur pour le déclenchement, comparateur ADC, générateur de rampe) + Échantillonnage et ADC (séquence de conversion, contrôleur des banques)
  - 4 : Partie digitale pour ADC Wilkinson 10bit
  - 5 : Slow control et readout
  - 6 : Phase Locked Loop (non critique pour le premier prototype)

# WP2: DLLs

- Design de 2 DLLs pour SPIDER: avec contraintes sur consommation et jitter
  - Si  $\text{jitter}_{\text{DLL}} < 2.5 \text{ ps}$  sur chaque DLL, la dégradation du jitter total est de  $\sim 1 \text{ ps}$

Layout of delay cell for DLL1  
Size :  $9.6 \mu\text{m} \times 15.9 \mu\text{m}$

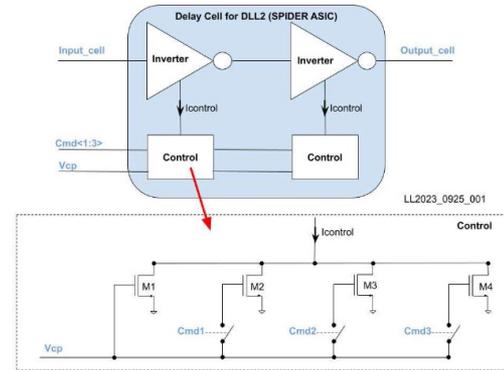
DLL1



⇒ Cumulated jitter  $\approx 2.2 \text{ ps}$  😊

	DLL1	DLL2
Locking frequency	40 MHz Equal to the input frequency	Variable : 80 MHz to 640 MHz Multiple of the 40 MHz
Number of outputs	128	32
Bin $\Delta\text{Tdelay}$	$\sim 200 \text{ ps}$ (195.3ps)	$\sim 50 \text{ ps}$ (48.8 ps) to 400 ps (390.6 ps)
Power consumption	As low as possible	
Jitter	$< 2.5 \text{ ps}$	

DLL2

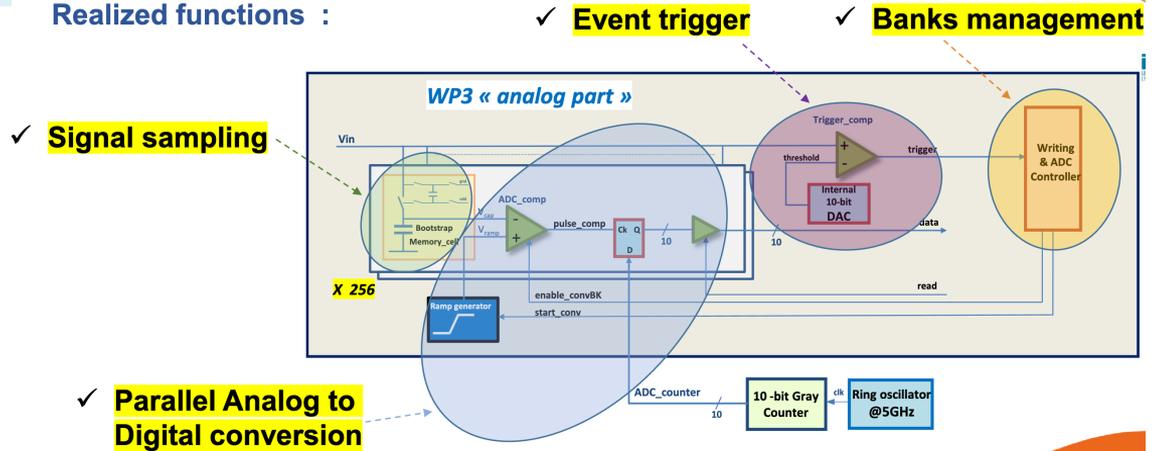


En cours de finalisation

# WP3: Partie analogique

- Fonctions réalisées:
- Simulation de la chaine complète en cours

Realized functions :



	Nicolas Arveif	Dominique Breton	Baptiste Joly	Samuel Manen	Christophe Sylva	Philippe Vallerand	Richard Vandaele	1st schematic (or HDL)	schema optimisation	1st layout	layout optimisation	system simulation	dynamic range	INL max	power	other	
	designers							status					main specifications				
memory cell													0-1V	<1%	<25μW	bandwidth, noise	
ramp generator													0-0.9V	<1%		slope fine tuning, noise, time to reset	
ADC comparator													0-0.8V	<1%*	<25μW	noise, fast enable/disable, *resp time uniformity	
trigger comparator													0-0.85V			sensitivity, speed	
writing & ADC controller																robust handling of all cases, synchronous logic	
DAC													0-0.8V	few 0.1%		10 bit resolution, noise	

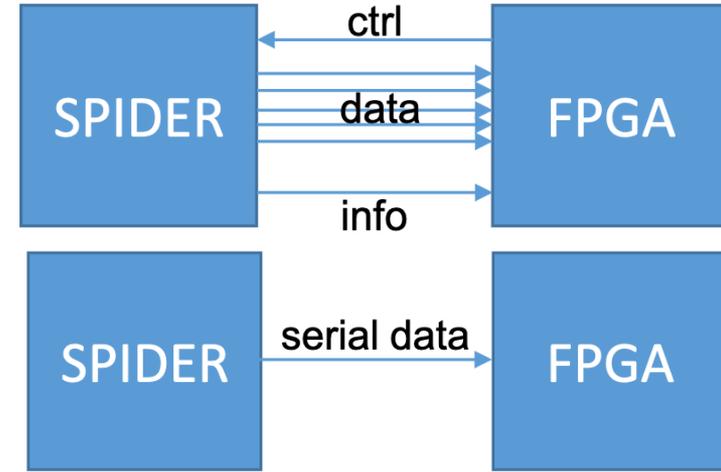
# WP4: Partie digitale

- 3 modules: Time Stamp Gray counter, Fast Gray counter (ADC Wilkinson), Ring oscillator
- Status:
  - 10 bit Time Stamp Gray counter : Simulated & PnR done using digital flow
  - Ring Oscillator 5GHz : Almost Simulated & PnR done using analog flow
  - 10 bit Fast Gray counter Simulated & PnR done using analog flow
  - RO + Fast Gray counter simulated together and working
- TODO : Use a Gray buffer tree with low skew to feed all FF in memory cell (256 cells): analog vs digital flow in discussion ...

# WP5: Slow control et lecture

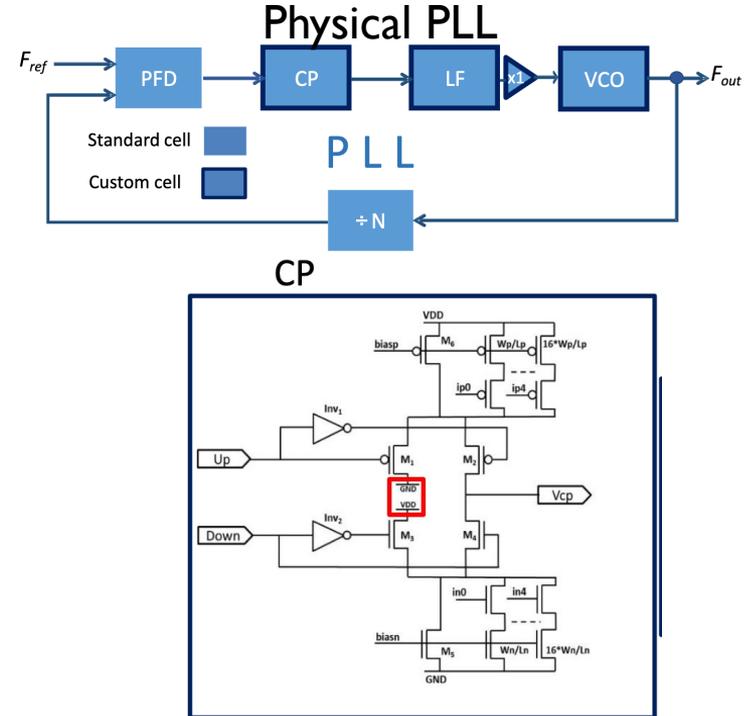
- 3 modules: Controleur de lecture central, controleur de lecteur par voie et slow control (i2c)
- Pour le prototype: implementation simple avec bus parallèles
- Pour la version finale: implementation plus complexe avec serialisation

Done	TODO
Channel read controller Simulated & PnR with digital flow	
Central read controller Simulated & PnR with digital flow	
	Finalize requirements for Slow control
	Get complete register list
	Finalize Reset strategy
	Do synthesis & PnR
SC main scripts flow	
Some working simulation for SC	



# WP6: PLL

- Design basé sur 2 R&T précédentes : Lojic130 et FASTIME
- Résultats pour le projet SPIDER:
  - migration de technologie de 130nm à 65nm
  - Fréquence d'entrée: 40 MHz, fréquence de sortie: 2.56 GHz, jitter absolu amélioré à 0.5ps RMS, locking time <  $2\mu\text{s}$
  - Horloge utilisée pour la calibration et les machines d'états
- Prochaines étapes:
  - Layout, et post-layout simulation
  - SLVS transmitter/receiver (transition en cours à partir du process 130 nm)



# SPIDER: Calendrier

- **Objectif: LS4 (2033), 30000 channels**
  - 2023: Design SPIDER V0 (2 voies + validation de la technologie)
  - 2024: Caractérisation de SPIDER V0 et design SPIDER V1 (2 voies)
  - 2025: Caractérisation de SPIDER V1 et design SPIDER V2 (multi-voies + tolérance aux radiations)
  - 2026: Caractérisation de SPIDER V2 et design SPIDER V3 (multi-voies + tolérance aux radiations + optimisation)
  - 2027: Caractérisation de SPIDER V3 et design SPIDER V4 (multi-voies + tolérance aux radiations + optimisation + yield)
  - 2028: Caractérisation de SPIDER V4 et design pré-production
  - 2029: Caractérisation of SPIDER pré-production
  - 2030: Production de SPIDER

# Conclusions

- Pour la calorimétrie 4D et pour le futur PicoCal de LHCb, besoin de développer une électronique avec une très bonne précision en temps sur une gamme d'énergie très grande.
  - L'association des 2 est un challenge...
- Une solution basée sur des "Waveform TDC" est une solution adaptée à ce challenge
  - La "waveform" contient toutes les informations
    - Un seuil bas n'a pas d'impact sur la précision de la mesure de temps
    - Ne considérer que des échantillons dans la partie utile du signal limite le temps de lecture
    - Cette solution fonctionne aussi pour d'autres types de détecteurs plus rapides, jusqu'à 300ps de temps de montée
- Les objectifs principaux:
  - A court terme:
    - Réduire le bruit électronique et augmenter la gamme dynamique, en lien avec le développement des modules (PMT en particulier)
    - Réduire le temps de conversion en conservant le parallélisme massif de l'ADC
    - Obtenir le meilleur jitter en temps possible pour les mémoires analogiques
    - Optimiser le transfert des données vers l'extérieur de l'ASIC
  - A long terme:
    - Compression des données on-chip
    - S'approcher d'occupations de 100%
    - Mesure combinée du temps et de l'amplitude
- En parallèle:
  - Développement d'une carte Front-End (Companion FPGA)
  - Développement de bancs tests

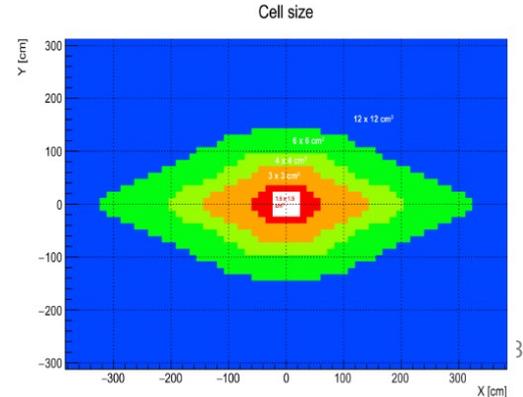
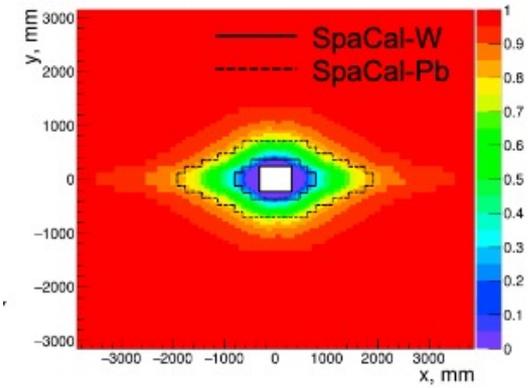
# Backup

# LS3 Consolidation: Upgrade I

2022	2023	2024	2025	2026	2027	2028	2029	2030	2031
Run 3				LS3			Run 4		
13 TeV				14 TeV					
2x10 <sup>33</sup> cm <sup>-2</sup> s <sup>-1</sup> 23 fb <sup>-1</sup>				LS3 Enhancements			2x10 <sup>33</sup> cm <sup>-2</sup> s <sup>-1</sup> 50 fb <sup>-1</sup>		

- At the end of Run 3, the inner-most modules of the ECAL will not function anymore due to radiation damages
- Since LS3 is long, replace these modules with new modules designed for Upgrade II and re-arrange the existing Sashlik modules in rhombic shape
- Configuration:
  - 2x2 cm<sup>2</sup>: 32 modules (new SpaCal-W and polystyrene fibers) – 1152 cells
  - 3x3 cm<sup>2</sup>: 144 modules (new SpaCal-Pb) – 2304 cells
  - 4x4 cm<sup>2</sup>: 176 modules (existing Shashlik) – 1584 cells
  - 6x6 cm<sup>2</sup>: 448 modules (existing Shashlik) – 1792 cells
  - 12x12 cm<sup>2</sup>: 2512 modules (existing Shashlik) – 2512 cells
- No longitudinal segmentation: **9344** cells (vs. 6046 now)
- Since Run 4 conditions are the same as Run 3, no need of timing, but this is the ideal test bench to install the Front-End electronics with timing capabilities foreseen for Upgrade II in the new modules and that we plan to design and build in Orsay
- April/May 2023**: Internal review to approve this plan
- September 2023**: Light-weight TDR for LHCC

ECAL cell efficiency after 2025 (48 fb<sup>-1</sup>)



# Scheduling

## Scheduling of ECAL consolidation in LS3 and upgrade II in LS4



### Summary of proposed schedule:

- ✓ April/May 2023: Light-weight internal U2PG review to approve ECAL LS3 consolidation (internal to LHCb Collaboration)
- ✓ September 2023: Light-weight PID TDR to LHCC for LS3 consolidation (ECAL & RICH)
- ✓ 2024: Scoping Document for LHCb Upgrade phase IIb (including ECAL)
- ✓ 2025-2027: production of 176 SPACAL modules, 3'500 new electronics channels and PCIe400
- ✓ 2026-2028: infrastructure modification (platform) and ECAL re-built (new modules, rhombic shape)
- ✓ 2026: TDR for ECAL Upgrade phase IIb in LS4
- ✓ 2028-2032: production/refurbishing shashlik modules, production of GAGG-SPACAL, introducing double sided R/O
- ✓ 2033-2034: ECAL re-built by adding new modules during LS4