

DEPHY

- DÉveloppements Pixels HYbrides et monolithiques radio-tolérant -

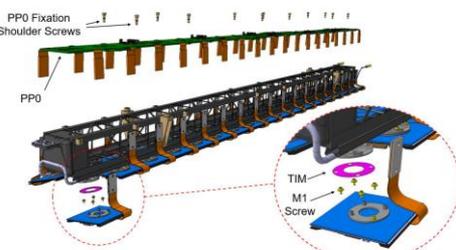
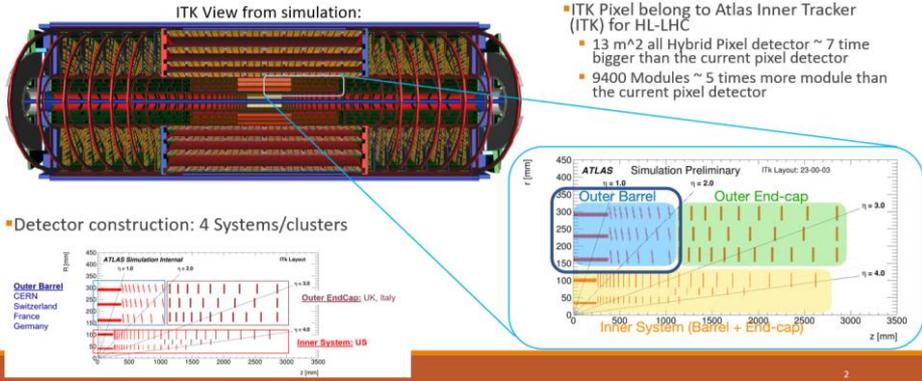
Journee R&T, IPHC

08/11/2023

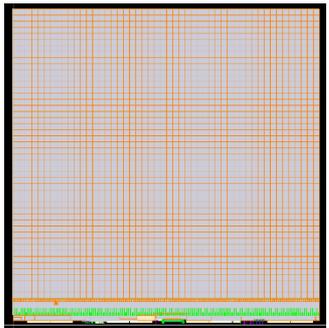
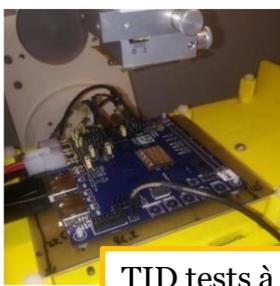
Marlon Barbero

CPPM, Aix-Marseille Université, CNRS / IN2P3, France

• ATLAS et projet ITk



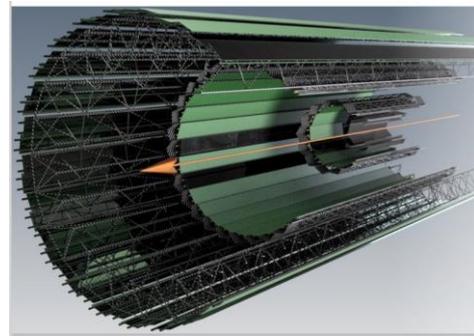
Montage Stave Outer Barrel



Layout ITkPix-v1

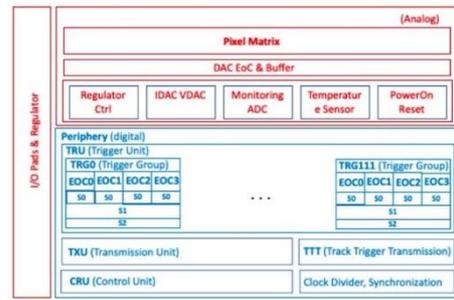
• Futurs Collisionneurs et futurs Projets

	DRDT	< 2030	2030-2035	2035-2040	2040-2045	>2045
Vertex detector²⁾	Position precision	3.1,3.4	●	●	●	●
	Low X/X ₀	3.1,3.4	●	●	●	●
	Low power	3.1,3.4	●	●	●	●
	High rates	3.1,3.4	●	●	●	●
	Large area wafers ³⁾	3.1,3.4	●	●	●	●
	Ultrafast timing ⁴⁾	3.2	●	●	●	●
	Radiation tolerance NIEL	3.3	●	●	●	●
	Radiation tolerance TID	3.3	●	●	●	●
Tracker⁵⁾	Position precision	3.1,3.4	●	●	●	●
	Low X/X ₀	3.1,3.4	●	●	●	●
	Low power	3.1,3.4	●	●	●	●
	High rates	3.1,3.4	●	●	●	●
	Large area wafers ³⁾	3.1,3.4	●	●	●	●
	Ultrafast timing ⁴⁾	3.2	●	●	●	●
	Radiation tolerance NIEL	3.3	●	●	●	●
	Radiation tolerance TID	3.3	●	●	●	●



Concept VTX pour Belle-II upgrade

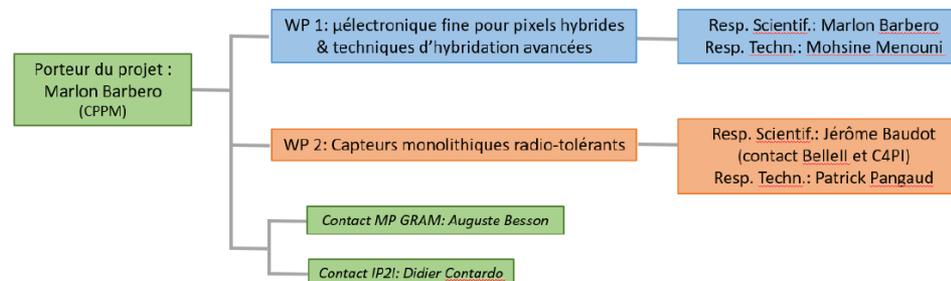
Futurs projets (timeline ECFA)



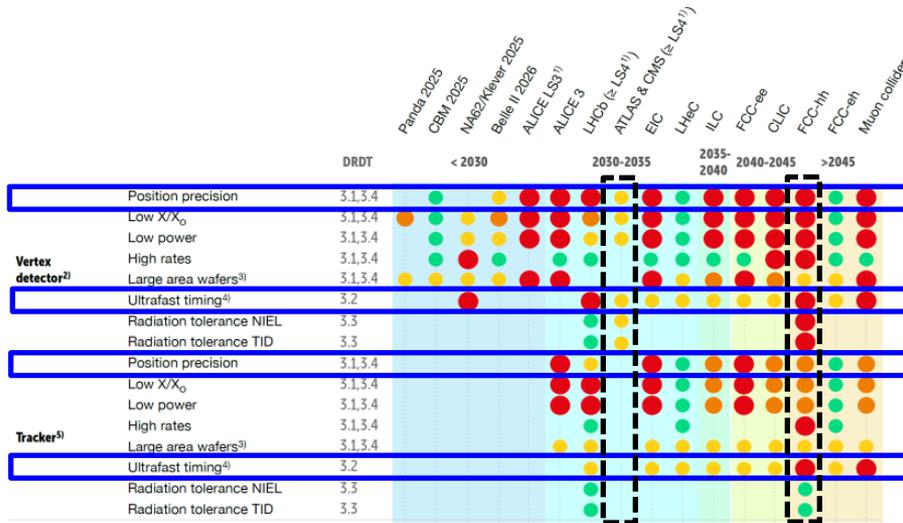
Obelix pour Belle-II upgrade

Le projet DEPHY

- Un projet porté par le CPPM et l'IPHC, porteur M. Barbero / CPPM (soutien J. Baudot / IPHC)
- Une thématique générale:
 - Détecteurs pixels de traces et de vertex dans les technologies pertinentes pour de futurs projets qui se caractérisent en premier lieu par:
 - **Taux de comptage / taux d'occupation** importants.
 - **Résistance aux radiations** moyennes à élevées.
- 2 Work Packages:
 - **Les Pixels Hybrides:** Exploration de technologies mettant en œuvre des nœuds de process avancés -e.g. 28 nm- (RS: Barbero / RT: Menouni)
 - **Les Pixels Monolithiques:** Exploration de la technologie Depleted MAPS dans deux directions principales, exploitation des développements actuels / potentiel des nouvelles technologies (RS: Baudot / RT: Pangaud)



Organigramme simplifié du projet



Autres projets qui nécessitent grande R&D (des étapes intermédiaires!)

Electron Ion Collider:

- BNL, mise en route en 2031
- Détecteurs 4D basés sur AC-LGADs
- Résolution temporelle: 30 ps
- Résolution spatiale: 15-150 μm (selon placement)

Electron Collider:

- ILC / CLIC / FCC-ee
- Pixel size 25×25 μm^2
- Résolution temporelle ~ns
- Applications de timing de précision au niveau de la ps sont étudiées.

ATLAS et CMS upgrades:

- Remplacement des couches internes après 5 ans au HL-LHC → opportunité!
- Résolution temporelle de qqes 10aines de ps pour booster les performances.

FCC-hh:

Grande densité de pileup (~1000 PU)

- Résolution: ~8 μm / 10 ps
- Niveau de radiation: 40 GRad et 10^{18} $n_{\text{eq}} \cdot \text{cm}^{-2}$
- Taux de hit: 30 GHz/cm²
- Liens rapides: 50-100 Gbps
- Très grand challenge pour le sensor et pour l'ASIC! (mais très long terme aussi)

Pixels hybrides en 28 nm

- Pour futurs projets, **conception en 28 nm préconisée et soutenue par le CERN.**

- **But de notre projet:**

- **Qualifications sous TID:**

- Compatibilité avec niveau de doses typiques des prochains projets?
- Evolution des délais avec le TID?
- Modélisation des effets (comme a été fait en technologie TSMC 65 nm) → simulations analogiques et numériques TID-compatibles!

- **Etudes des effets singuliers:**

- Circuits prototypes pour l'étude des effets SEU / SET.

- **R&D autour de pixels hybrides de tailles $25 \times 25 \mu\text{m}^2$.**

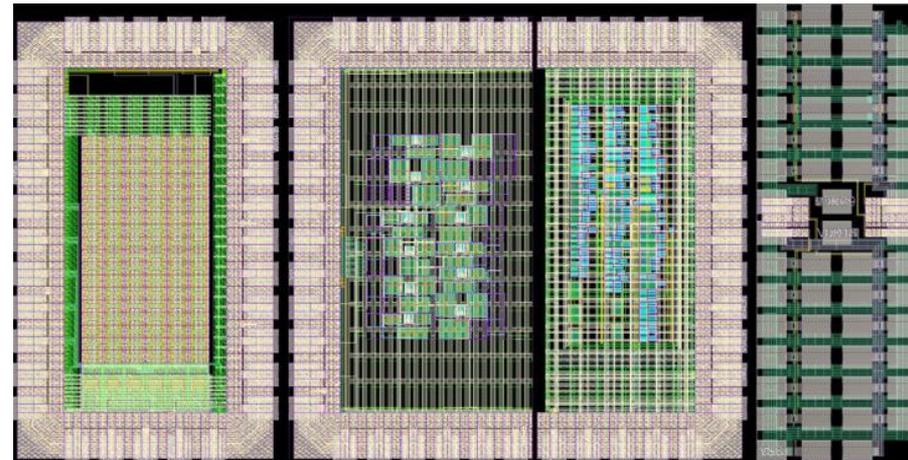
- Qualification du process en termes de performances pour les circuits analogiques, basse consommation et bas bruit.
- Matrice d'amplificateurs de charge rapides
- Etudes des architectures

Pixels analogiques

SET

RO - TID

TID tests



- **Mini@sics of $2 \times 1 \text{ mm}^2$ soumise décembre 22 .**

- **Structures implémentées:**

- Structures de tests pour **étude de tolérance aux effets TID.**
- **Ring Oscillateurs** pour étude de résistance TID des cellules digitales de la technologie.
- Structures de tests **SET.**
- **Matrice de pixels analogiques:** Amplificateurs de charges rapides.

Ring Oscillateur

- Etudes des effets de la TID sur les performances des cellules digitales standard de la librairie.**

- Timing des cellules combinatoires.
- Evolution des courants de fuite, alimentation statique.

- 96 blocs RO mis en place:**

- Tailles des transistors (7T, 9T, 12T) → étude sur **tailles des cellules**
- Driving (D0, D2, D4) → effet du **driving** sur la résistance TID
- SVT, LVT, HVT → étude vs. **seuil transistor**

- Design implémenté par méthodologie digitale**

Basic cells	Frequency (MHz)
INVD0	154
INVD2	222
NAND0	118
NAND2	143
NOR0	111
NOR2	139

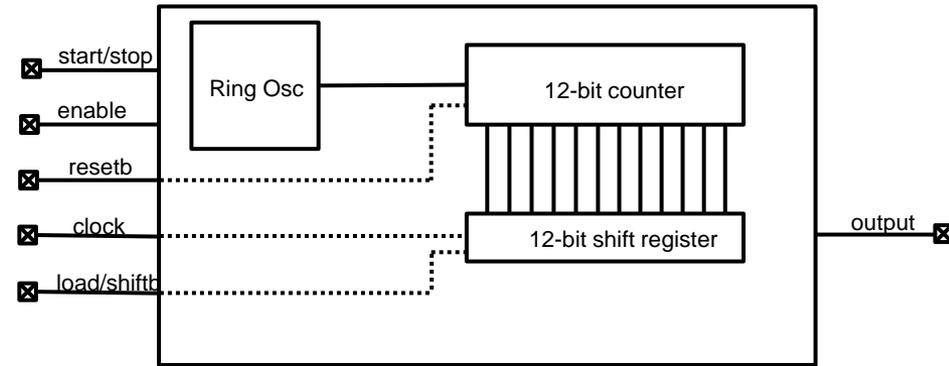
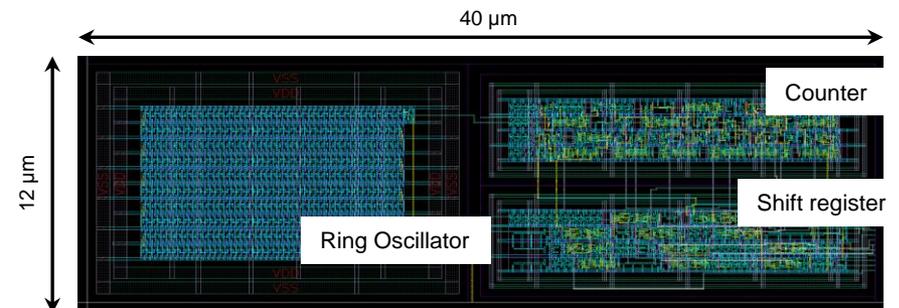
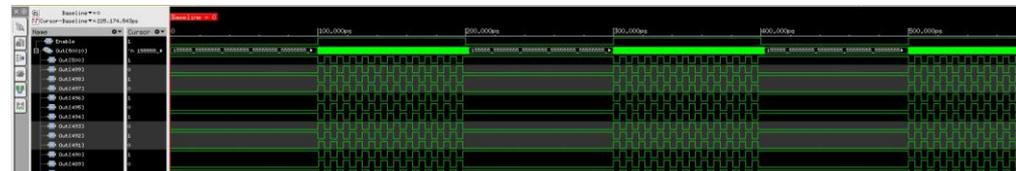
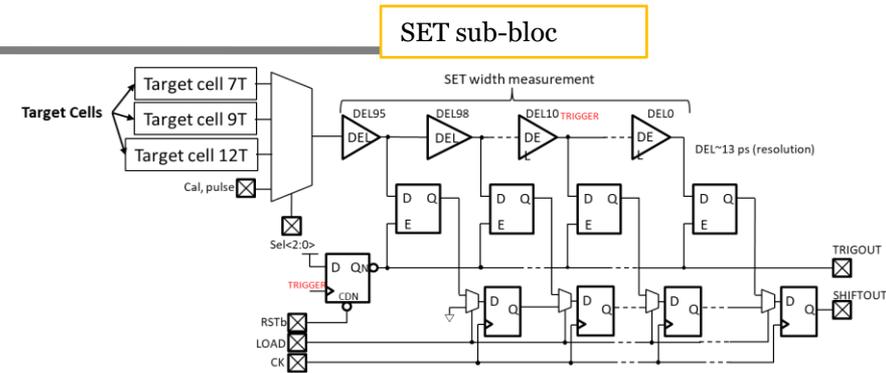
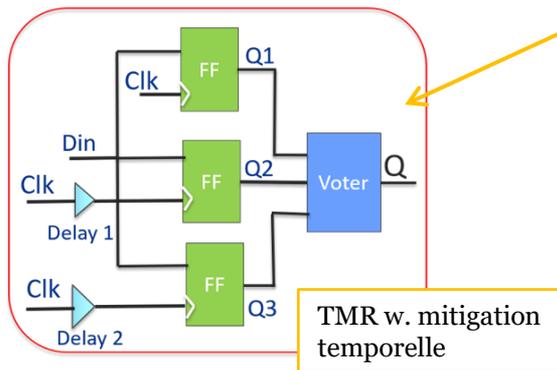


Schéma logique du bloc Ring-Oscillateur

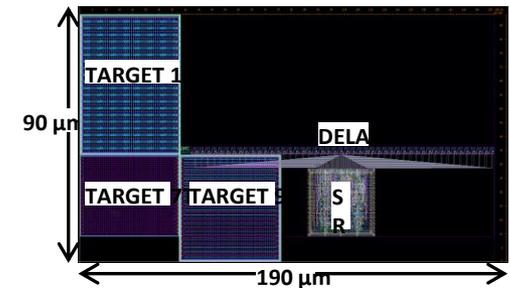


Implémentation physique du bloc Ring-Oscillateur

- **Mitigation contre SEE: important challenge des prochaines générations** de ASICs pixel (dans un contexte d'augmentation de la luminosité).
- Propagation de Single Event Transients (par logique combinatoire) et la **sensibilité aux SET augmente dans les nouveaux process.**
- **But du projet:**
 - Des **structures de test** pour étudier cette problématique
 - Mesure de la **X-section**
 - Mesure du **pulse SET** (resolution <20ps)
 - Etudie en **fonction de tailles std des cellules**
 - Peut permettre de **définir délais nécessaire de cellules tripliquées avec mitigation temporelle**



Exemple de l'implémentation du INVD4



- **Chaque sous bloc contient:** 3 cibles + input de calibration + 96 cellules délai (13ps /cellules) + shift register pour propager les données.
- **31 SET sous-blocs implémentées:** 24 avec cibles SVT (7T, 9T, 12T... taille des cellules), 7 avec cibles LVT ou HVT (options seuils...).
- De plus, ce bloc est la 1ere pièce de ce qui serait nécessaire pour implémenter **un TDC pour un futur pixel FE.**

Amplificateur de charges rapide

But du projet:

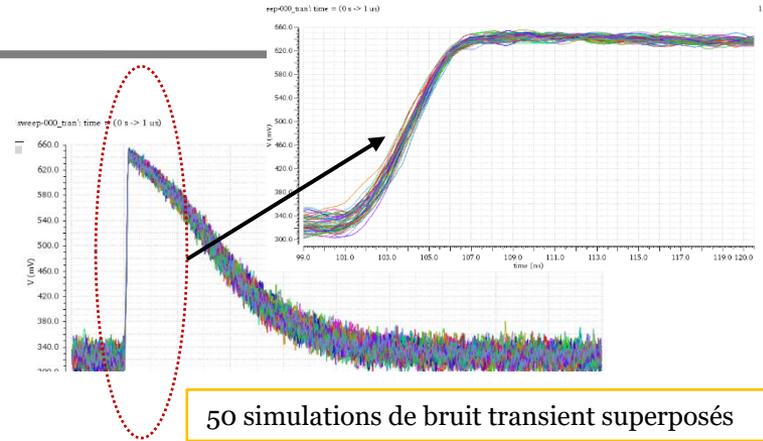
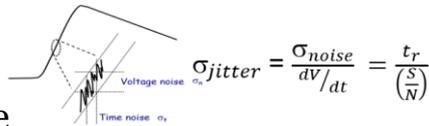
- Limites en résolution temporelle dans FE analogique?
- Effets d'alimentations, polarisation ... bande passante, bruit, etc...

- Design et test d'une matrice de 36x12 pixels
- Résolution temporelle:

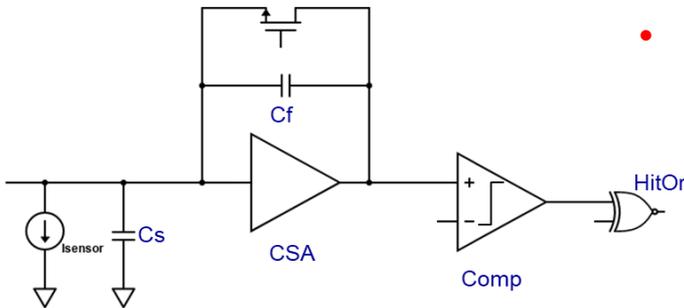
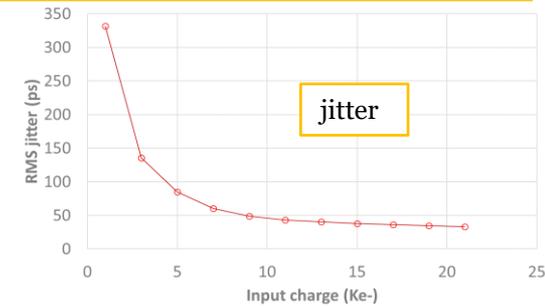
$$\sigma_{total}^2 = \sigma_{jitter}^2 + \sigma_{timewalk}^2 + \sigma_{Landau}^2 + \sigma_{TDC}^2$$

- On étudie ici la **minimalisation du jitter** qui demande:

- Petit bruit du CSA
- Grand signal en sortie
- Petit temps de montée → grande bande passante



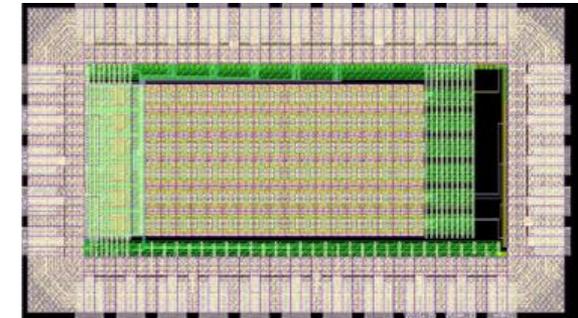
50 simulations de bruit transient superposés



Design du pixel FE analogique

Implementation FE:

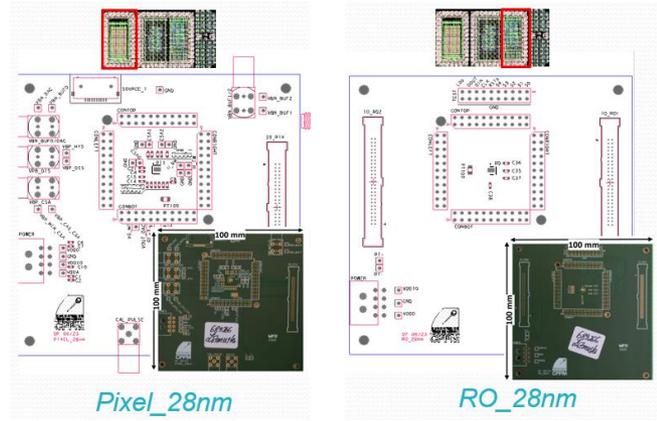
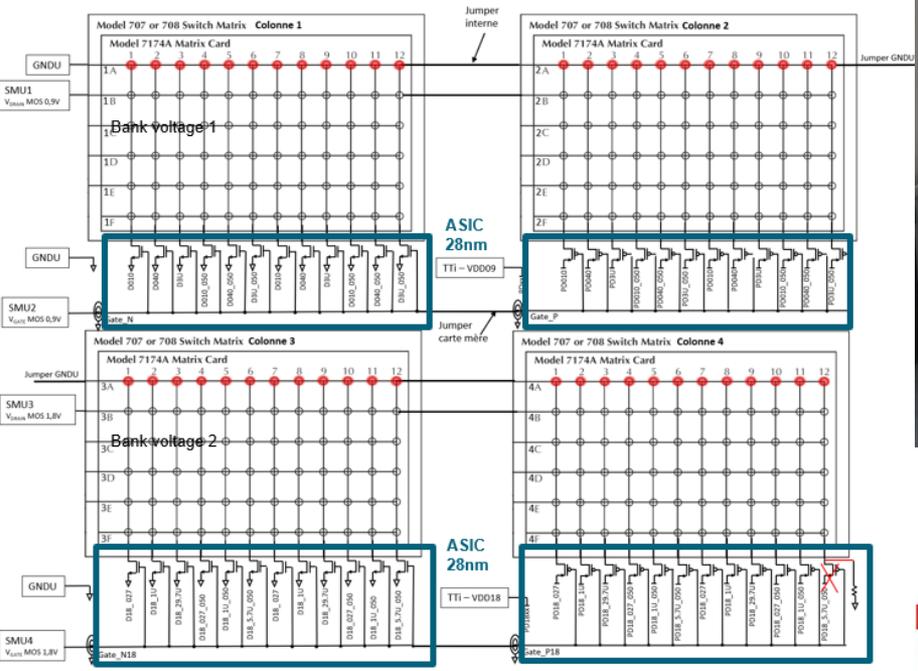
- Polarisation CSA: 2-20μA ; MOM input capacite → test pour diff. input capa ; CSA + discr + 6b DACs
- Pixel de tailles 20x12 μm²



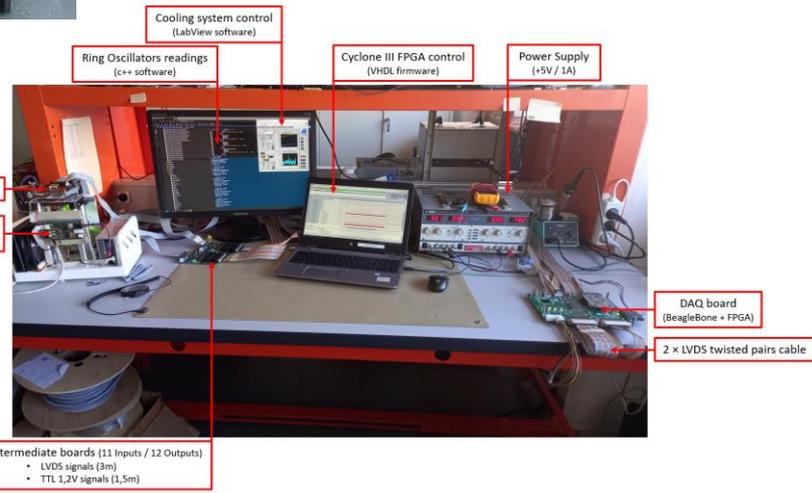
Matrice 36x12 pixels

- Mise en place d'un banc de test transistors:

Dvp PCBs pour protos 28 nm



Baie banc transistors pour mesures petits courants et caractérisation transistors: 4 SMUs , 4 cartes matrice de switch



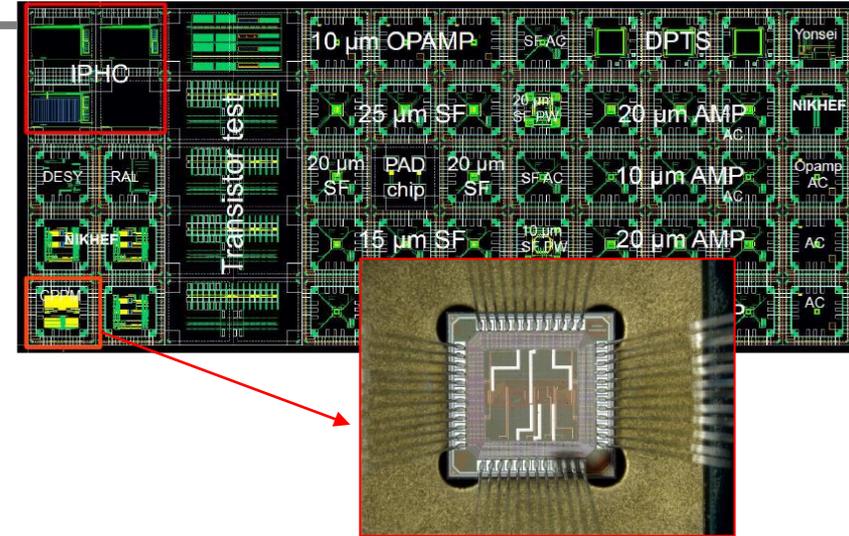
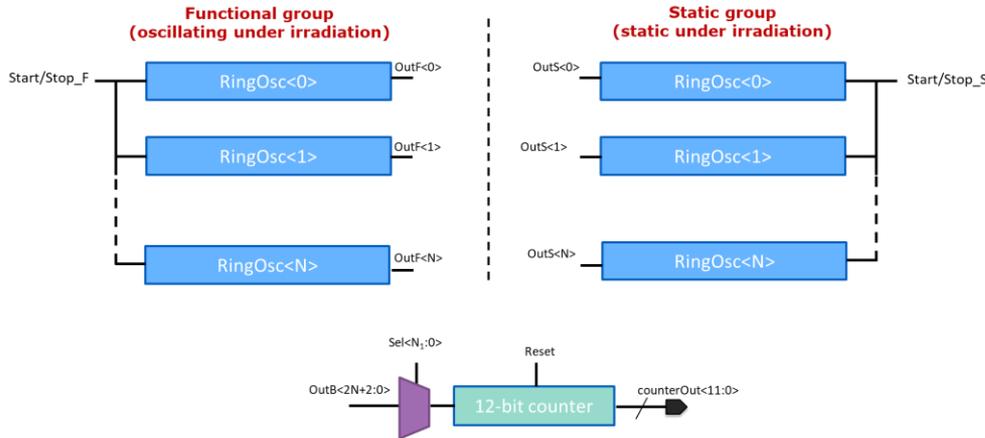
- Nécessite adaptation FW / SW
- Intégration...

Utilisation d'un **banc de test (réadaptable aux nouveaux besoins)** basée sur BeagleBone DAQ board

- **R&D exploratoire**: Exploration de la **technologie TJ-65 nm**
 - Court terme
 - vérifier les **performances de bases**
 - Évaluer l'**adéquation avec objectifs DEPHY**
 - Moyen terme
 - Prototype(s) dédié(s) pour
 - **Taux de comptage élevés** ($\gg 100$ MHz/cm²)
 - **Résolution temporelle vers 100 ps**
 - **Radiotolérance** $\gg 10^{15}$ n_{eq}/cm²
- **Applications de la R&D avancée**:
 - Court terme: **LF150 et TJ180**
 - **Finaliser** le travail sur **LF-Monopix2**
 - **Validation** des performances de **TJ-Monopix2**
 - Adapter TJ-Monopix2 pour un démonstrateur Belle II: **OBELIX-v1**
 - Moyen terme:
 - Autres applications de la technologie TJ180 (amplification de charges) - ANR **APICS**

R&D exploratoire: TJ-65nm

Ring Oscillators



Low V_T		Super Low V_T	
Size Min	Size+	Size Min	Size+
INV0_LVT	INV4_LVT	INV4_SLVT	INV8_SLVT
NOR1_LVT_A	NOR4_LVT_A	NOR4_SLVT_A	NOR8_SLVT_A
NOR1_LVT_B	NOR4_LVT_B	NOR4_SLVT_B	NOR8_SLVT_B
NAND0_LVT_A	NAND4_LVT_A	NAND4_SLVT_A	NAND4_SLVT_A
NAND0_LVT_B	NAND4_LVT_B	NAND4_SLVT_B	NAND4_SLVT_B
DFF1_LVT	DFF4_LVT	DFF1_SLVT	DFF4_SLVT

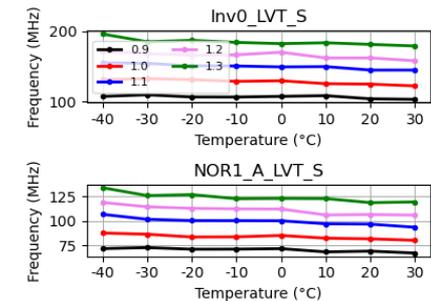
- Le CPPM a contribué avec une série de Ring Oscillators dont le but est l'étude de la tenue aux radiations ionisantes des cellules standards des bibliothèques digitales de la technologie.
- Le chip contient 48 ring oscillators basés sur différentes cellules standards. Ceux-ci diffèrent par le type de cellule, des longueurs de transistor variées, plusieurs seuils de transistors et deux stratégies d'injection.
- 2 banques de 24 lignes pour tester deux configs:
 - Banque "Functional" pour laquelle l'oscillation est enclenchée pendant l'irradiation
 - Banque "Static": pour laquelle il n'y a pas d'oscillation pendant l'irradiation

Un MLR1 soumis en décembre 2020, retour à l'été 2021. Cadre du CERN WP1.2 EP R&D

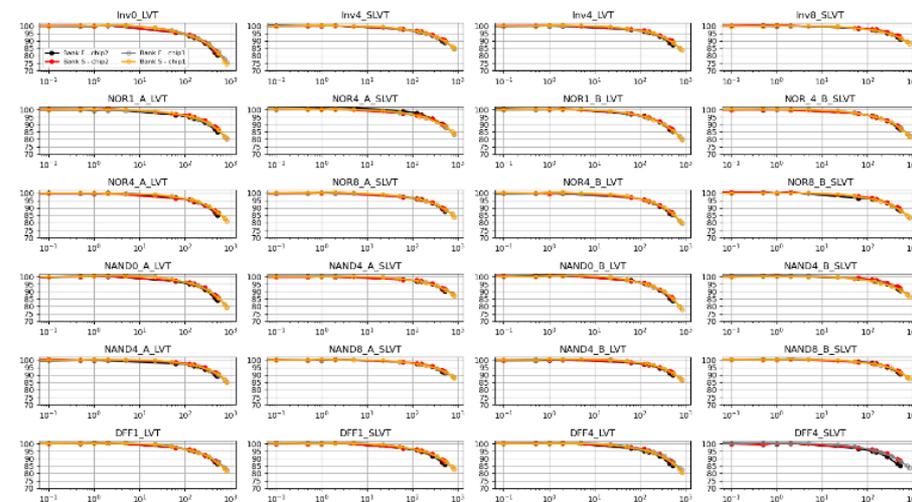
Résumé des tests



Carte DUT



Freq vs t°C pour 2 RO et 5 Vddd



Freq relative vs TID

- Des **tests en température** ont été menés en utilisant une chambre climatique régulée entre -40 et 80°C. La tension Vddd était également ajustée entre 0.9 et 1.3V. Chaque RO a montré une décroissance de sa fréquence alors que la température augmentée (5-10 % over 70°C) → **ceci permet de calibrer les RO pendant l'irradiation et la phase d'anncaling.**

- 2 puces ont été irradiées (T° ambiante) jusqu'à des doses de **830 et 520 MRad** resp. (dose rate de 20kRad/mn, banques fonctionnelles oscillantes). Des dégradations en fréquence similaires ont été observées pour les deux puces avec des différences entre les différents types de RO (e.g: **les plus petits transistors sont plus affectés**).

- Plusieurs semaines d'**annealing à différentes températures (-20, 25 et 80°C)** ont été menées suite aux irradiations. Une absence de récupération à froid, une légère récupération à température ambiante et un reverse annealing ont été observés.

TJ 65: Conclusions et perspectives

- **Conclusion pour TJ65 dans DEPHY:**
- Comme attendu, la **température** a un impact sur les fréquences (décroissance quand la température augmente). L'effet a pu être quantifié par les mesures et corrigé en partie par une méthode simple (linear rescaling).
- L'étude de la tenue aux radiations de la technologie TJ65 (TPSCo 65) des ring oscillators a montré des résultats très intéressants. **La dégradation des fréquences est limitée (12 à 25% pour une dose totale de 830 MRad) quelque-soit le type de Ring Oscillator.** La **taille** des cellules est un paramètre important (les cellules petites sont plus affectées que les grandes).
- Ces résultats ouvrent des **perspectives d'utilisation positives des cellules digitales de cette technologie dans des environnements avec des hauts niveaux de radiation.**
- Cette année une nouvelle production de wafers en Engineering Run (ER1) a eu lieu avec un niveau de **métallisation** différent du précédent . Des irradiations sont prévues en début d'année prochaine pour comparaison entre les deux types de métallisation.
- **Perspectives pour DEPHY en 2024:**
 - **Redesign, pour prendre en compte changements prévus au niveau process et étendre l'étude à plus de cellules de la librairies.**
 - **Tester les RO sous irradiation** pour voir si changements de process prévus n'impactent pas les performances.

Deux développements Monopix2

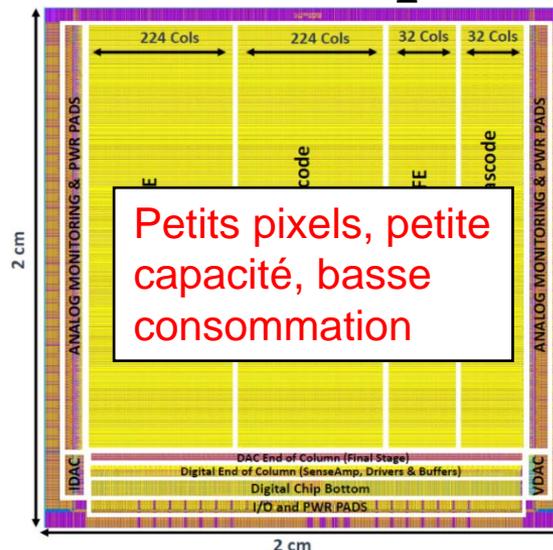
LF-Monopix2:



Tenue au radiations démontrée au moins jusqu'à 10^{15} n.cm⁻² et 100 MRads

2×1 cm², 340×56 pixels, 50×150 μm²
 Amélioration de la FE Analogique /
 Digitale, taille pixels réduite, meilleur
 layout

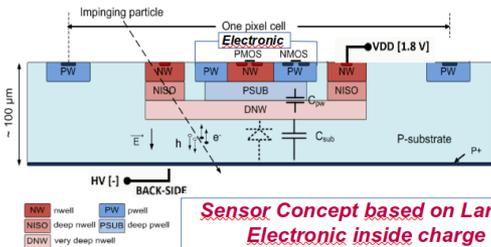
TJ-Monopix2:



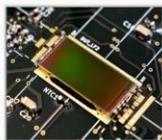
2×2 cm², 512×512 pixels, 33×33 μm²

Travail sur implants pour une
 bonne collection de charges après
 irradiation, bas seuil

Bonn/CERN/CPPM/IRFU collaboration

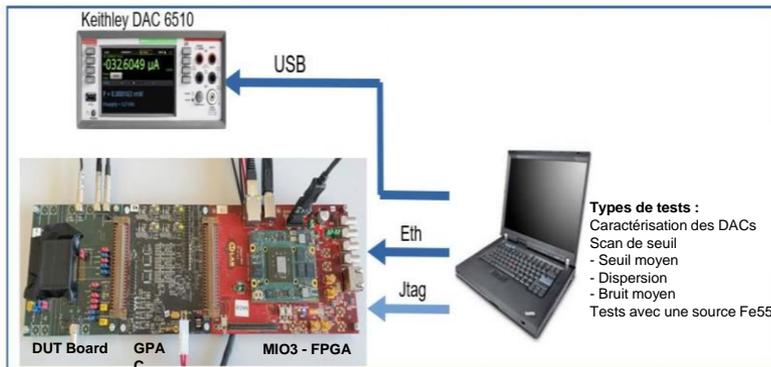


Sensor Concept based on Large Collection Diode Electronic inside charge collection well



- Soumis en Juin 2020
- 2ème version LF
- Matrice 340x56
- Dim 150x50um
- Fast Col readout

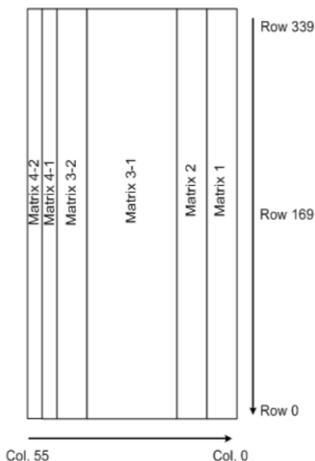
Setup de test



- Types de tests :**
- Caractérisation des DACs
 - Scan de seuil
 - Seuil moyen
 - Dispersion
 - Bruit moyen
 - Tests avec une source Fe55

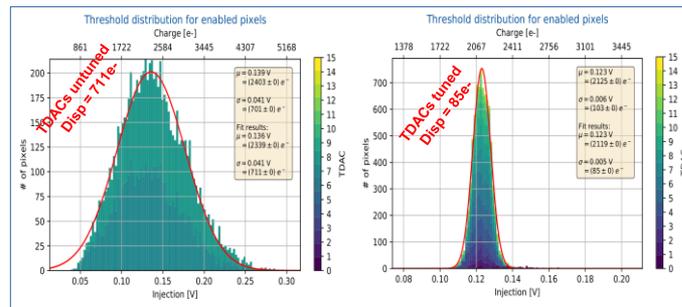
6 sous-matrices

- 3 variants de CSA
- 2 valeurs de Capacité de FeedBack.
- 2 variants de Discriminateur.
- 2 sortes de Reset logique.



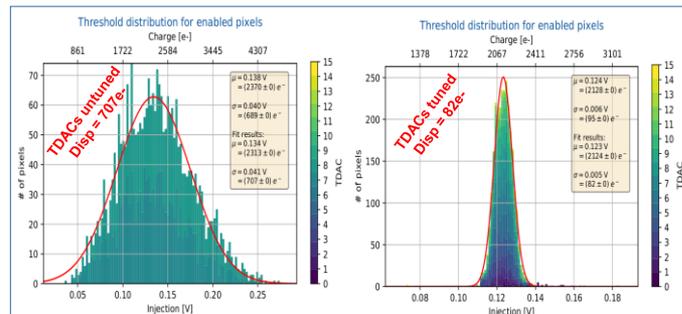
Sous-matrice 3.1

- TDAC tuning at 2300e- $V_{th} = 0.76V$
- Dispersion with TDAC=7 => **711e-**
- Dispersion with TDACs tuned => **85 e-**
- ENC = **110e-**



Sous-matrice 3.2

- TDAC tuning at 2300e- $V_{th} = 0.76V$
- Dispersion with TDAC=7 => **707e-**
- Dispersion with TDACs tuned => **82 e-**
- ENC = **107e-**

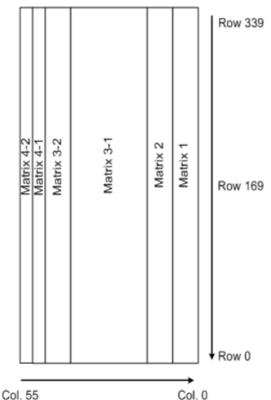


Résultats des performances de chaque sous-matrices

Résultats présentés en conférence PIXEL_2022, décembre 2022, Santa Fe NM

TDACs tuning :

	Vth	No tuned - TDACs = 7			Tuned		
		mean thres	disp	ENC	mean thres	disp	ENC
SubArray_1	0,79	1922	356	150	2032	62	139
SubArray_2	0,78	1969	435	137	2035	86	123
SubArray_3.1	0,76	2339	711	110	2119	85	110
SubArray_3.2	0,76	2313	707	110	2124	82	107
SubArray_4.1	0,77	2428	784	148	2077	158	138
SubArray_4.2	0,79	2184	398	148	2061	72	132



Mise à part la sous-matrice 4.1, la dispersion de seuil après un TDACs tuning se situe entre 62 et 86e-, valeur visée 80e-.

La valeur de bruit ENC se situe entre 107 et 139 e- pour toutes les sous-matrices, valeur visée entre 100 et 150e-

Seuil mini :

	Vth (V)	Min thres e-	disp e-	ENC e-	bad pixel	% bad pixel
SubArray_1	0,775	1520	81	143	17/2720	0.625
SubArray_2	0,777	1437	113	127	21/2720	0.772
SubArray_3.1	0,744	1113	74	113	38/8160	0.466
SubArray_3.2	0,743	1048	72	110	15/2720	0.551
SubArray_4.1	0,768	1881	170	138	10/1360	0.735
SubArray_4.2	0,779	1611	92	136	8/1360	0.588

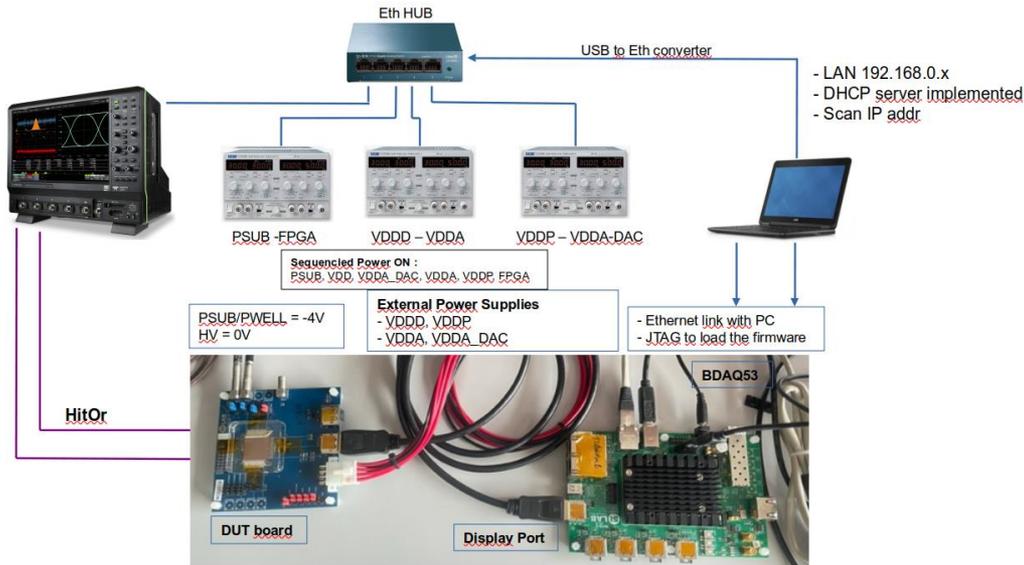
Les sous-matrices 3.1 and 3.2 donnent les meilleures performances en terme de seuil mini, structure avec CSA V1, Feedback cap 5fF, Discri Unidir

Conclusion : Les performances de la technologie sont très positives (bruit, seuil, tenue aux radiations), mais un applicatif clair n'a pas été démontré pour le moment → travail pour le moment en cours de finalisation (puis mise en veille probable).

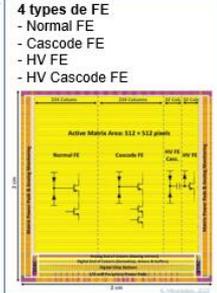
Sub-array	Column	CSA	Feedback cap.	Discriminator	Logic
1	0 - 7	V3	1.5fF	Bidirectional tuning	Falling
2	8 - 15	V2	1.5fF	Bidirectional tuning	Falling
3-1	16 - 39	V1	5f	unidirectional tuning	Falling
3-2	40 - 47	V1	5f	unidirectional tuning	Rising
4-1	48 - 51	V1	5fF	Bidirectional tuning	Falling
4-2	55 - 52	V1	1.5fF	Bidirectional tuning	Falling

	LF-Monopix1	LF-Monopix2
Pixel size	50 × 250 μm ²	50 × 150 μm ²
Cd	~ 400 fF (estimated)	250 – 300 fF (estimated)
Analog Power/pixel (CSA + Discri.)	15 μA + 5 μA = 20 μA	10 μA + 2 μA = 12 μA
Noise	~200 e ⁻	100 ~ 150 e ⁻
LE/TE time stamp	8-bit	6-bit
ToT @ 6 ke-	---	200 – 250 ns
Max. ToT	---	400 ns
p-p (rms) thres. dispersion	(~ 100 e ⁻)	800 e ⁻ (80 e ⁻)
Min. threshold	1500 e ⁻	1000 e ⁻
In-time threshold	~ 2000 e ⁻	1500 e ⁻

TJ Monopix2 – Setup et tests en labo

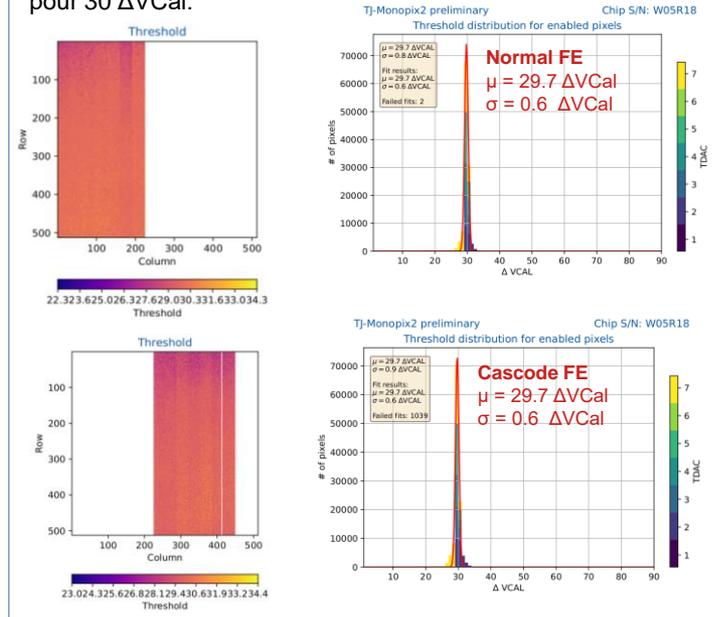


- Types de tests :**
- Scan de seuil avec ajustement TDACS pour le Normal FE et Cascode FE séparément.
 - Calcul du **seuil** moyen
 - **Dispersion**
 - **Bruit** moyen ENC



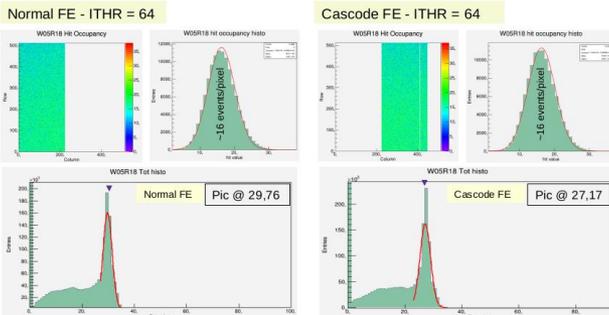
Scan de seuil avec ajustement TDACS

Normal FE et Cascode FE ajustés séparément pour 30 ΔVCal.



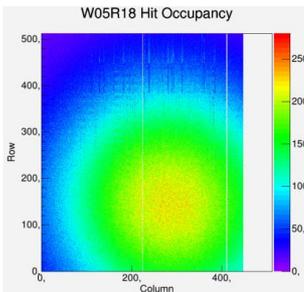
Test avec une source Fe55

Histo des ToT montre le pic en énergie de 6KeV



Mapping avec Fe55

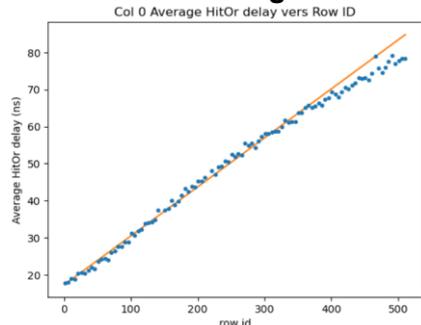
Source à 5cm
Temp exposition 20mn



Résultats typiques:

- Tuned threshold ~250 e- ($\sigma \sim 10$ e-)
- Bruit < 10 e-

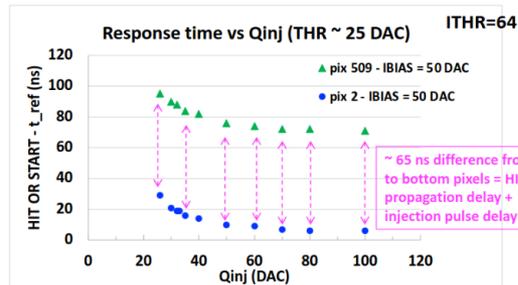
HirOr délai le long d'une colonne



CPPM mesures

Fit lineaire: $y = 0.1324x + 1.71$

132.4 ps / pixel => 67.78ns / colonne

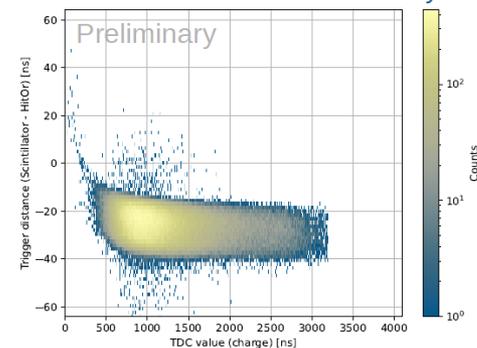


PISA Group mesures

65ns de pixel 2 à pixel 509

65.64ns / colonne

98.92% within 25 ns (ATLAS BX frequency)
Corrected scintillator-HitOr delay



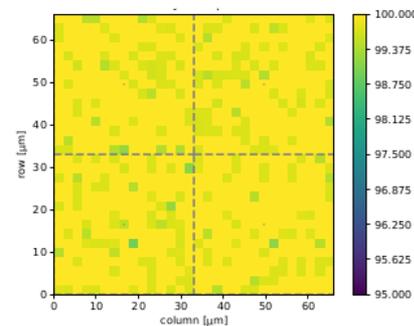
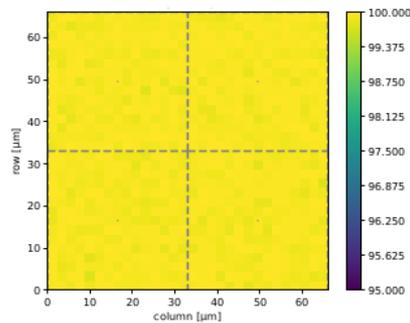
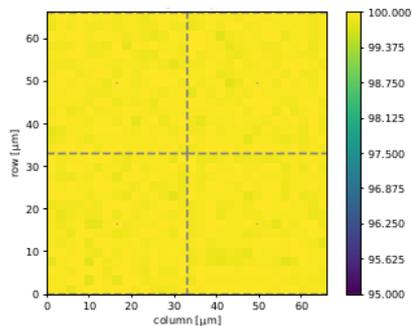
Efficacité de détection, mesures effectuées en test beam

- Faisceau électron 5GeV DESY
- Seuil ajusté à 250 e-
- Uniformité de détection > 99.9 %
- Pas de perte de détection sur les bords des pixels

Standard FE: 99.95%

Cascode FE: 99.94%

HV Cascode FE: 99.92%



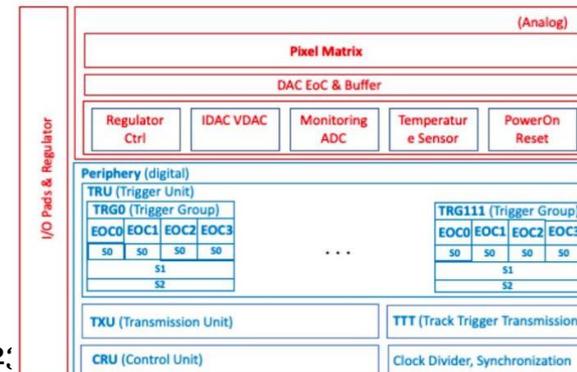
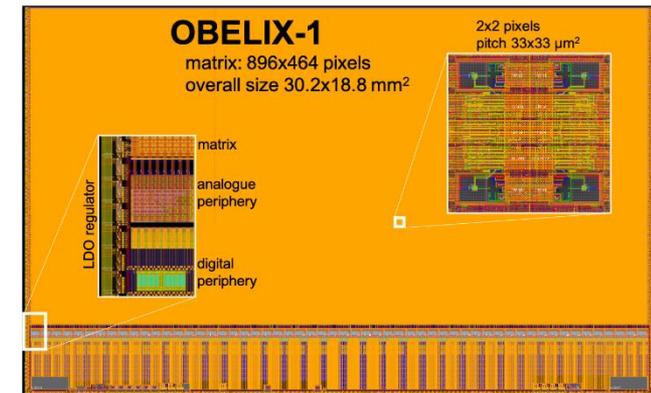
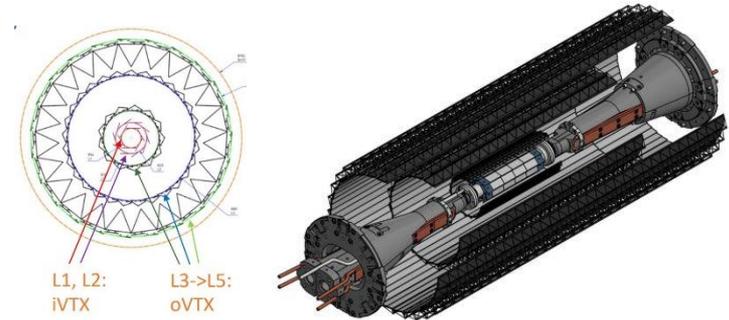
Ref : Lars Schall talk – VERTEX 2023, SESTRI LEVANTE
TEST-BEAM PERFORMANCE OF DMAPS IN 150 NM AND 180 NM CMOS TECHNOLOGY

- Excellente détection des hits en test beam (> 99.9%)!
- Plus de 98% des hits dans 25ns

→ TJ-Monopix2: prototype sur lequel est basé le design d'OBELIX pour le projet d'upgrade du détecteur de vertex de Belle-II

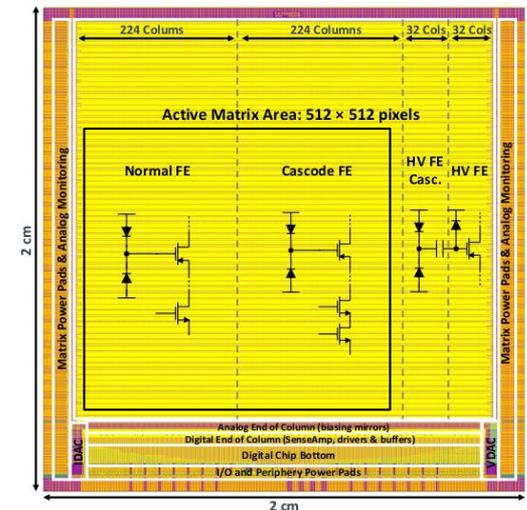
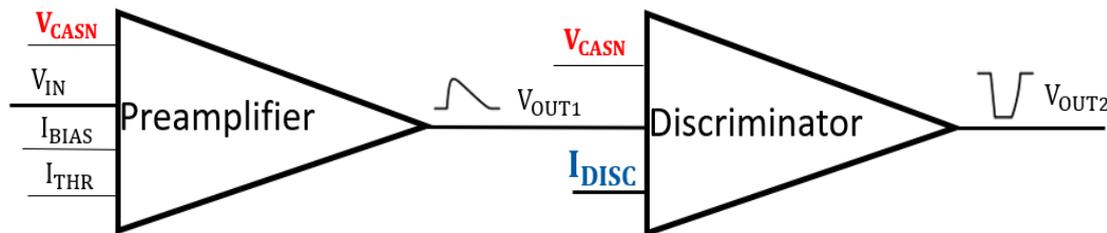
Design d'OBELIX

- **Optimized BELle II pIXel sensor**
- **Conception basée sur TJ-Monopix2 / TJ 180nm**
- Taille de puce optimisée pour avoir **4 capteurs contigus**
- 2 modules exploratoires: **time stamping à 5ns pour hit rate <10MHz** et sortie rapide **hitOR** pour trigger, faible granularité.
- **Matrice de Pixels:**
 - Basée sur TJ-Monopix2
 - TID ~ 10 MRad/an et NIEL $\sim 5 \cdot 10^{13}$ $n_{eq} \cdot cm^{-2} \cdot an^{-1}$
 - Faible puissance (~ 200 mW/cm²)
- **Nouvelle périphérie numérique:**
 - Nouvelle EoC adaptée au trigger Belle II – 30KHz & avec une latence de 5-10 μ s
 - Clk principal à 160MHz, sortie unique à 320Mb/s
 - Numérisation du signal : ToT (7 bits, 20 MHz)
 - Protocole de contrôle RD53B
- **Power pads:**
 - Ajout d'un régulateur de puissance
 - Intégration système simple

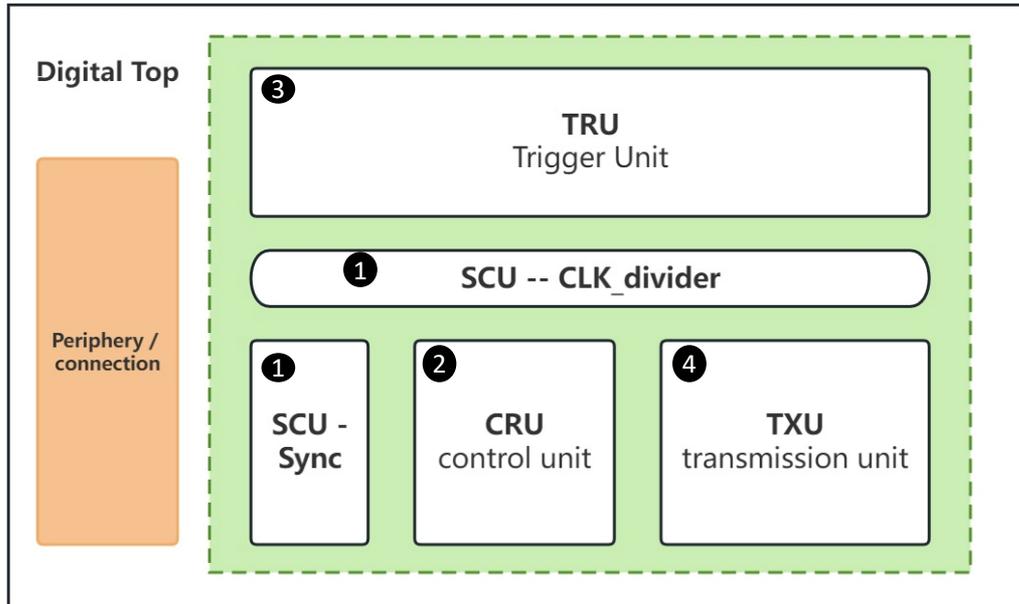


Question: **Peut on améliorer le Front-End analogique** (/ TJ-Monopix-2)?

- Etude et simulation du FE analogique (TJ-Monopix2: Normal FE et Cascode FE)
- Possibilité de **réduire de 35% de consommation** en modifiant certains paramètres de polarisation du préamplificateur (**IBIAS**, **ITHR**) ainsi que la taille du transistor d'entrée
- Des résultats des simulations montrent que la marge du seuil du discriminateur (**IDISC**) n'est probablement pas assez grande
- Amélioration du seuil en modifiant les DACs qui le génèrent ou bien l'architecture du discriminateur (travail en cours...)



OBELIX-v1: Blocs numériques



Division du digital top d'OBELIX par modules

- Division du design digital : **4 parties principales**

- **① SCU – sync & clk divider** : diviseur numérique clk, synchronisation du circuit et clk diviseur, conversion au format RxDat, fonction principale : diviseur d'horloge, synchronisation Rx_data SIPO (**CPPM**)
- **② CRU – unité de contrôle** : Interface RD53B de mise en œuvre, fonctions principales : décodeur de commande, configuration globale du registre (**CPPM**)
- **③ TRU – Unité de déclenchement** : gestion des données de pixels à partir de la matrice-EOC et gestion du trigger pour déclencher la sortie (**HEPHY**)
- **④ TXU – TX Unit**: Mise en forme des données de sortie et génération de la sortie séquentielle, fonctions principales : tramage de données, sérialiseur (**CPPM & HEPHY**)

- Institutions participantes actuelles:



OBELIX-v1: Chemin des données

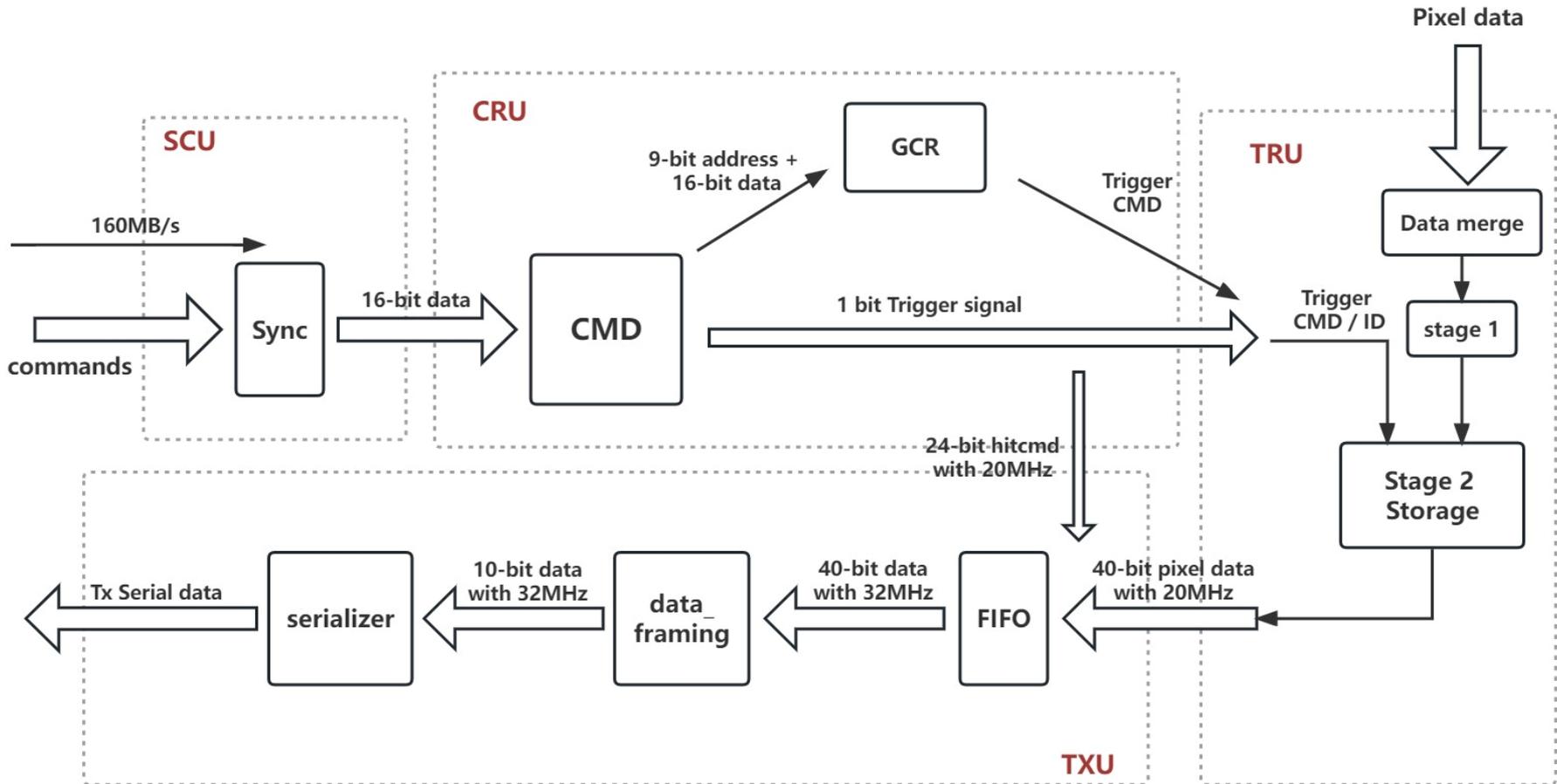
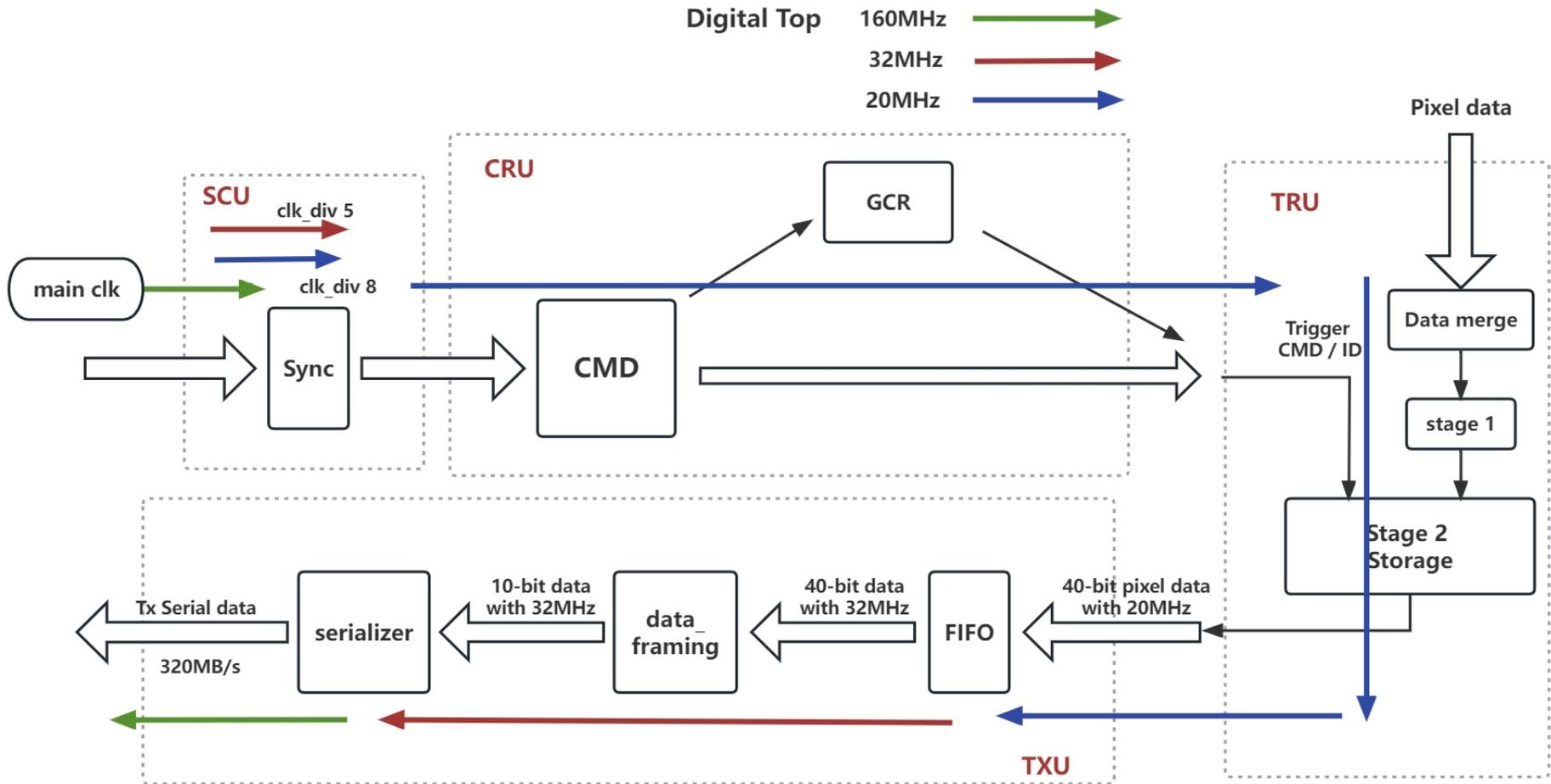


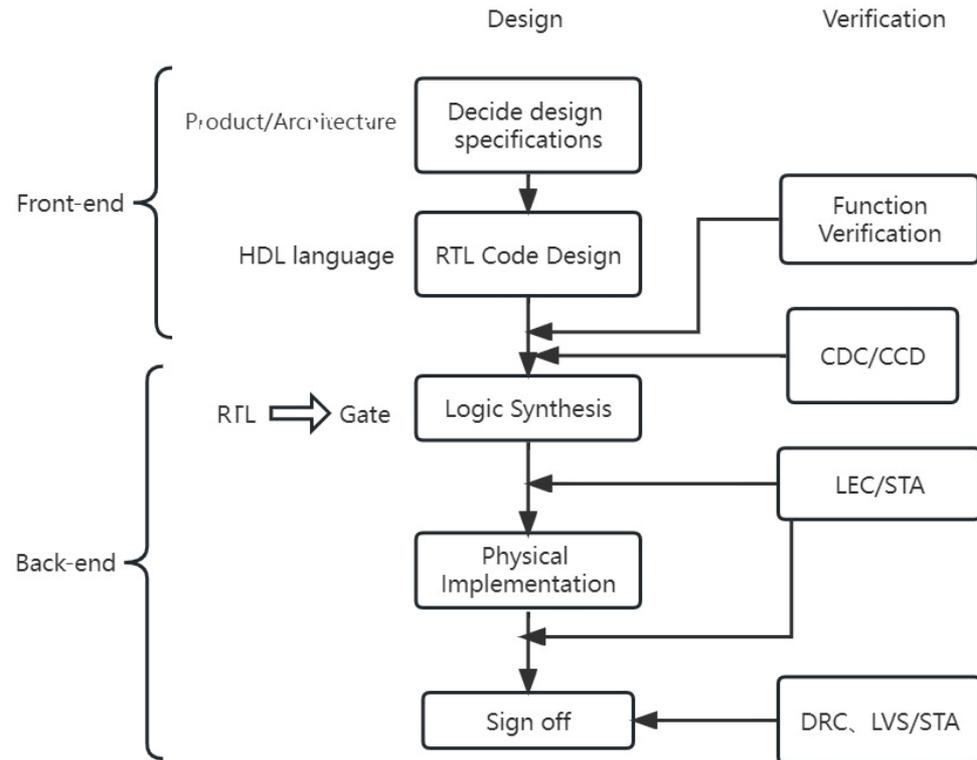
Schéma logique du cheminement des données digitales dans OBELIX-v1

Les horloges dans OBELIX-v1



Utilisation des horloges dans OBELIX-v1

Etat des lieux de la conception digitale de OBELIX-v1



• Avancée du design:

A faire:

1. **Conception** (tout RTL)

2. **Flux back-end pour le top numérique** - écriture de scripts, presque automatiquement effectuée par l'outil CAO

- **synthèse globale**

- **Placement & Routage** (nous en sommes principalement à cette étape)

- Analyse de **synchronisation**

- Vérification des **règles de conception** /

Mise en page par rapport au schéma

- Vérification de l'**équivalence logique**

- Vérification et **post-simulation**

Vue schématique des étapes du design numérique d'OBELIX-v1

Design en cours de développement. Nous travaillons à l'implémentation physique
 → **But : Soumission tôt en 2024**

Conclusion WP1 / 28 nm

- Soumission dec 2022 (délais → problème de restricted NDA):
 - Designs basés sur des cellules “boîtes noires” fournies dans le restricted design kit.
 - Echanges fréquents avec IMEC pour corriger erreurs DRC (grosse perte de temps)
- Le prototype 28nm a été reçu en Juin 23.
- Test setup en préparation
 - Adaptation du setup basé sur board beaglebone
- Prévisionnel:
 - Tests fonctionnels en Q4 2023 puis tests sous irradiation (TID et SEE) en Q1 2024.
 - La signature d'un 3-way NDA a eu lieu → facilitation des prochains designs.
 - Utilisation du CERN PDK dans le futur.
 - Soumission prévue en Q3 2024:
 - Focalisation sur la matrice de pixels
 - Prévoyons de bonder la puce à un senseur
 - 28nm, niveau TRL 4 vérification fonctionnelle au laboratoire
- Projets DRD:
 - High precision timing / techniques 4D et 5D → DRD 7.3
 - Environnements extrêmes / Durcissement des advanced CMOS nodes → DRD 7.4
- Et soutien EU AIDAinnova

- Avancées des projets Depleted MAPS:
 - Tests des soumissions **TJ65: RO (TID)**
 - **Finalisation du travail sur LF150** en cours (LF-Monopix2)
 - Tests de **TJ-Monopix2** en TJ180
 - Basé sur le prototype TJ-Monopix2, **implication forte sur le design d'OBELIX** en TJ180 pour le projet de jouvence Belle II VTX
 - Etudes du **FE analogique**
 - Implication forte sur le **design de la partie digitale**
 - En cours de finalisation → **soumission prévue début 2024**
- TJ65, niveau **TRL 4** vérification fonctionnelle au laboratoire
- TJ180, niveau **TRL 5** vérification en environnement représentatif
- A suivre en 2024:
 - Renforcement **activités TJ65**
 - Continuation de notre forte implication sur **OBELIX_v1** en TJ180 (test des protos, travail sur v2 ...)
 - ANR **APICS** (CPPM / ICUBE / IPHC) étude amplification de charge dans le sensor
- Cadre:
 - DRD3.1 / DRD 7.6
 - AIDAInnova / CERN strategic R&D WP1.2 / Belle II upgrade VTX