





# GRIT

Marlène Assié, IJCLab on behalf of the GRIT collaboration











# Les réactions directes : un outil performant pour étudier la structure des noyaux

REACTIONS DIRECTES = transfert, diffusion élastique/inélastique ...

o Cinématique directe



Détection de la particule légère à l'avant (dans un petit angle) --> **spectromètre avec une très bonne résolution en énergie**   Cinématique inverse: Faisceaux d'ions radioactifs sur cible d'ions légers (H, He, Li)



--> Technologie basée sur les **détecteurs Siliciums** couplés avec d'autres détecteurs

#### REACTIONS DIRECTES = transfert, diffusion élastique/inélastique ...



# Les défis du projet GRIT (Granularity Resolution Identification Transparency)







# Les défis du projet GRIT (Granularity Resolution Identification Transparency)



# Les défis du projet GRIT (Granularity Resolution Identification Transparency)





+ Intégration de cibles spéciales (cryogéniques, tritium, sans fenêtre)

IDENTIF.

TRANSPAR.

0.5







Nombreuses études de R&D sur l'identification des particules par PSA:

- Identification des particules légères Z=1 et Z=2 : validée !
  - Siliciums de type nTD
  - Meilleure observable : amplitude du signal de courant Imax ou Temps au-dessus d'un seuil à 10% après filtre de Haar
  - Seuil bas en énergie : 2 MeV









Identification des particules dans GRIT

RESOLUT°

#### Boule de détecteurs Silicium double face (DSSD)

--> précision sur l'angle <0.1° avec 128X + 128Y (1<sup>er</sup> étage)

- Couronne avant : 8 trapèzes (3 étages : 0.5+1.5+1.5mm)
- Couronne arrière : 8 trapèzes (2 étages : 0.5+1.5mm)
- 90 deg : Détecteurs carrés (2 à 3 étages : 0.5+1.5 mm)
- 2 annulaires : 1 étage à l'arr, 2-3 étages à l'avant

#### **Résolution en énergie :** 35 (1<sup>er</sup> étage) à <100 keV (si 2 étages)

- 1<sup>er</sup> étage : 500 um DSSD, pitch < 0.8 mm **!! nTD !!**
- 2<sup>eme</sup> & 3<sup>eme</sup> étage : **1.5 mm DSSD** pitch ~5mm float zone





# 7 nouveaux design de détecteurs « sur mesure »

- Epaisseur (1.5 mm) encore jamais réalisée
- PSA pour le 1<sup>er</sup> étage (détecteurs nTD)
- --> Fabrication : Micron Semiconductors Limited

IDENTIF.

RESOLUT°

**GRANULARITE** 

#### Bancs de tests

@Orsay









Les détecteurs Siliciums : bancs de test

#### Les détecteurs Silicium : statut

#### Trapèzes ○ 1<sup>er</sup> étage (nTD) • design OK pour les 2 premiers étages • 11 reçus et testés (35 keV) **Carrés** 1<sup>er</sup> étage (nTD) 0 Annulaires (nTD+FZ) • Design OK ○ 2<sup>ème</sup> étage (FZ) • 2<sup>ème</sup> prototype reçu 12 reçus et testés (35 keV! de résolution) à tester sur le banc de test CH\_13\_SPECTRO **FRONT** (junction) 13 SPECTRO GRAPH 311229 3.772e+04 5806 keV 2<sup>ème</sup> étage (FZ) 0 4000 • Design OK 5764 keV 3000 • 1<sup>er</sup> proto reçu, à tester 2000 Design OK ٠ Discussions en cours avec ٠ 42000 CH\_13\_ADC Micron

16

# Design mécanique pour GRIT



#### Transparence aux rayonnements gamma :

Minimum de matière entre la cible et les détecteurs gamma :

- $\rightarrow$  positionnement des cartes électroniques dans les zones mortes
- → géométrie très compacte et optimisée : impression métal 3D
- Définition de la connectique interne, de la bride et de ses connecteurs
- Test des blocs de refroidissement (imprimés 3D) :
  - maquette 2 blocs : test des performances hydrauliques et thermiques
    - --> température uniforme mais chute de pression
    - --> nouveau design validé







Blocs de refroidissement Ph. Rosier, IJCLab)



#### Simulations GEANT4 de transparence aux rayons gamma



### Design mécanique pour GRIT

# TRANSPAR.

#### Transparence aux rayonnements gamma :

Minimum de matière entre la cible et les détecteurs gamma :

- $\rightarrow$  positionnement des cartes électroniques dans les zones mortes
- → géométrie très compacte et optimisée : impression métal 3D
- Définition de la connectique interne, de la bride et de ses connecteurs
- Test des blocs de refroidissement (imprimés 3D) :
  - maquette 2 blocs : test des performances hydrauliques et thermiques
    - --> température uniforme mais chute de pression
    - --> nouveau design validé
- Définition de la taille des cartes électroniques FEE (4x9 cm X2 cartes)







• 2 ASIC préamplis développés :

-**iPACI** (IJCLab): Q & I, gamme 70 MeV -250 MeV (1<sup>er</sup> étage) bande passante pour I = 130 MHz -**ToT** (INFN-Milano): Q, gamme > 1GeV (2<sup>ème</sup> & 3<sup>ème</sup> étage)

ASIC PLAS (Valencia puis LPC Caen): mémoire analogique pour le readout

# Le défi principal de GRIT : l'électronique



Routage LPC Clermont, M-L Mercier

MI m

First stage

NMOS

GND

Second stage



Third stage

out\_current

out\_charge



- 2 ASIC préamplis développés :

   -iPACI (IJCLab): pour le 1<sup>er</sup> étage
   -ToT (INFN-Milano) pour le 2<sup>ème</sup> et 3<sup>ème</sup> étage
- ASIC PLAS (Valencia puis LPC Caen): mémoire analogique pour le readout

#### ΤοΤ

Enjeux principaux :

Gamme en énergie jusqu'au GeV : procédure de fast-reset
 --> résolution (about 30 keV with alpha source !)





S. Capra et al, NIMA (2019)





# PLAS : le concept



- Résultats pour PLAS V2 :
  - Taux d'échantillonnage 200 MSa/s
  - 32 points de pré-trig et 224 au total : taille de la trace limitée !
  - ENOB : 8.4 bits alors que d'après les tests de R&D nous avons besoin de 10 bits minimum
- --> redesign en modifiant les schémas (le bruit provient essentiellement des blocs T&H)

PLAS V3 en cours de design par : S. Drouet, G. Martinez, L. Alvado, L. Leterrier, LPC Caen



D. Etasse, B. Carniol, A. Matta (LPC Caen)



**Back-up slides** 





#### **Rayonnements** gamma

