



La microélectronique LHCb 25 ans après ...



..... 1997 Début de l'aventure ("LAPP 2 LPC")

- Accord IN2P3-LPC support de la région
- Trois postes (J.L, G.B, C.T->R.C) et soutien IN2P3
Jean Paul Repellin, François Dupont
- Excellent accueil au LPC, fléchage LHCb
- Excellent accueil de l'ISIMA

6000 scintillateurs.

64 scintillateurs par photomultiplicateur de 64 voies

Pour chaque voie amplification, mise en forme et digitalisation.

Simple et classique

Mais:

Lecture impérative toutes les 25 ns

Électronique au plus près du détecteur

Signaux analogiques rapides à transmettre sur 27m

Signaux faibles (5 MIP à 5%) pour le trigger de niveau zéro

Signaux forts: 100 MIP (électrons et photons)

Calibration: 10 ADC count/Mip

Dynamique de 0,1 à 100 MIP : 10 bits

La chaîne de lecture semble simple

A première vue:

préampli, ampli de charge, T/H ampli de puissance
27m de câble et ADC sur la carte front end.

Mise en route de Cadence, (licences et serveur ISIMA)
Première techno submicronique à l'IN2P3 (AMS 0.8 μ)
toutes premières simulations

La chaîne de lecture semble simple

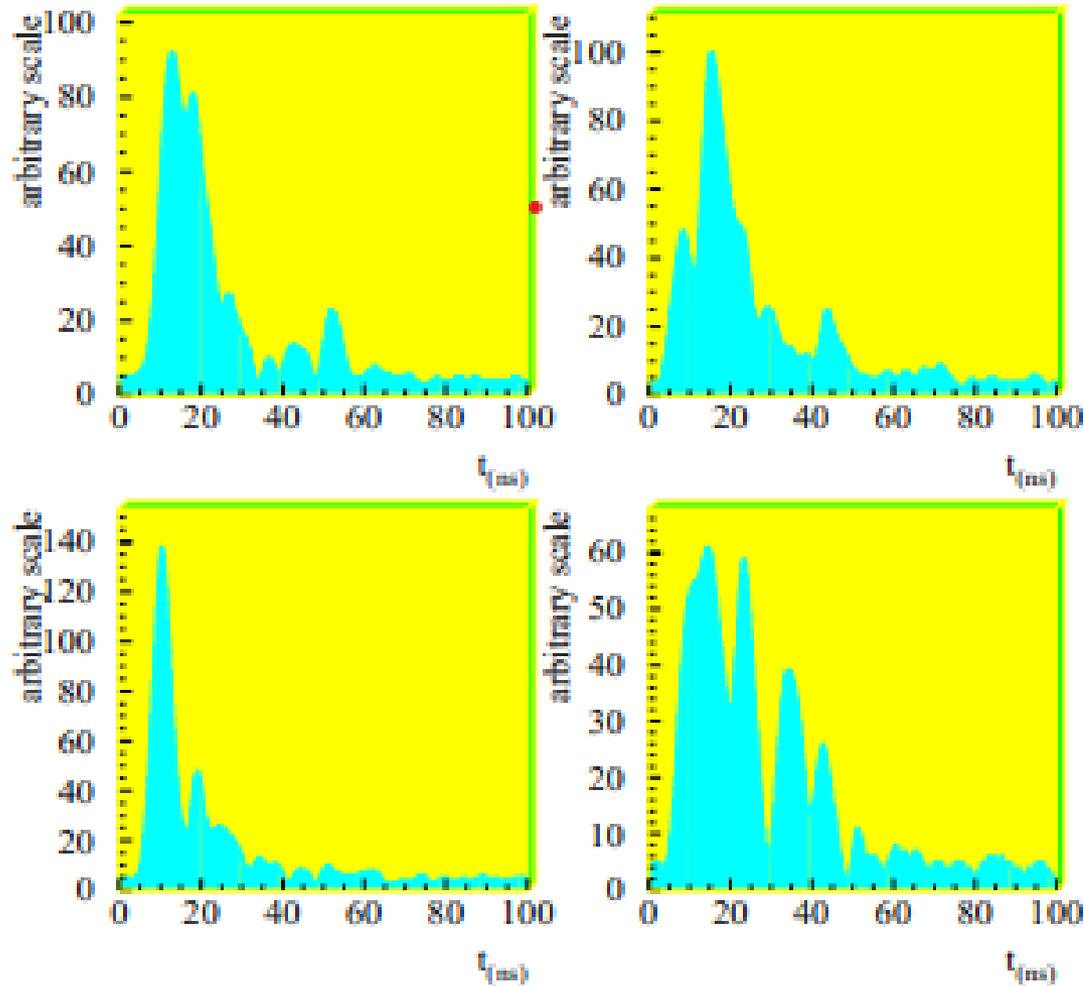
A première vue:

préampli, ampli de charge, T/H ampli de puissance
27m de câble et ADC sur la carte front end.

Mise en route de Cadence, (licences et serveur ISIMA)
Première techno submicronique à l'IN2P3 (AMS 0.8 μ)
toutes premières simulations

Et puis on a vu les vrais signaux.....

Les signaux...



Adieu la chaine de lecture classique

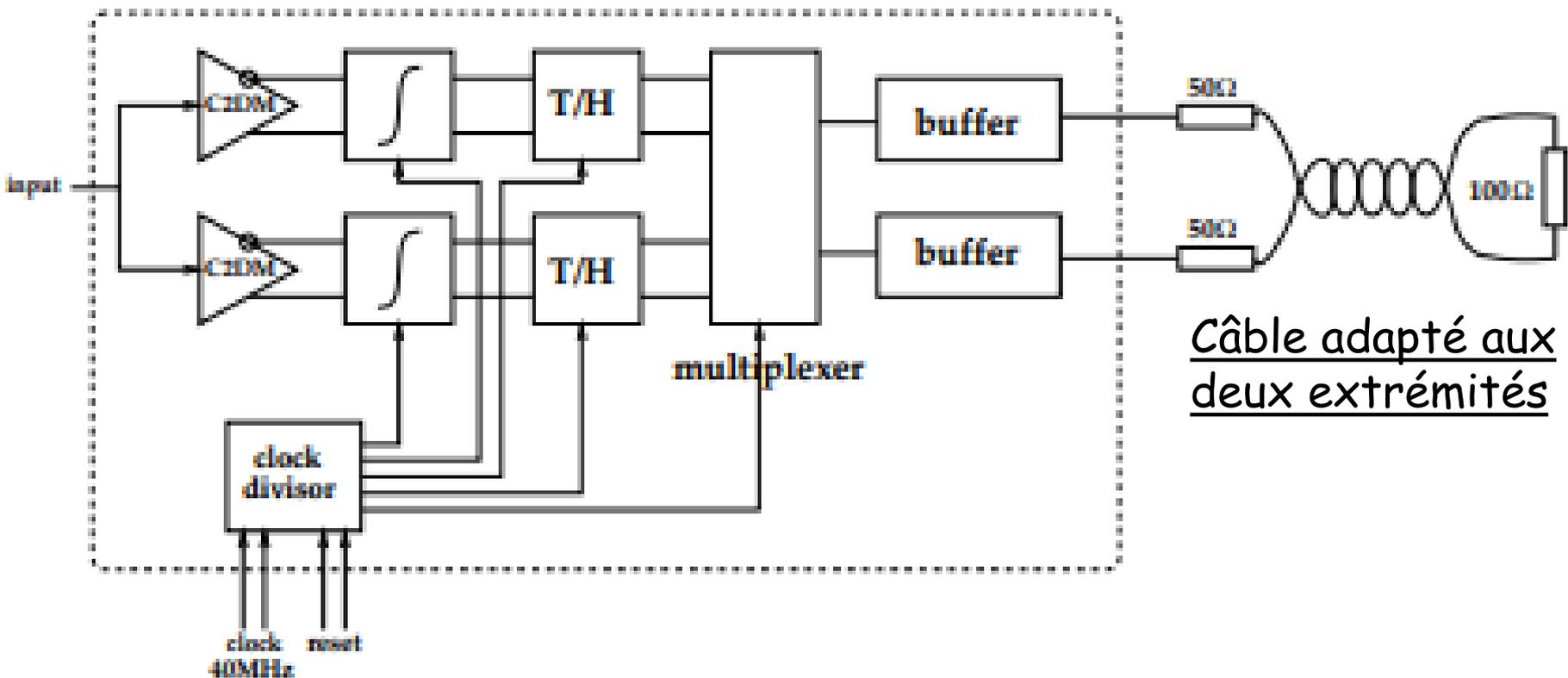
Un intégrateur parfait sur 25 ns ne suffit même pas

Mais:

- Sur 25 ns on récupère 85% de la charge.
- l'intégration sur 25 ns fournit donc 85% du signal plus 15% du signal Précédent. D'où l'idée d'une nouvelle architecture de mesure de charge:

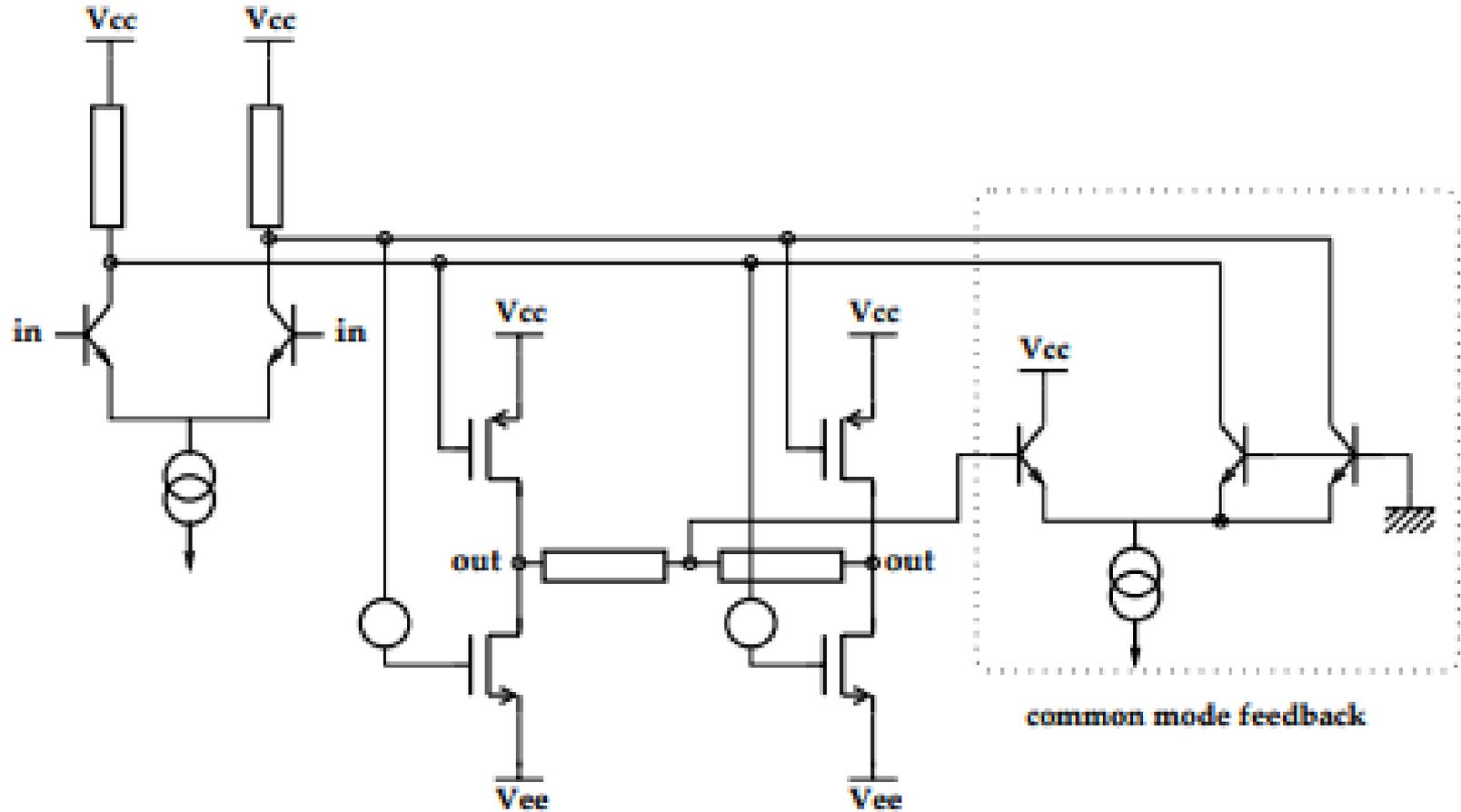
Deux intégrateurs entrelacés et un calcul simple peuvent faire le travail.

Architecture

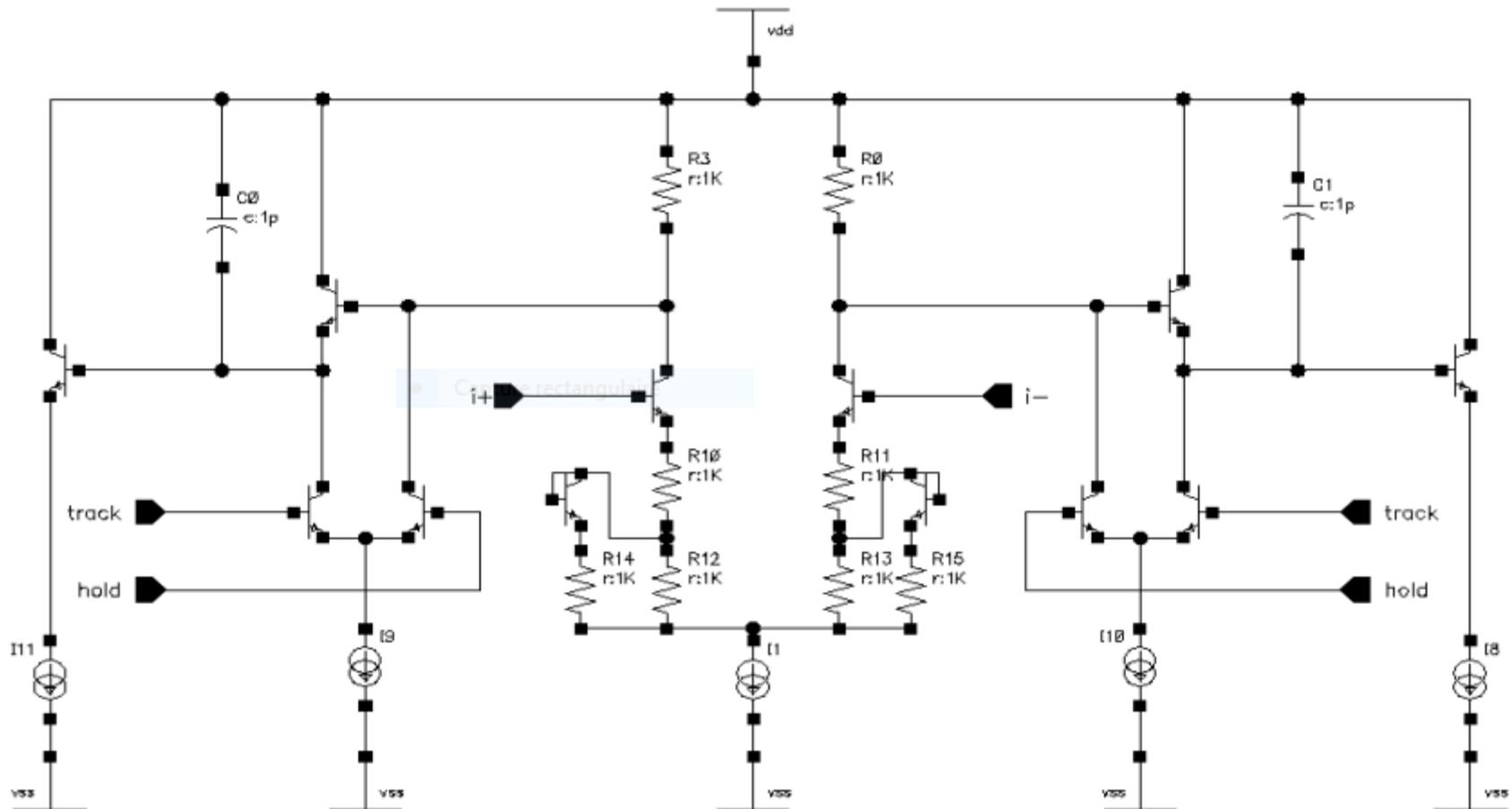


- Grand gain et liaison continue: bipolaire (offset)
- analogique et digital: tout différentiel
- CMOS (consommation, switch)
- Horloge en PECL, PECL2CMOS local
- 27m de câble: Conception d'un push pull classe AB
« tout NPN », gros travail sur le choix des câbles.

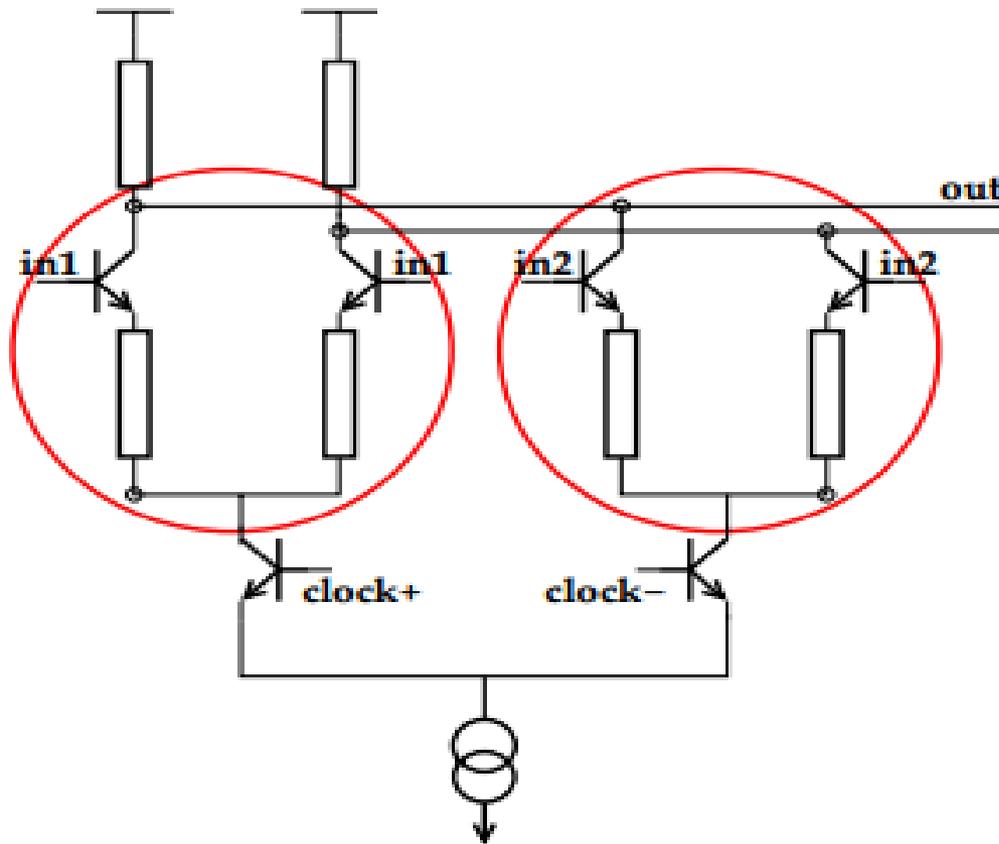
L'amplificateur

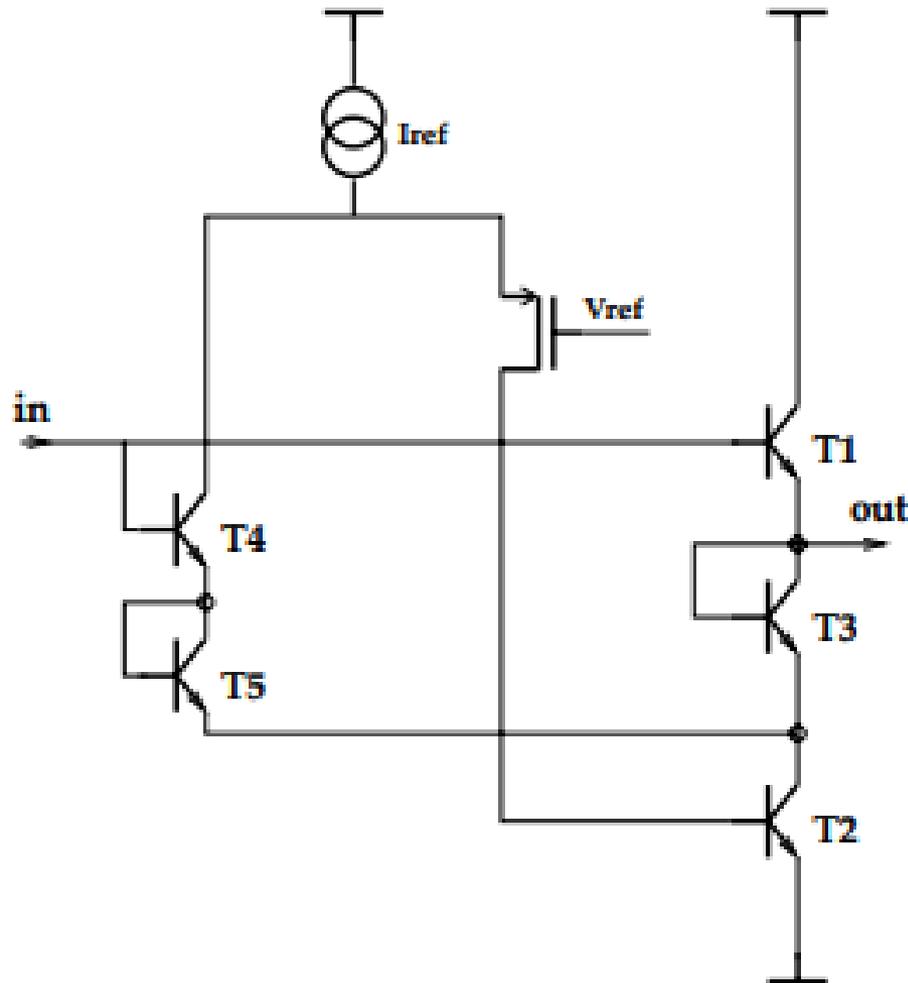


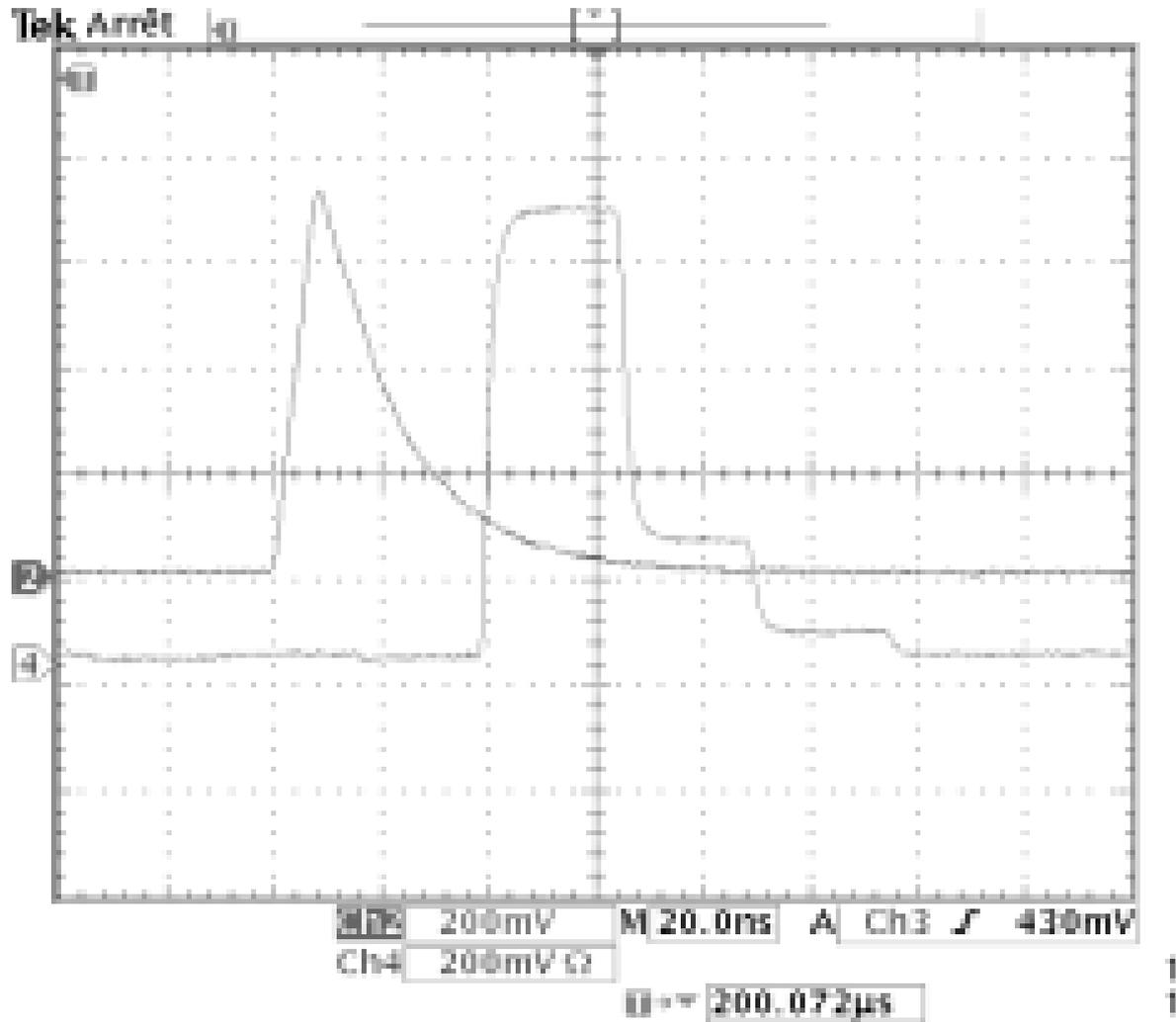
Le track/hold



Multiplexeur







Les résultats sont bons, tant en simulation qu'en mesures:

- linéarité meilleure que 1% et moins de 1lsb pour les petits signaux.
- Dynamique de $\pm 2V$ tension d'alimentation de $\pm 2.75V$
- bruit inférieur à $650 \mu V$
- 100mW par voie

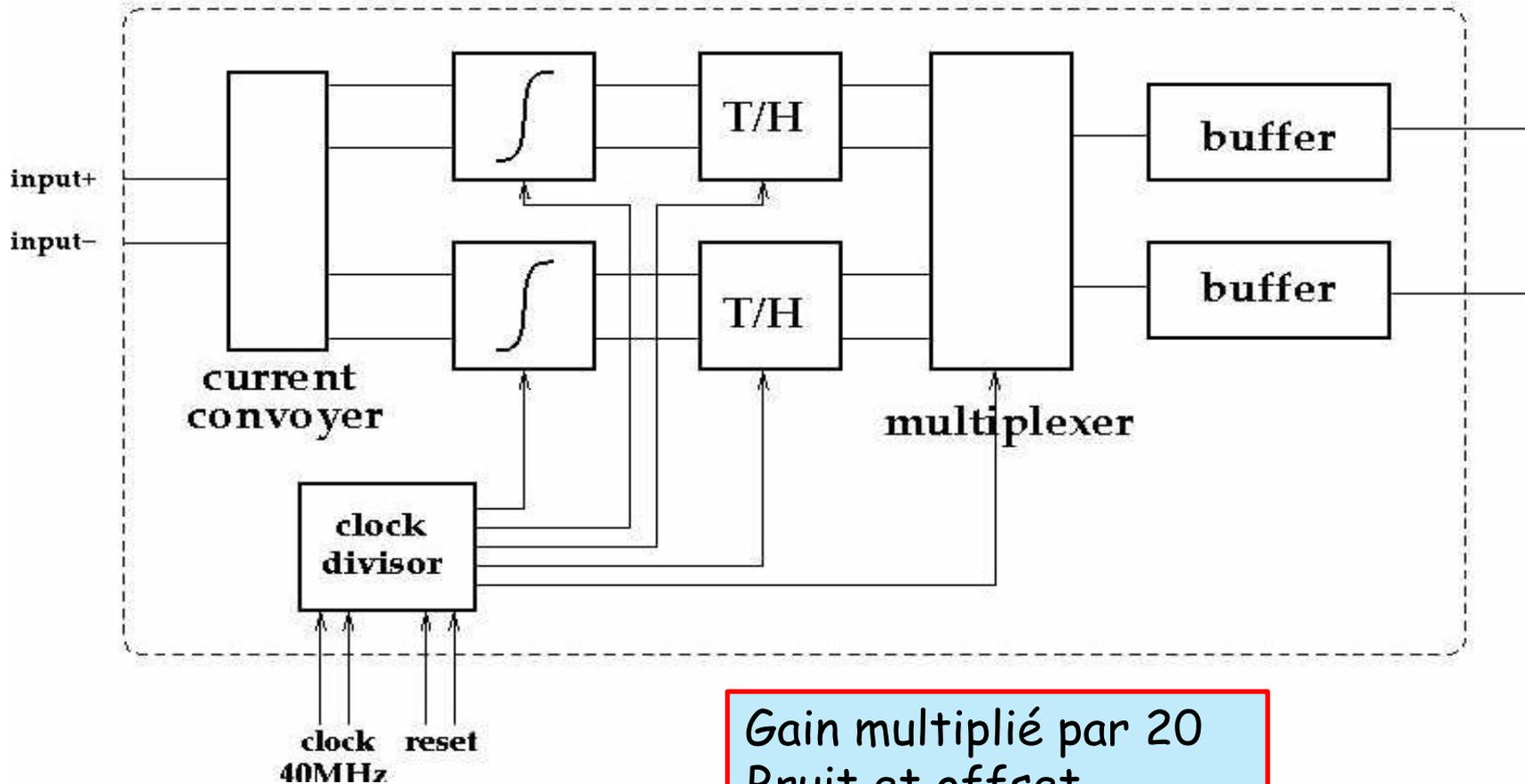
Les résultats sont bons, tant en simulation qu'en mesures:

- linéarité meilleure que 1% et moins de 1lsb pour les petits signaux.
- Dynamique de $\pm 2V$ tension d'alimentation de $\pm 2.75V$
- bruit inférieur à $650 \mu V$
- 100mW par voie

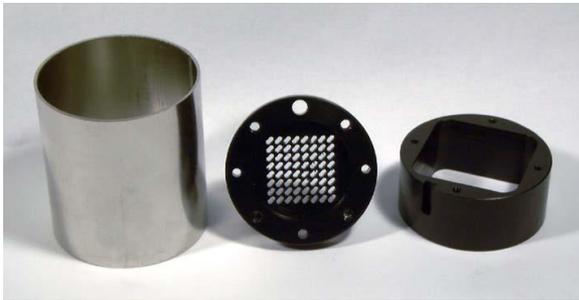
Et le cahier des charges change

La 3ieme version sera la bonne

Architecture



MAPMT Block



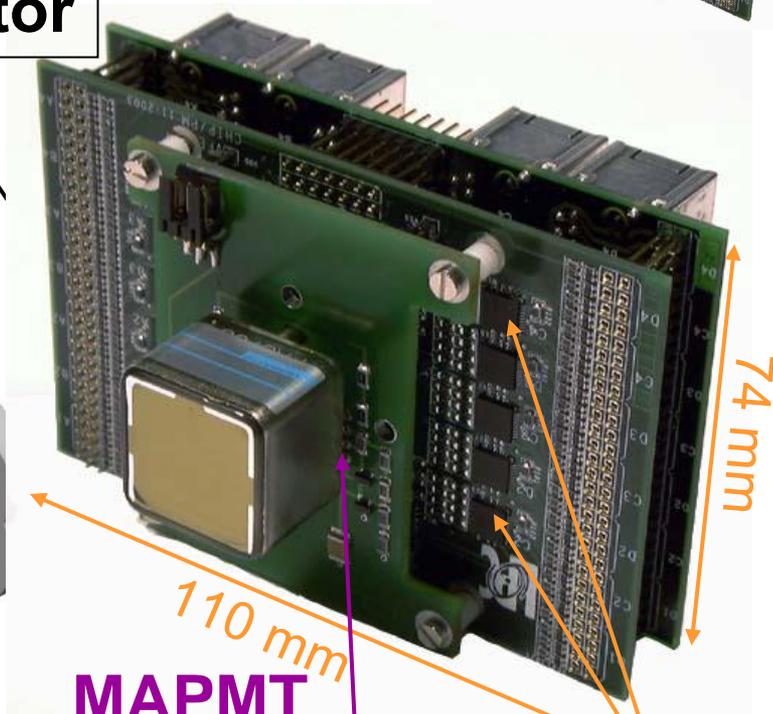
MAPMT
Connector

Fiber
Connector

Shielding
(μ -metal)

Fiber Bundle

Fibers
(64 pairs)

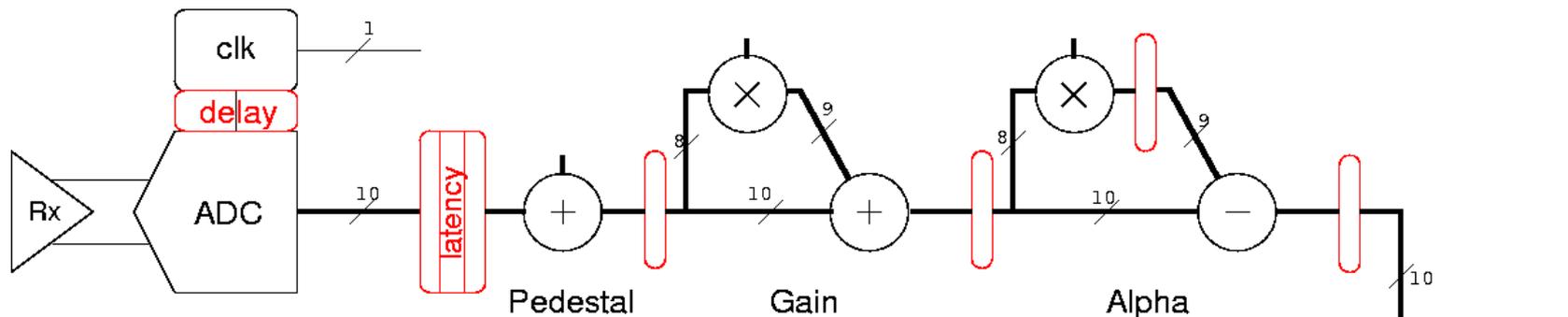


MAPMT

VFE Board

Chips

Multistage Board: 3 boards

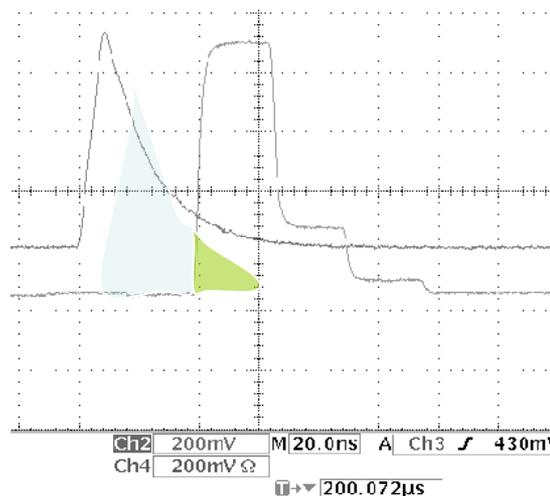


Offset $\in [0..255]$

Gain = $1 + G/512$, $G \in [0..255]$

Alpha = $A/512$, $A \in [0..255]$

Trigger threshold $\in [0..255]$



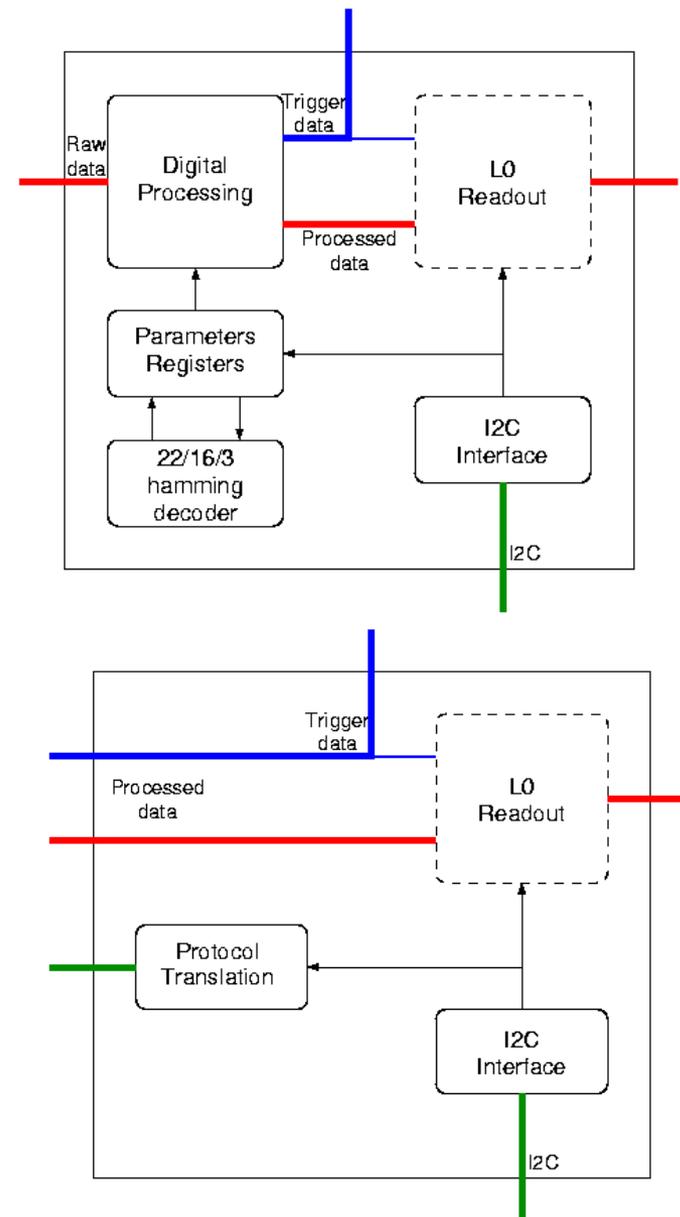
Deux options pour la partie numérique:
Un ASIC ou un FPGA

Compatibilité LPC/LAL: readout via FPGA

Version ASIC: ASIC+AX250

Version FPGA AX1000

Prototype avec les deux versions:
32 voies avec ASIC
32 voies sans ASIC



L'ASIC: AMS 0.35 6.25 mm²

- 4 voies ; Protection SEU : Triple voting, Code auto correcteur
- interface 12C.
- 100% testé

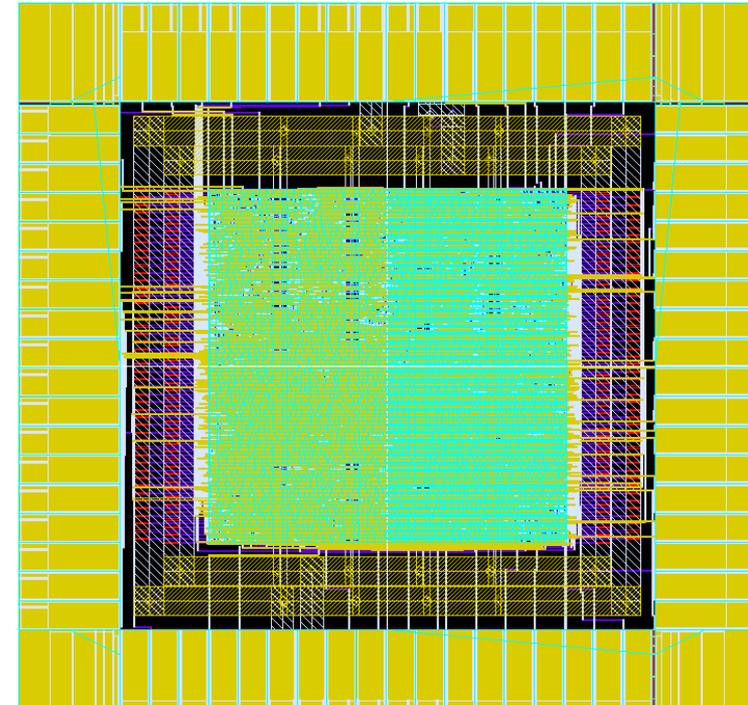
FPGA: Même code VHDL

Performance ASIC > FGA

Circuit imprimé ASIC > FGA

Prix de revient identique

Algorithme figé bien que paramétré



Choix FPGA Actel AX1000 (!)

La microélectronique pour LHCb a rempli son rôle:
Tout a parfaitement fonctionné pendant toute la durée de vie du PS.

Elle a permis de plus:

- De se familiariser avec de nouvelles architectures qui ont été utiles sur les projets suivants.
- De réaliser nos premiers développements en CMOS et en numériques.
- De rentabiliser et partager ces architectures:
Intégrateurs entrelacés utilisés pour le SPD
Circuit LHCb utilisé tel quel au CERN sur 12 bits.
amplificateur de puissance 1 GHz pour C4I