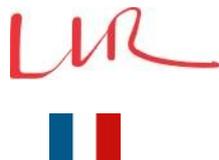


Technologies, Spin-Offs & Briques FCC-ee

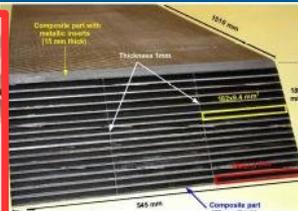
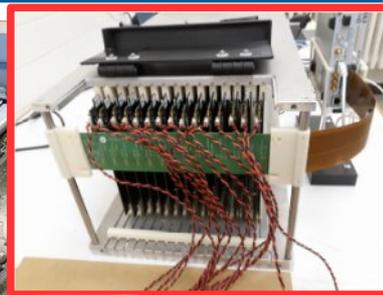
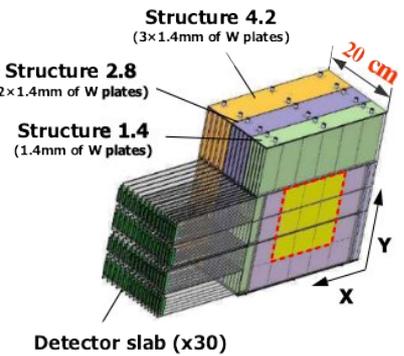
Vincent Boudry



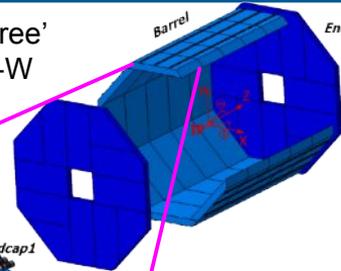
Institut Polytechnique de Paris



KP CALICE
IN2P3, 29/09/2022



'dead space free'
Carbon Fibre-W
Structure



Technological (now)

- Embedded electronics
 - Power-Pulsed, Auto-Trig, delayed RO
 - $S/N = (MPV/\sigma_{\text{Noise}}) \geq \sim 12$ (trig)
- Compatible w/ 8+ modules-slab
- $5 \times 5 \text{ mm}^2$ on $320\text{--}650 \mu\text{m}$ $9 \times 9 \text{ cm}^2$ $\times 26\text{--}30$ layers
 - 8k (slab) ~ 30k (calo) channels

We are here

Pilote

- 1M
- on $750 \mu\text{m}$ $12 \times 12 \text{ cm}^2$ 8" Wafers ?
- Pre-industrial building
- Full integration (\supset cooling)
- Final ASIC

Full Detector

70M channels

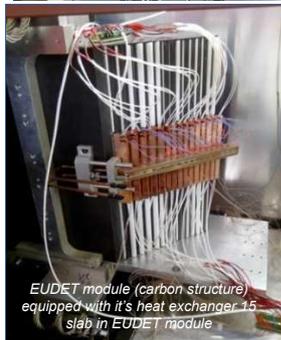
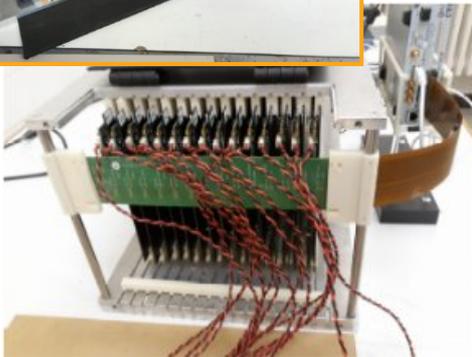
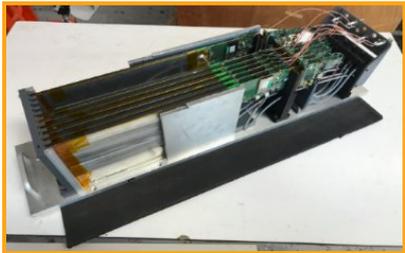
Physical (2005-11)

- $1 \times 1 \text{ cm}^2$ on $500 \mu\text{m}$ $6 \times 6 \text{ cm}^2$
Pad glued on PCB
Floating GR
- $\times 30$ layers (10k chan).
- External readout
- Proof of principle

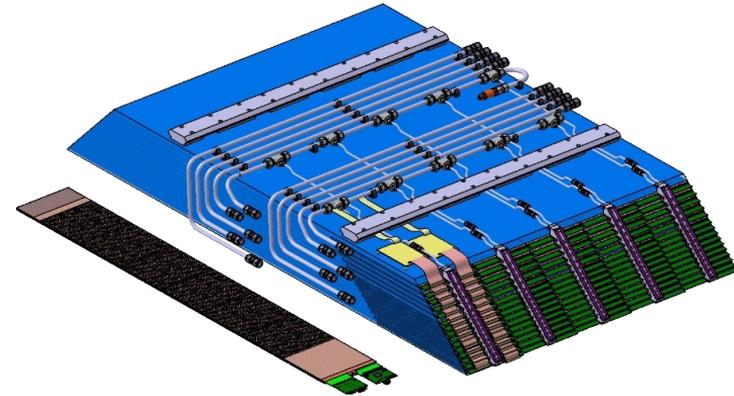
Maquettes et modèle technologiques

Maquettes (prototypes partiels)

- **Stack Calo1** (15 × 1 ASU) Mixed → Uniform
- **SLAB** (1 × 8–12 ASUs) Partial → Complet
- **Stack Calo2** (24 × 1 ASU)
- **Stack Calo3** (15 × 3 ASUs)



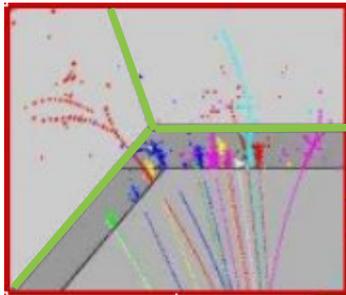
EUDET module (carbon structure)
equipped with its heat exchanger 15
slab in EUDET module



Modèle = Module Pilote

- 3 à 5 tours de 13 alv.
 - Structure adaptée
- 39–65 SLABs doubles de 7–8 ASUs
 - 546–1040 ASUs ↔ Industrie
- Cooling
- Compact DAQ

Hierarchies



HCAL

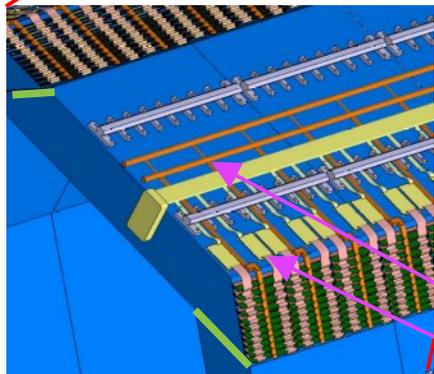
Endcap2

Endcap1

Barrel

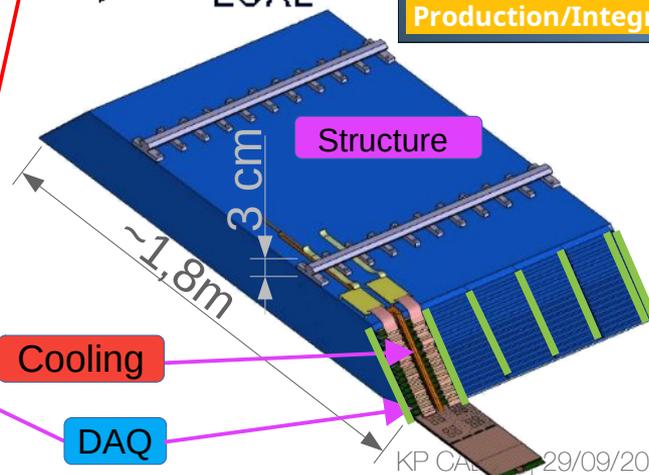
ECAL

- Instrumental
- Electronics
- Mechanical
- Thermal
- Physical
- Production/Integration

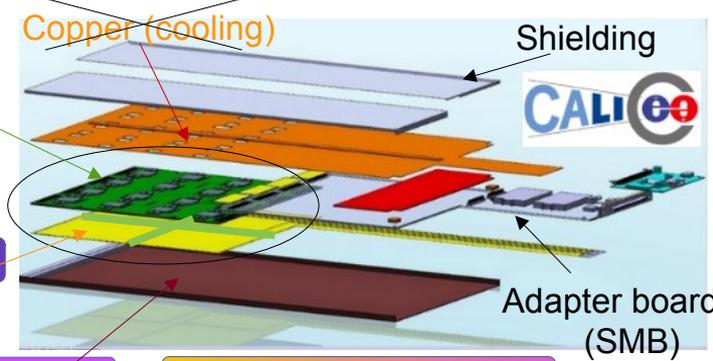


Cooling

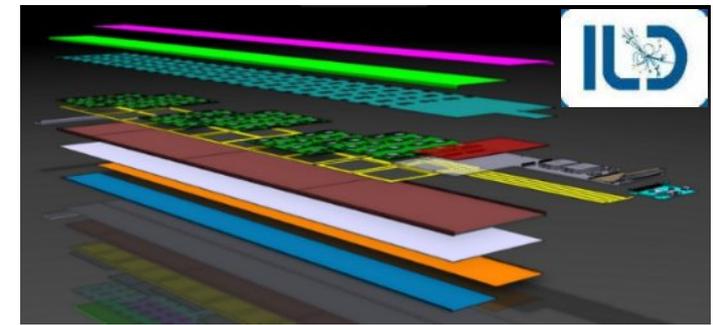
DAQ



- PCB (FeV)
- 16 SK2 ASICs
- 1024 channels
- ASU
- Wafer (4)



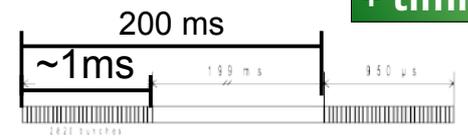
U layout of a short slab



U layout of a long slab

+ timing

PP ↔ Cont



Conditions Linéaires et Circulaires

Conditions Linéaire: ILC, HL-ILC...

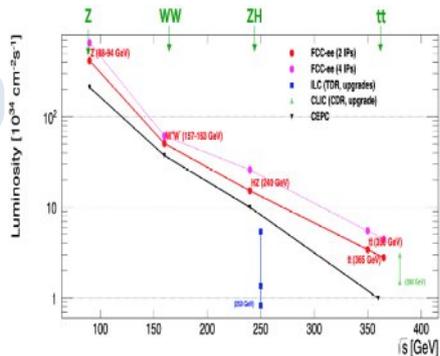
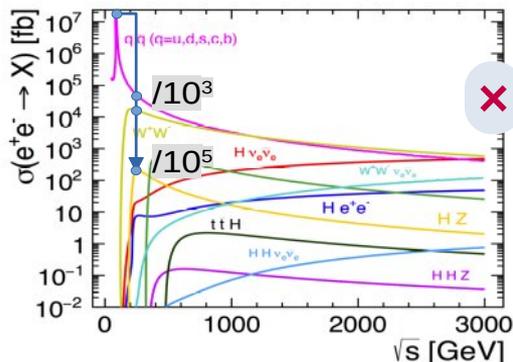
- 250 GeV (ZH), 365 GeV (tt), 500 GeV (ZHH) + [1000 GeV], $\mathcal{L} \sim \text{cst.}$
- Power pulsing : 5 [10–15]Hz \times 1 [2] ms

Condition très diverses et plus stricte que ILC:

- $90\text{GeV} \times 10^7 \text{ fb} \times 5 \cdot 10^{36} \text{ cm}^{-2} \text{ s}^{-1}$ (qq \times 20,000 ILC @ 250)
- 150 GeV (WW) + 250 GeV (ZH)+ 365 GeV (tt)
 $\sim 10^4 \text{ fb} \times 5 \cdot 10^{35} \text{ cm}^{-2} \text{ s}^{-1}$ (qq \times 5–10 ILC @ 250)

Changement de Paradigme (*Hypothèse du Continu*) et révision:

- ASIC, Power/Cooling, DAQ, *Granularity, Precisions (E, t), New ideas...*



HL-ILC:

- $\mathcal{L} \times 4$ (6)
- $N_{\text{bunches}} \times 2$: $\tau_{\text{Train}}: 1 \rightarrow 2 \text{ ms}$
- $f_{\text{rep}} \times 2$ (3): $5 \rightarrow 15 \text{ Hz}$

Dominated by ACQ time:

$$P(\sim 25\mu\text{W}/\text{ch}) \times 6$$

HL-CLIC:

- $\mathcal{L} \times 2$
- $N_{\text{bunches}} \rightarrow$: $\tau_{\text{Train}}: 176 \text{ ns}$
- $f_{\text{rep}} \times 2$: $50 \rightarrow 100 \text{ Hz}$

Dominated by Set-up &

Conversion time: $P(\sim 82\mu\text{W}/\text{ch}) \times 2$

FCC-ee parameters		Z	W*W*	ZH	ttbar
\sqrt{s}	GeV	91.2	160	240	350-365
Luminosity / IP	$10^{34} \text{ cm}^{-2} \text{ s}^{-1}$	230	28	8.5	1.7
Bunch spacing	ns	19.6	163	994	3000
"Physics" cross section	pb	35,000	10	0.2	0.5
Total cross section (Z)	pb	40,000	30	10	8
Event rate	Hz	92,000	8.4	1	0.1
"Pile up" parameter [μ]	10^{-6}	1,800	1	1	1

Experimentally, Z pole most challenging

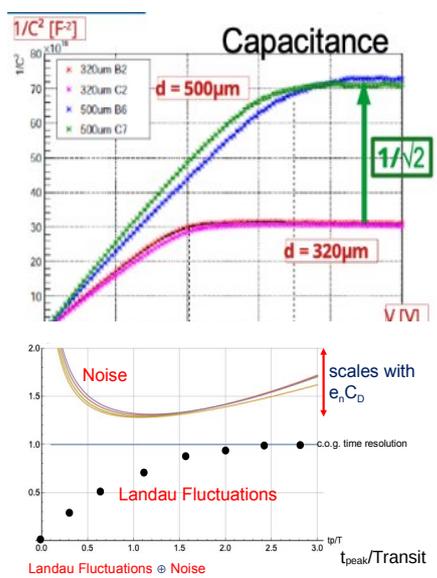
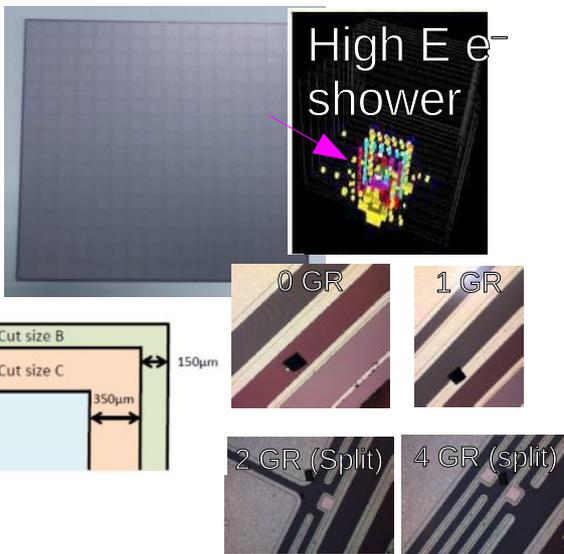
- Extremely large statistics
- Physics event rates up to 100 kHz
- Bunch spacing at 20 ns
 - "Continuous" beams, no bunch trains, no power pulsing
- No pileup, no underlying event ...
 - ...well, pileup of 2×10^{-3} at Z pole

Technologies

Capteurs silicium

Instrumentation

Capteur (silicium)	Technique classique <i>Technologie de conception et de production maîtrisées par la sous-traitance</i>	Production HR sur wafers 6" Anneaux de gardes absents ou segmentés TRL9.
---------------------------	--	--



Modèle 1: Capteur 6" «sans guard ring»

Modèle 2: Capteur 8" «sans guard ring»

Maquette : Capteurs 4" avec guard ring

Pistes:

- **Caractérisation** existants:
 - Mesure par faisceau des zones insensibles
 - Validation du temps réponse (sim. elec., mesure) pour timing de masse (toutes cellules)
- **Évaluation 8" :**
 - **Optimisation** des épaisseurs vs GR (par simu) et de la géométrie (rectangles et "chutes").
 - **Achat et mesure** de prototypes
- **Production:** Sourcing et qualification **partenaires**
- **Évaluation** LGAD pour couche(s) timing dédiée
- **R&D** MAPS, Electronique purement digitale

Buts:

- Capteurs compatible avec un collage (guard ring flottant)
- Minimiser les zones mortes

FCC-ee: directement applicable

VFE ASICs

Electronique

VFE chip	Technique classique (fonctions) Technologie modulaire (système) Technologie de production maîtrisées par la sous-traitance	Conception modulaire adaptable à une variété de manip. TRL7
-----------------	--	---

Modèle 1: SKIROC2, 2a

- AMS 0.35 μ m

Modèle 2: SKIROC3

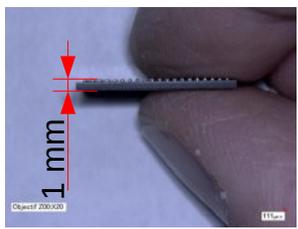
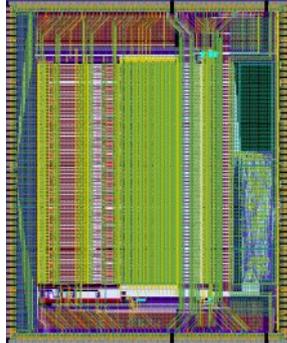
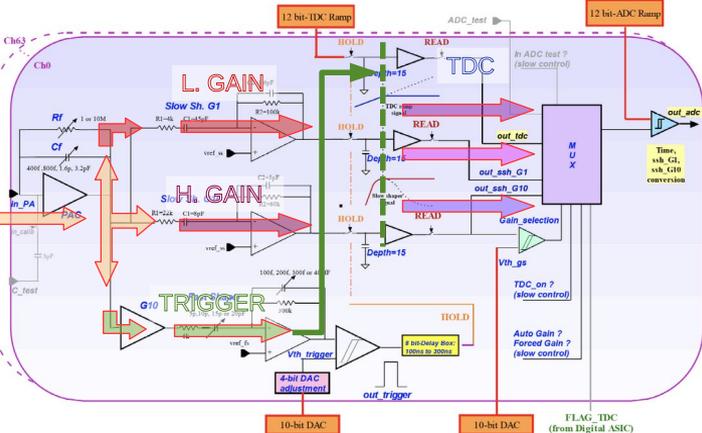
- Full 0-suppression, Gamme dynamique préservée
- Configuration améliorée
- Mesure en temps améliorée

Pistes:

- **Amélioration** la robustesse à l'environnement
 - inclusion de régulateurs, drivers
 - Common Mode Reduction Ratio (CMRR)

FCC-ee:

- **Adaptation** un mode continu à partir de briques existantes (HGROC, HKROC, AltiROC) *si TSMC 130nm*
- **Réduction** de la consommation: (5 mW / ch \otimes Active cooling \rightarrow 6 \times 6mm² faisable)
 - Lecture continue et randomisée (basse fréquence)
 - Performances dynamiques (groupement de voies, gammes dynamique, ...)



Buts:

- Amplification, Trigger, Mesure (BCID+Temps, Amplitude), Stockage, Lecture chaînée des voies, en local
- Faible consommation (< 25 μ W/ch)

VFE PCB

Electronique, Mécanique

PCB

Technique classique et non-classique
Technologie de production via la sous-traitance

Multicouches mince et plat
Multicouche creusé
TRL3 non satisfaisant

Modèle : FEV2.1

- Régulation alims locale
- Signaux rapides

Maquettes: FEV8, 10, 11, 12, 13

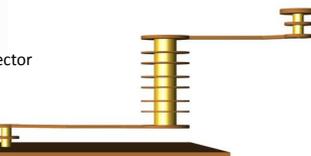
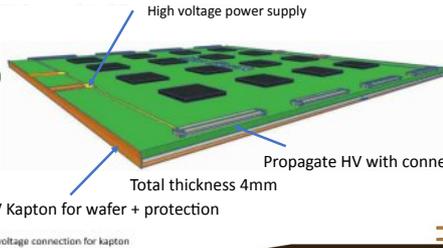
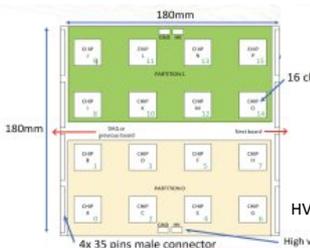
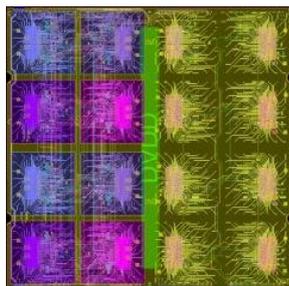
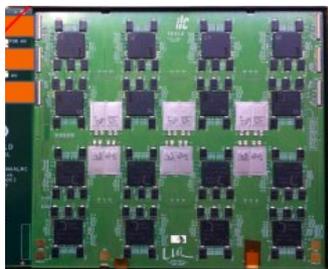
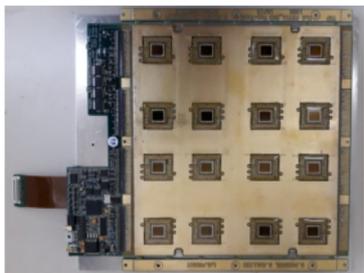
- Filtrage alims local

Pistes:

- **Démonstration** des capacités dans un SLAB
- Fonctions **monitoring** (LV, HV, temp, ID)
- Option **COB** ↔ ASICs (⇒ régulation, Drivers)
- **Partenariat** indus. pour mise en technologie de production, cible TRL6à7 Ligne de transmission sans adaptation + drivers dans VFE

FCC-ee:

- **Adaptation** lignes de transmission aux débits et ASICs dédiés



Buts:

- Support mécanique et positionnement des capteurs silicium
- Support électronique aux VFE ASICs
- Transmission des signaux et data, alimentations (LV, HV)

Data Acquisition

Electronique

DAQ	Technique classique <i>Technologie de production maitrisées par la sous-traitance</i>	Effort d'adaptation, TRL9 acqit précédemment
-----	--	--

Modèle : DAQ sur Module Pilote

Maquette 0: DAQ2

- Cartes (CCC, GDCC, DIF) + PYRAME

Maquette 1: DAQ Compacte sur Stack Calo1

Maquette 2: DAQ Compacte sur SLAB

Maquette 3: DAQ Compacte sur Stack Calo2

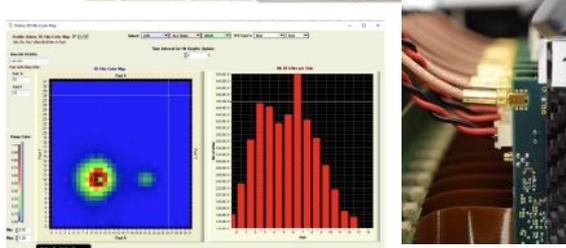
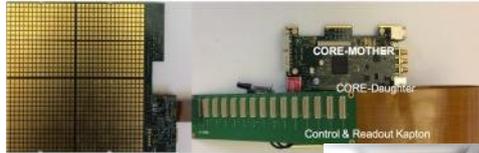
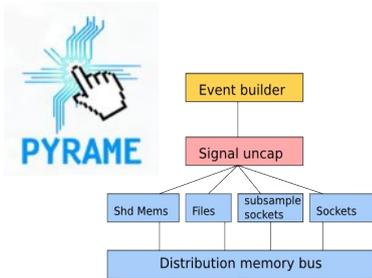
Maquette 4: DAQ Compacte sur Stack Calo3

Pistes:

- **Consommation optimisée** (Pulsing, regul. locale)
- **Distribution horloges** ($\Delta t \leq 50\text{ps}$) en bout de **SLAB**
- **Monitoring** de haut niveau (Histogramme, Bruits, Mesures température, LV, HV, ...)

FCC-ee:

- Redimensionnement pour fonctionnement continu, au pic du Z ($\tau_{\text{BX}} = 20\text{--}40\text{ ns}$)



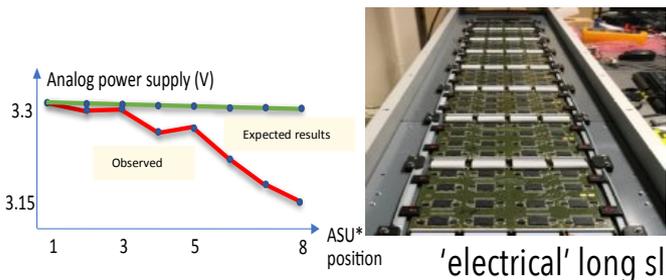
Buts:

- Acquisition de donnée, clock & contrôle et monitoring de **~2000 VFE ASICs** en tests en faisce.
- R&D et prototypage pour l'expérience

Distribution de Puissance et Haute Tension

Electronique, Intégration

Powering	Technique classique <i>Technologie OEM maîtrisées par la sous-traitance</i>	Alimentation traditionnelle Mode power-pulsing avec stockage capacitif local TRL3
-----------------	---	---



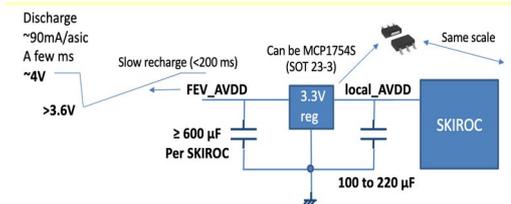
Modèle : 1 tour de SLABs, complète

Maquette1 : SLAB électrique

- Tampons en bout de SLAB (Super-Capacités)
- Distribution HV par LEMOs
- 8 PCB + 8 Babywafers
- Mesuré en 2018 en faisceau

Maquette2 : SLAB complet (FEV2)

- Tampons+Régulateurs (LDO) sur FEV (↔ DAQ compacte)
- Distribution et Filtres HV sur FEV
- 8-12 ASUs sur base FEV2.1



Buts:

- Alimentation stabilisée des ASICs, lors des trains de croisement (1 ms / 200ms @ILC)
- Éviter les appels de courants dans B=3.5T (et forces magnétiques sur l'électronique)

Pistes:

- **Ingénierie système** pour optimisation des positionnement d'une hiérarchie de tampons + cycles
- **Suppression** régulateurs locaux → ASICs (↔ CEM)

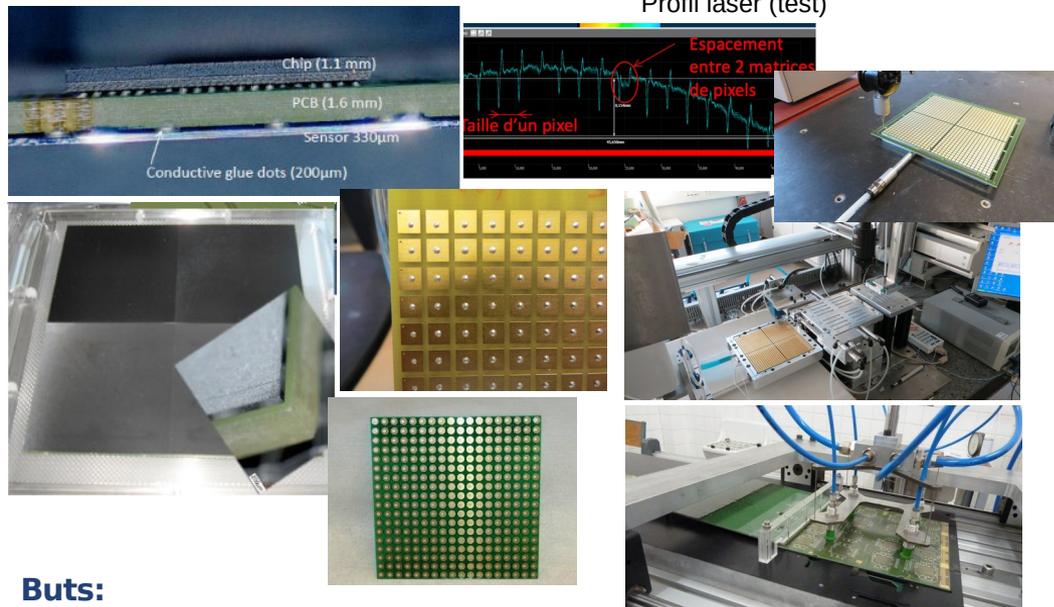
FCC-ee: Changement de paradigme : pulsé → continu
Redimensionnement complet : Granularité, ASIC, précision...

Intégration ASU et SLABs

Production / Intégration

Intégration de l'ASU	Technique <i>technologie pick-and-place</i> « statique »	Technique collage et positionnement 10µm par robot programmé Maîtrise du parallélisme, des volumes de colle
-----------------------------	---	--

Profil laser (test)



Buts:

- Connection fine, physique et électrique, PCB-Capteur par colle epoxy conductrice
- Positionnement des capteurs $\delta \sim 10\text{-}20 \mu\text{m}$
- Positionnement de ASU dans un SLAB

Modèle : Bancs automatisés adaptatifs Peak-and-Place

Maquette 1: banc collage manuel prototype physique

Maquette 2:

- banc collage programmé avec mise en forme
- banc assemblage semi-automatique

Pistes:

- **Validation** de tenue mécanique et électrique (vieillessement, tests mécaniques statique et vibratoire, tests chimiques)
- **Optimisation** du processus procédures de collage (mélanges, traitements de surface, quantités)
- Conversion en **technologie** via **Partenariat indus.** Cible TRL6 : Procédé robuste automatisé par vision artificielle (dépôt et contrôle, pick&place, ...) adapté pour production de masse;
- Alternative au collage

FCC-ee: directement applicable

Grande Structures Fibre de Carbone-Tungstène

Mécanique

Structure mécanique

Technique composite C/W
Technique de moulage sous contraintes/vide

Production artisanale
TRL2 vers TRL4

Modèle : 1.8 m × 1 m, 5 tours de 13-15 alvéoles

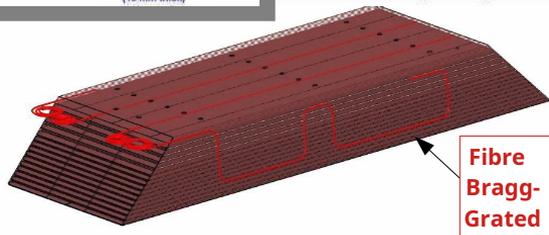
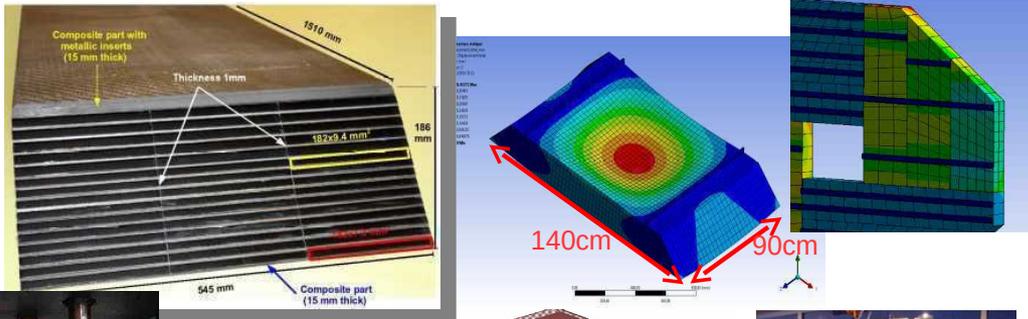
Maquette 1 : ~3:4 (1.4 m × 0.6 m, 3 tours de 15 alv.)

- Produite en 2012 (interne: autoclave LLR)
- Conseils extérieurs sur industrialisation
- Assemblage d'alvéoles identiques coupées
 - Alvéole de 2m50 (LPSC + industrie)
- Métrologie statique
- Simulations num. statique et dynamique

Pistes:

- **Caractérisation** de la maquette avec outils manutention (cf Système)
 - ↔ Simulation Composite (→ TRL5)
- **Partenariat & expertise** indus. pour prod. **Modèle**
- **Partenariat** pour instrumentation de la structure
- Instrumentée (Fibres à Réseaux de Bragg):
 - Déformation (sismique, B \uparrow) et t° en temps-réel

FCC-ee: directement applicable



Buts:

- Supports mécaniques “auto-portants”
- Non traversant (sans boulons)
- Minimisation zones mortes

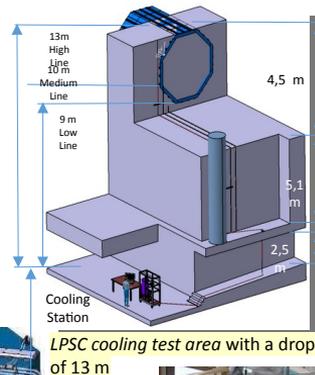
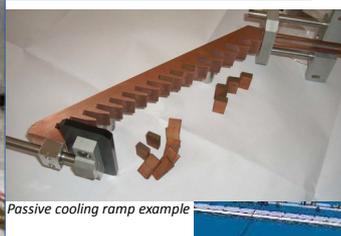
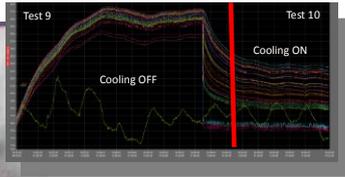
Refroidissement à eau sans fuite

Thermique/Intégration

Refroidissement à eau "leakless"

Technique passive intégrée dans les modules détecteurs (radiateur)
Parties actives off-detector

Effort d'adaptation, TRL9 acquis précédemment sur autres manips.
Simulation et maquette TRL4 pour mise à l'échelle détecteur complet
TRL7 sur principe

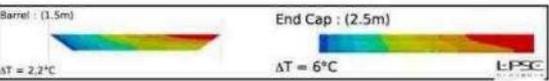


EUDET module (carbon structure) equipped with its heat exchanger 15 slab in EUDET module

Passive cooling ramp example

LPSC cooling test area with a drop of 13 m

Cooling station



Buts:

- Evacuation chaleur en bout de slab
- Caloduc compatible avec espace ECAL-HCAL (3 cm)
- Pas de fuite (fonctionnement en dépression)

Modèle : sur module pilote

Maquette 1: 1:1

- circuit simple

Maquette 2: 3:4

- Maquette structure C-W chauffée

Pistes:

- Test sur module pilote complètement équipé

FCC-ee:

- 1) Dimensionnement au fonctionnement continu, si possible, en évitant le refroidissement actif.
- 2) Sinon, recherche d'inclusion d'un refroidissement CO₂ (dans Cu ou W)

Intégration Système (modèles numériques)

Mécanique, Thermique, Electronique / Intégration

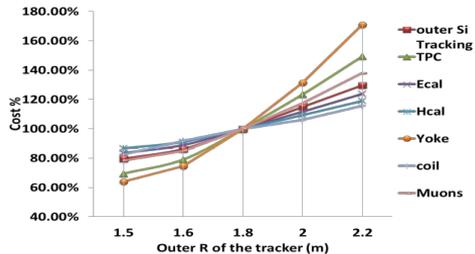
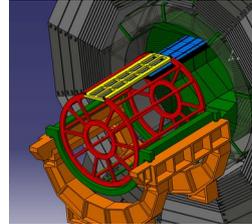
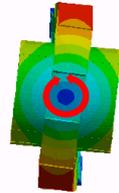
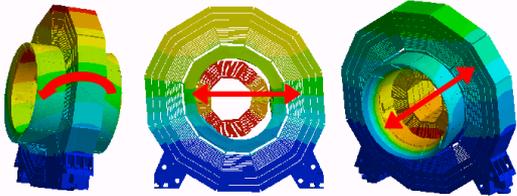
Intégration Système	Technique spécifique <i>Conception d'un détecteur</i>	Modèle CAO mécanique détaillé (ILD) Chiffrages, Procédures et Plannings
----------------------------	---	--

Mode 1 @ 2,3Hz

Mode 2 @ 3,05Hz

Mode 3 @ 3,8Hz

Mode 6 @ 7Hz



Handling and positioning tool for integration & tests

Buts:

- Modèle d'intégration commun aux sous-détecteurs
- Déterminations et placement des besoins
 - des services (puissance, cooling, fluides, interfaces, ...)
 - de construction (humains, matériels, temps, surface, outils, ...)

Modèle : Outils de conception complet, distribués

Maquette 1: Modèle CAO ILD

- Volumes fiduciaire par sous-détecteur et services
- Simulations mécaniques statiques et dynamiques
- Simulation de montage et prototype d'outils

Maquette 2: Tableaux de comptabilité paramétrés

- Param: couches, rayon, épaisseurs, ...

Pistes:

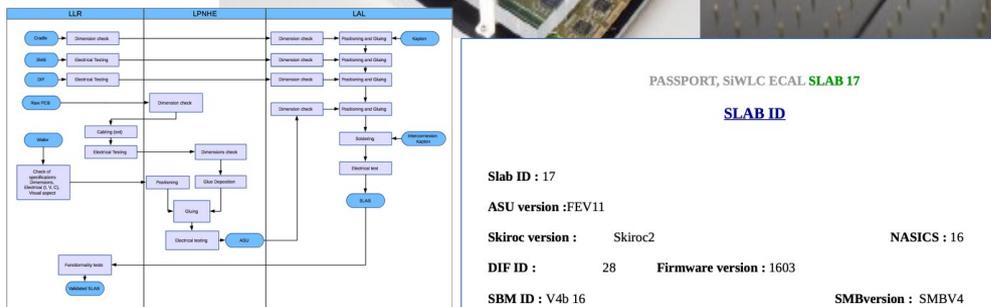
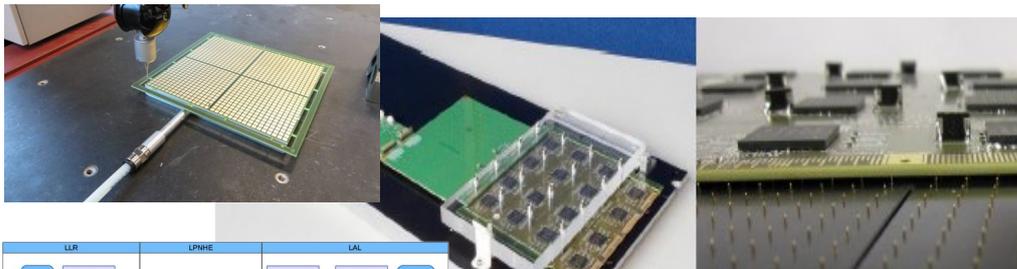
- **Développement** d'outils de simulation multi-physique (mécanique + thermique, EM, ...)
- Définition de règles de **CEM**
- **Partenariat** pour le développement conjoint
- **Convergence** CAO mécanique - Physique (GEANT4)

FCC-ee: directement applicable

Systeme Qualité

Production

Production/ qualité	n/a	Outils artisanaux (passeports, fiches) ; fast feed back to R&D
------------------------	-----	---



Buts:

- Vérification de qualité et mesure des caractéristique des éléments et procédures
- Traçage des paramètres pour optimisation et calibration

Modèle : Système de bancs de tests laboratoire et industriel, avec base de donnée

Maquette : Banc de tests & suivi artisanaux

- Wafers, PCBs (électrique, mécanique), ASICs, Plaques tungstène
- Fiches individuelles, tableaux
- Retour rapide → R&D

Pistes:

- **Développement** compétences internes (ingénieur)
 - **Procédures** : Retour d'expérience, vérifications, ...
- **Outils** de gestion de production de masse
 - Base donnée, traçage,
 - Analyses semi-automatiques, ML → défauts

FCC-ee: directement applicable

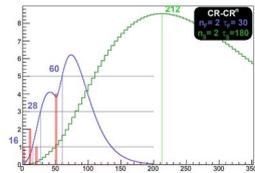
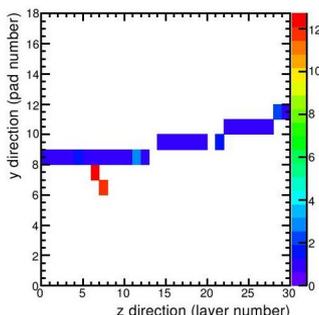
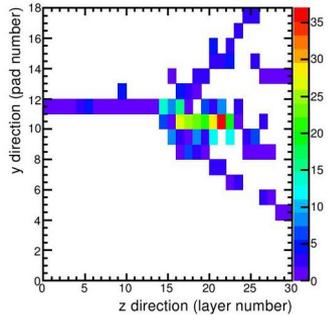
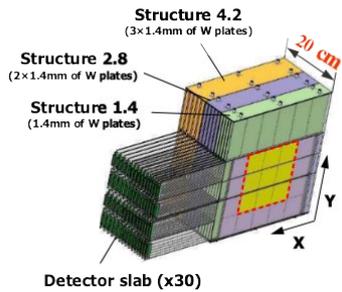
Simulation Physique: GEANT4

Physique

Sim physique
(GEANT4)

Outils physique
Amélioration de la simulation
(GEANT4)

Mise en place d'un modèle CALICE
SiW-ECAL dans la chaîne d'évaluation
G4, avec les données du prototype
physique (1x1 cm², 30 couches)



Buts:

- Prise en compte par la GEANT4 des spécificités de la haute granularité, nécessaire pour le Particle Flow
 - Profils de gerbes EM & HAD, traces secondaires, timing ...

Modèle 1: CALICE SiW-ECAL Physique

- en exploitation

Modèle 2: CALICE SiW-ECAL Technologique

- 5x5 mm², 24 couches, timing ~1.5 ns (au mip)
- avec digitisation

Pistes:

- **Production** de 24 ASUs, adaptation DAQ compacte
- Prise de données avec le **stack calo2** (24 couches)
- Analyse et fourniture d'un **lot de données**

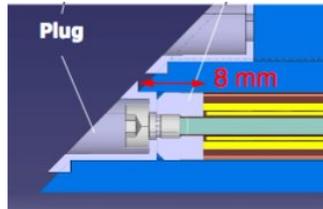
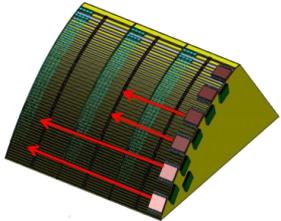
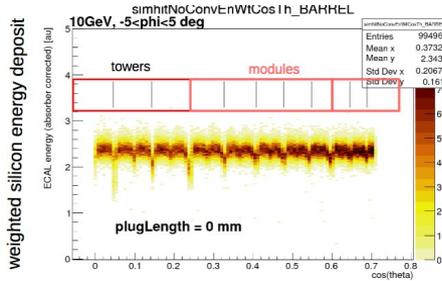
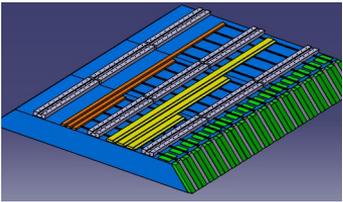
FCC-ee:

- **Optimisation** de la géométrie/performances/coût du SiW-ECAL

Simulation Physique: Modèle détaillé

Physique / Intégration

Sim physique (modèle détaillé)	Outils physique - <i>Modèle de détecteur avec défauts réalistes</i>	- Modèle détaillé en service (gaps, services, non uniformités) - Estimations des performances physique du détecteur
---------------------------------------	---	--



Buts:

- Modèle utilisable pour
 - l'estimation des performances de processus clés
 - le développement d'algorithmes de reconstruction
 - évaluer les marges techniques et instrumentales
 - jeux, épaisseurs, dynamique, ...

Modèle 2: ILD / CLD dans Key4HEP

Modèle 1: ILD & CALICE SIW-ECAL Stack dans DD4HEP

- En exploitation

Maquette: ILD et CALICE ECAL-physique

- GEANT4 dans MOKKA
 - TESLA et ILD DBD

Pistes:

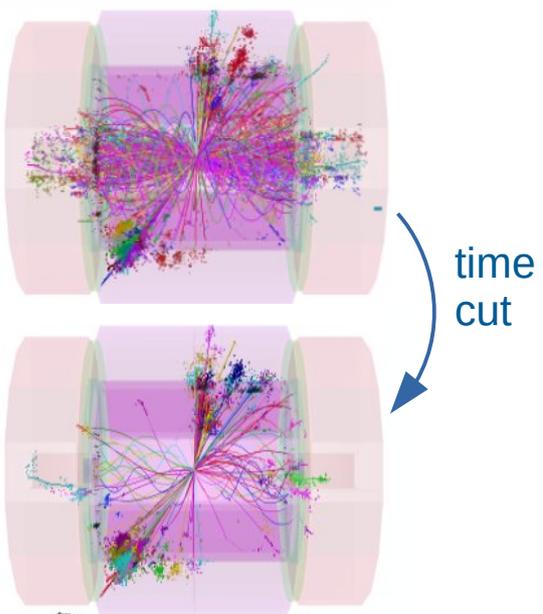
- **Amélioration** de la digitisation, paramétrisation des résolution en énergie & temps

FCC-ee:

- **Dimensionnement** des éléments HW à partir de la simulation ILD
 - Granularité, ASICs, Puissance/Cooling, DAQ
- Adaptation ILD / CLD

Timing in calorimeters: 0.1-1 ns range

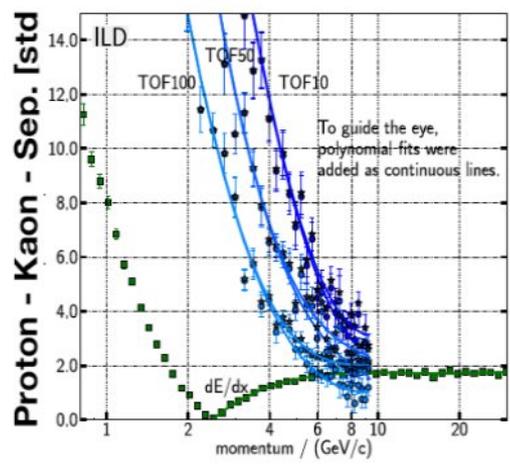
Cleaning of Events



[CLIC CDR: 1202.5940]
adapted from L. Emberger
Vincent.Boudry@in2p3.fr

Particle ID by Time-of-Flight

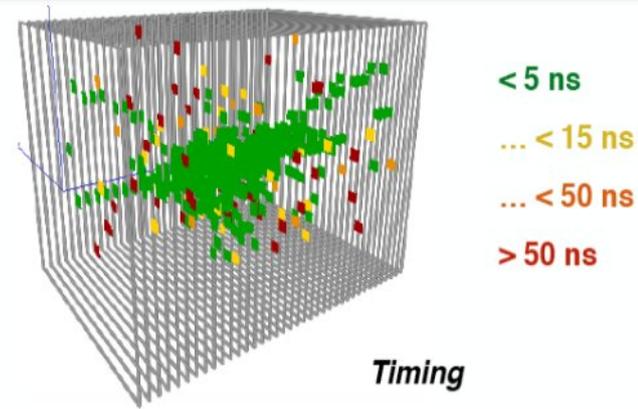
- Complementary to dE/dx
 - here with 100ps on 10 ECAL hits



S. Dharani, U. Einhaus, J. List

Ease Particle Flow:

- Identify primers in showers
- Help against confusion *better separation of showers*
- Cleaning of late neutrons & back scattering.
- Requires 4D clustering

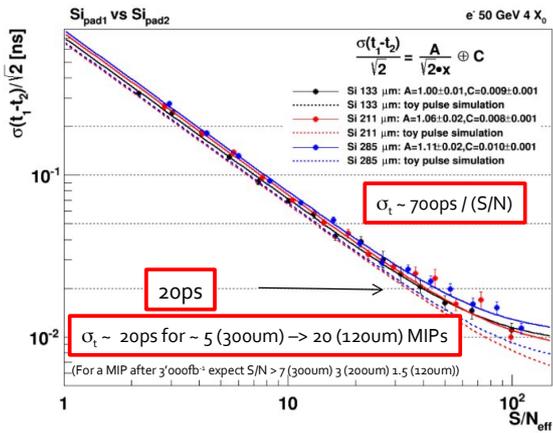


Ch. Graf

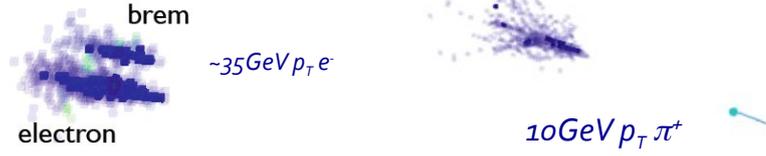
Timing Studies

2015 CMS HGCAL CERN timing test beam

– Time resolution vs S/N ratio



CMS
 CMS Experiment at LHC, CERN
 Data recorded: Thu Jan 1 01:00:00 1970 CEST
 Run/Event: 1 / 1
 Lumi section: 1

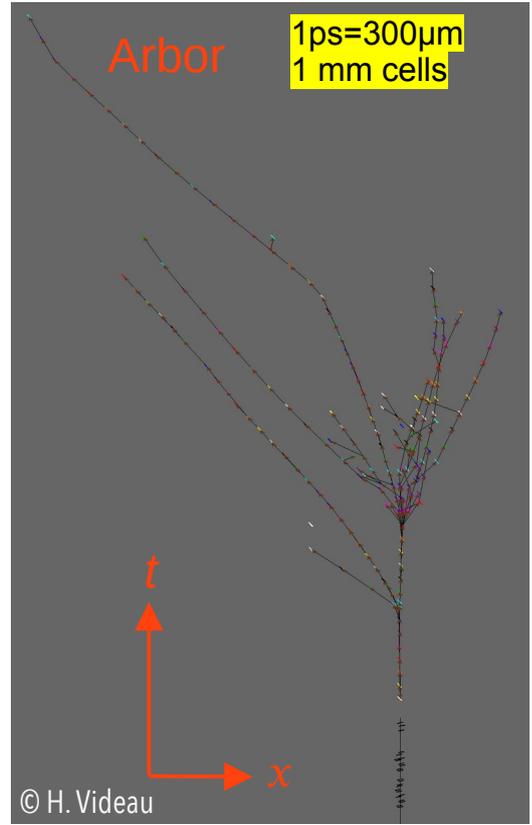
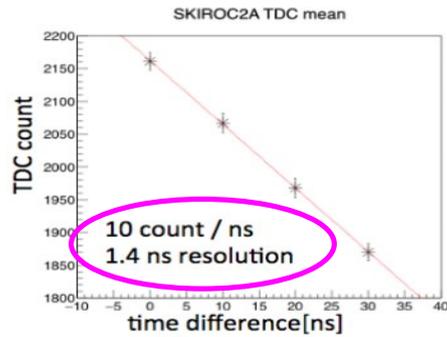
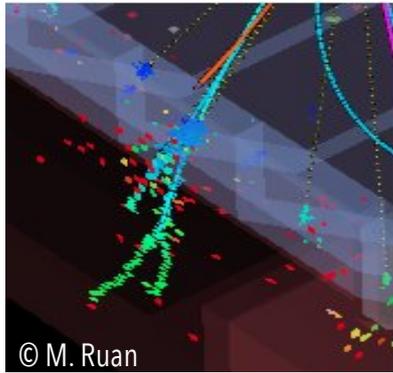


Transparent cells => no timing
 Solid cells => timing information $\sim 50\text{ps}$

Vincent.Boudry@in2p3.fr

CALICE / ILD

– Bulk Timing



Spin-Offs

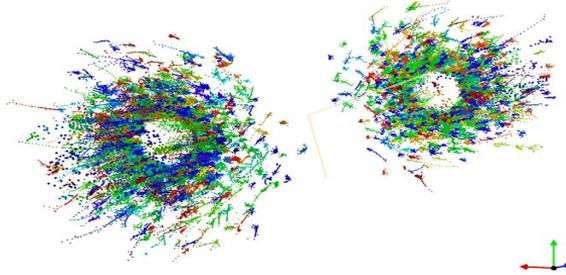
Spin-Off : existing experiments



CMS Experiment at LHC, CERN
Data recorded: Thu Jan 1 01:00:00 1970 CEST
Run/Event: 1 / 1201
Lumi section: 13

CMS HGCAL

- Participation aux réflexions préliminaires
- Aide aux choix de technologie
 - visites laboratoires et installations de test
 - affichage du démonstrateur structure CFW
 - Tests préliminaires de PFA (↔ amélioration CPU)
- Participation/Support aux 1^{res} phases de R&D
 - Dons de SK2 ↔ Prod SK2a avec SK2CMS
 - Formation: Post-Docs, Beam-Test (2015)
- ASICs: SK2 → SK2CMS → HGROC
- Expertise de revue actuelle P2UG (R. Pöschl)



ATLAS HGTD

- Participation aux réflexions préliminaires
- ASIC : AltiROC
- Tests de collage & irradiation

Neutrinos

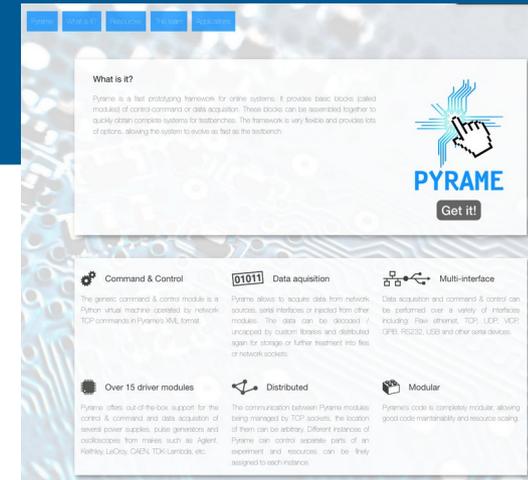
- ASIC : HGROC → HKROC
- T2K : WAGASCI+WallMDR
 - SPIROC, PCB, DAQ2 + PYRAME



Spin-Offs : technologiques

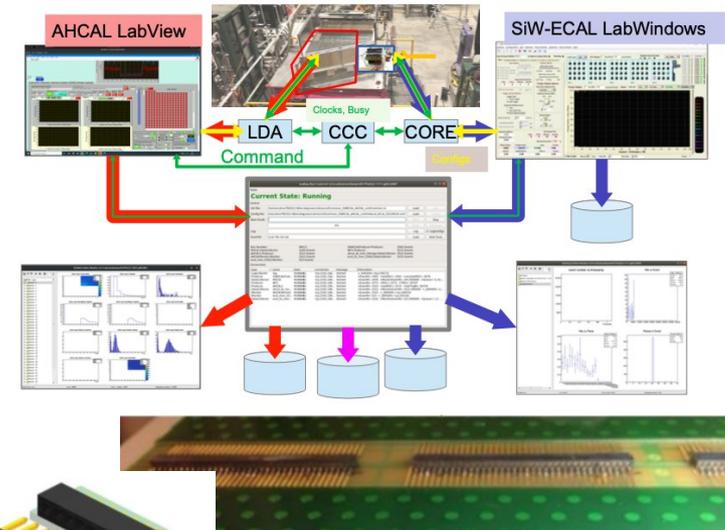
DAQ2

- PYRAME <https://llr.in2p3.fr/sites/pyrame/>
 - generique; CALICE → CALICOES
 - Banc tests au LLR & CPPM
 - PEPITE, Banc test SK2CMS, SuperFGD (T2K), ...
- Full DAQ2 → WAGASCI + WallMRD (T2K)



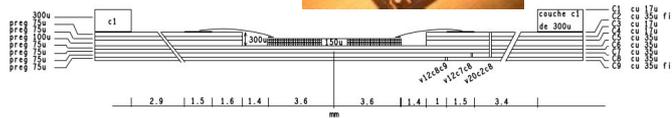
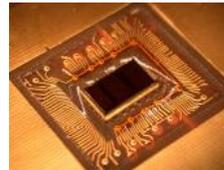
DAQ Compacte

- AHCAL (en cours AIDA-Innova)



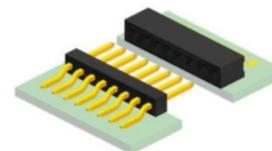
PCB creusés

- Échange avec EOS (Corée du Sud)



Connecteurs

- Échange industriel ANTELEC : connecteurs low-profil (≤ 1 mm) :



Spin-Offs : SiW-ECAL

'Dark Photons' experiments (Lohengrin@ELSA, EBES@KEK) : en préparation

- Utilisation du Stack Calo1 en mode continu

LUXE @ XFEL : 2025 ?

– Physique :

- Exploration de QED non-linéaire

- NL-Compton : $e^- + n\gamma_L \rightarrow e^- \gamma$

- Pairs : $\gamma + n\gamma_L \rightarrow e^+e^-$; $e^- + n\gamma_L \rightarrow e^- e^+e^-$

- Recherche Axion-Like Pseudo-Scalar

– Détecteur :

- Application immédiate SiW-ECAL

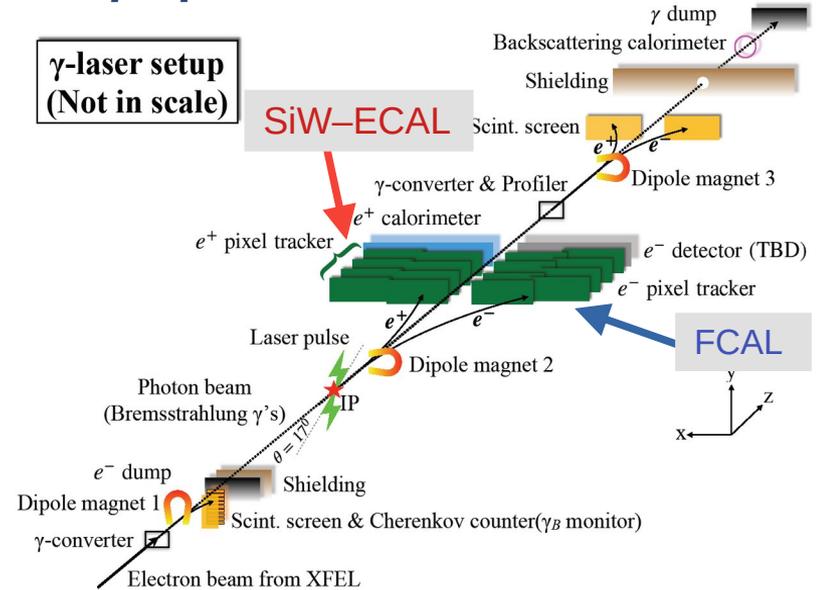
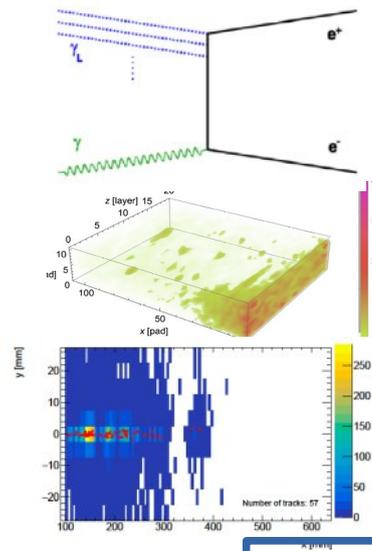
- Electron et Photons : 1-17 GeV

- Besoin de haute granularité

- Beam Pulsé, basse intensité

- Zone active $\sim 10 \times 52 \text{ cm}^2 = 3 \text{ ASU}$ (Stack calo3)

- Conditions réelles mini-slabs (DAQ, cooling)



Valeur ajoutées :

- Synergies fortes Analyse et HW (Capteurs)
- Application physique originale
- Timing en adéquation avec dev techniques.

Perspectives

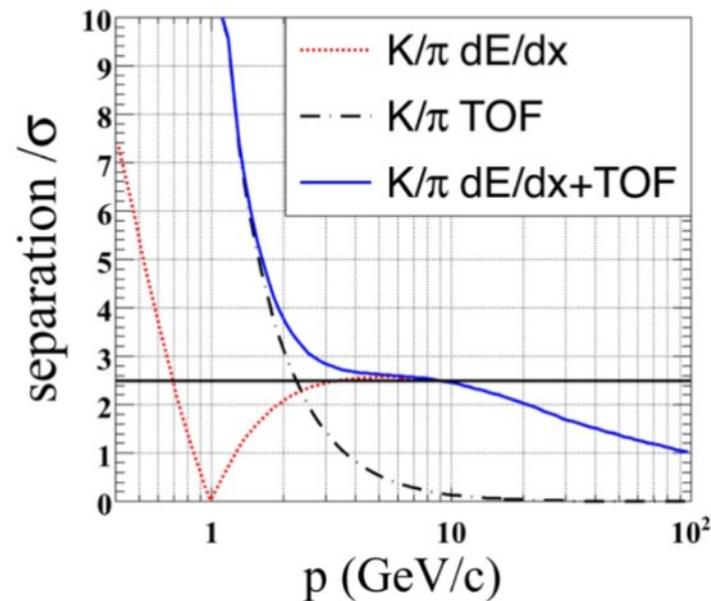
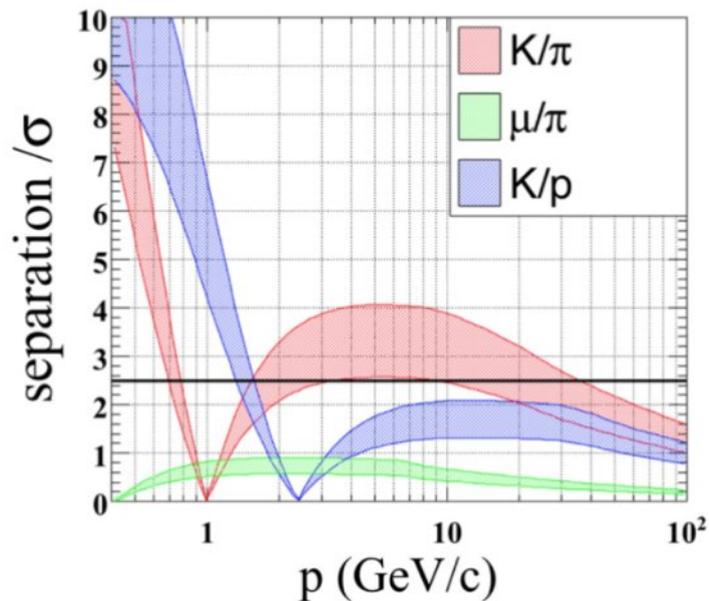
Développements techniques:

- 12+1 domaines dans CALICE + ILD
 - Capteurs, ASICs, PCB, DAQ, Puissance, Structure Fibre de Carbone*, Intégration*,
 - Refroidissement*, Integration Système*, Qualité*, Simulation G4, Simulation Physique paramétrables
 - + Timing
- Plusieurs* en attente par manque de manpower
 - △ ↗ évaporation d'expertise (commencé)
- Beaucoup directement applicables à toutes les HF
 - Evaluations de pistes nécessaires: Puissance/Cooling, Precision, Flux, Perfs... ~ 1 an
 - Opportunité de pousser certaines R&D (Timing HW & Utilisation, Capteurs, ASICs, Cooling, ...)

R&D en adéquation avec la feuille de route ECFA

- Continuité dans le programme
- Applications immédiates (exp Dark Photon, LUXE)

Extras

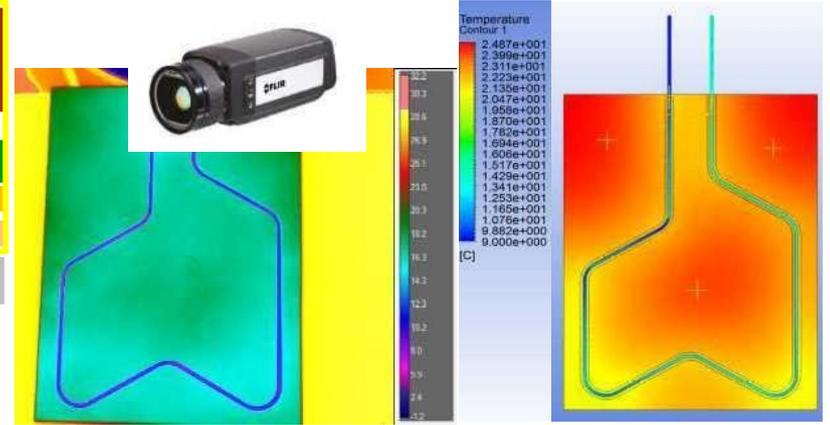
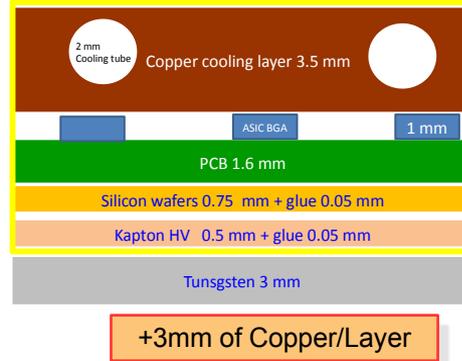


Highly appreciated in flavor physics @ CEPC Z pole
 TPC dE/dx + ToF of 50 ps

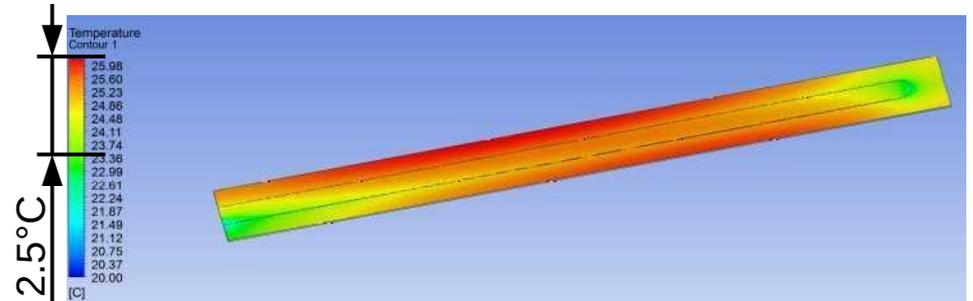
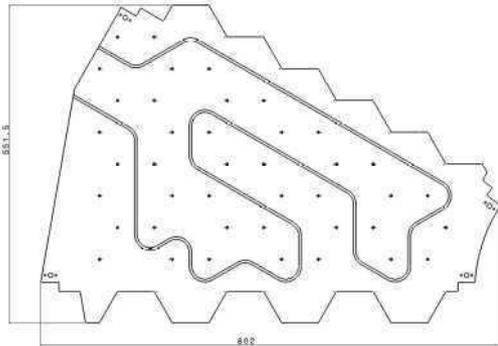
At inclusive Z pole sample:

Conservative estimation gives efficiency/purity of 91%/94% (2-20 GeV, 50% degrading +50 ps ToF)
 Could be improved to 96%/96% by better detector/DAQ performance (20% degrading + 50 ps ToF)

Services: integration & cooling

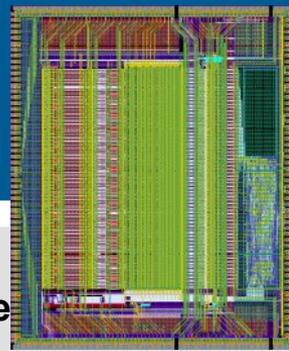


- Pipe insertion process introduces some efficiency loss due to the thermal contact resistance.
- The benefit remains significant with regard to a passive cooling

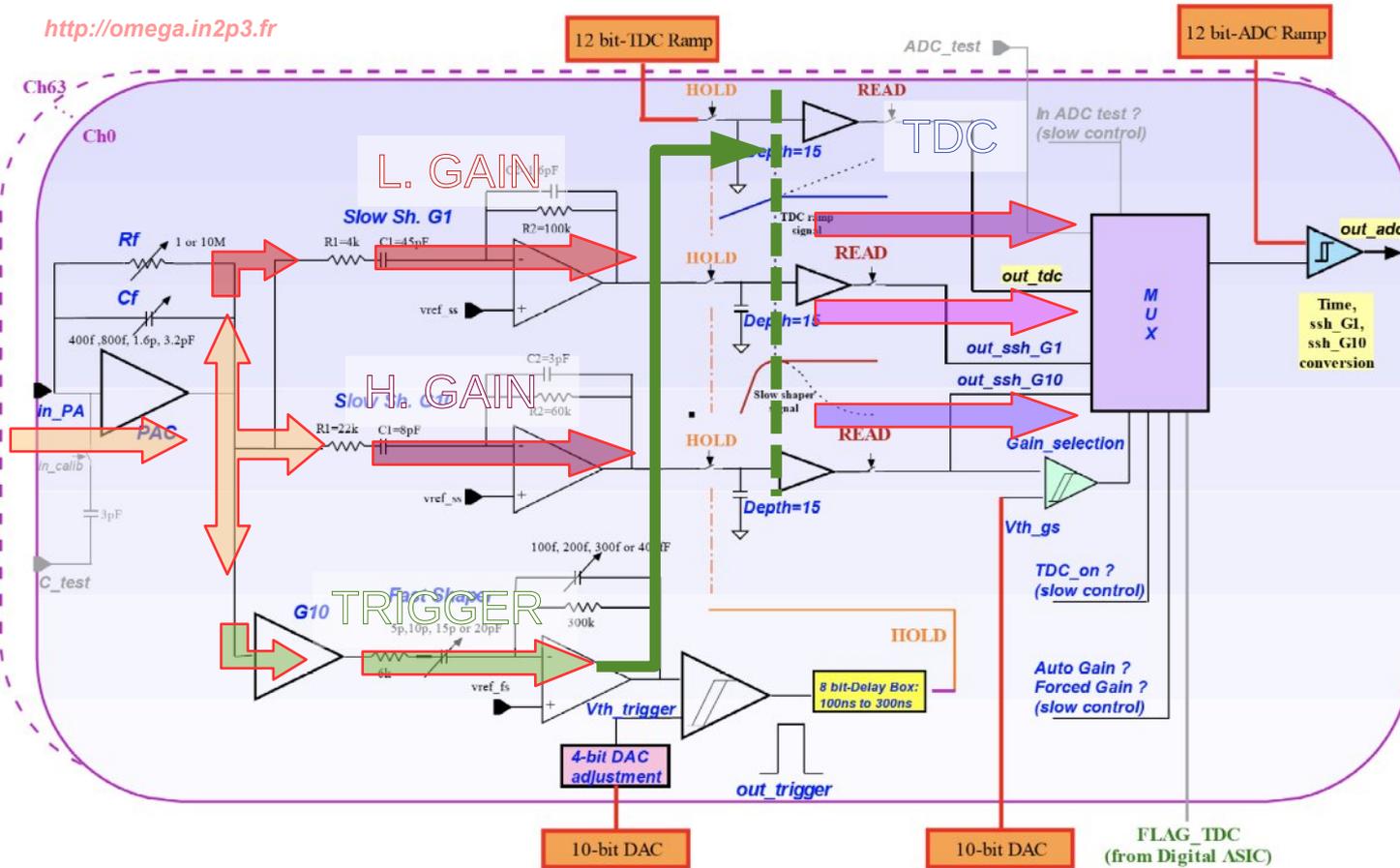


Thermal static CFD analysis thermal field example using Fluent with 100W extracted and water mass flow rate of 7g/s through 1,5mm ID pipe

= 2x cont. operation of a SLAB



<http://omega.in2p3.fr>



- **64 channels**
- **Auto-triggered**
 - per cell adj.
 - 1 cell triggers all
- Preamp
 - + **2 Gains** + Auto-select
 - + **TDC (~1.4ns)**
- 15 (x2) analogue memories
- Dyn range 0.1 ~ 2500 mips
 - mip in 320 μm (4 fC)
 - 12 bits ADC's
- **616 config bits**
- Low consumption
 - 25 μW /ch with 0.5% ILC-like duty cycle
- **Power-Pulsed**

Sensor R&D

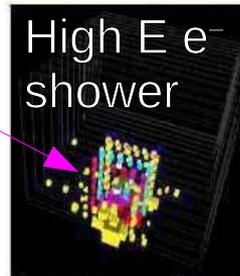
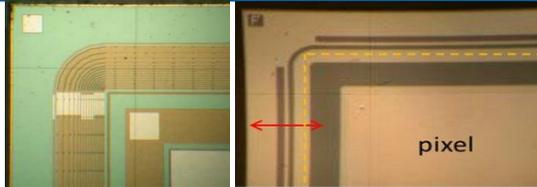
Improved uniformity

– Less dead spaces ?

- Min inter wafer gap ~ 100μm (on same board)
➔ Go for larger sensors.

• + Guard Rings ~ wafer thickness

- Floating = extra signal by X-talk
- Grounded = lost signal



– Larger Silicon Matrices:

2'' (51 mm)	275 μm	1969
3'' (76 mm)	375 μm	1972
4'' (100 mm)	525 μm	1976
4.9'' (125 mm)	625 μm	1981
150 mm (5.9'', ~6'')	675 μm	1983
200 mm (7.9'', ~8'')	725 μm.	1992
300 mm (11.8'', ~12'')	775 μm	2002
450 mm (17.7'') [proposed]	925 μm	future
675 mm (26.6'') [Theoretical]	Unknown.	future

➔ We are here

More signal ➔

Improved S/N, E resolution and Time Measurement

– Higher Intrinsic Signal ➔ thicker sensors:

$$e/h\# \propto th, \text{ noise} \propto C \propto 1/th \Rightarrow S/N \propto th^2$$

$$\text{EM resolution: } \sigma(E)/E \propto 1/\sqrt{1+th/100\mu\text{m}}$$

- Need R&D on Improving the edge quality:
electron beam cutting ? Edge treatment ? ... ?

– Physical Gain: LGAD (Limited Gain in Avalanche Diode)

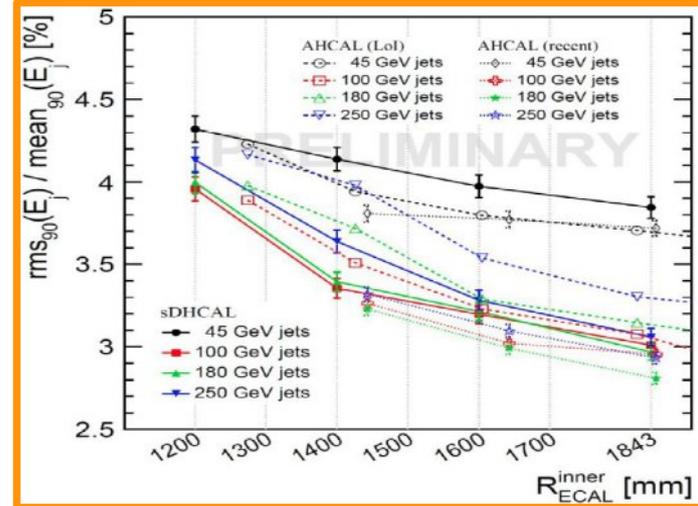
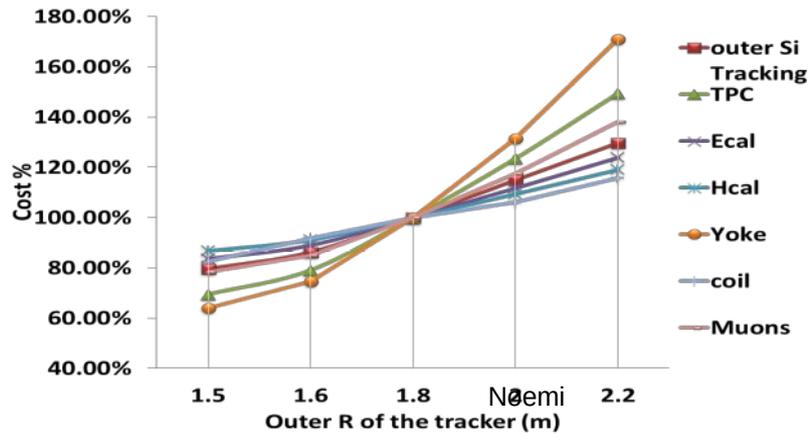
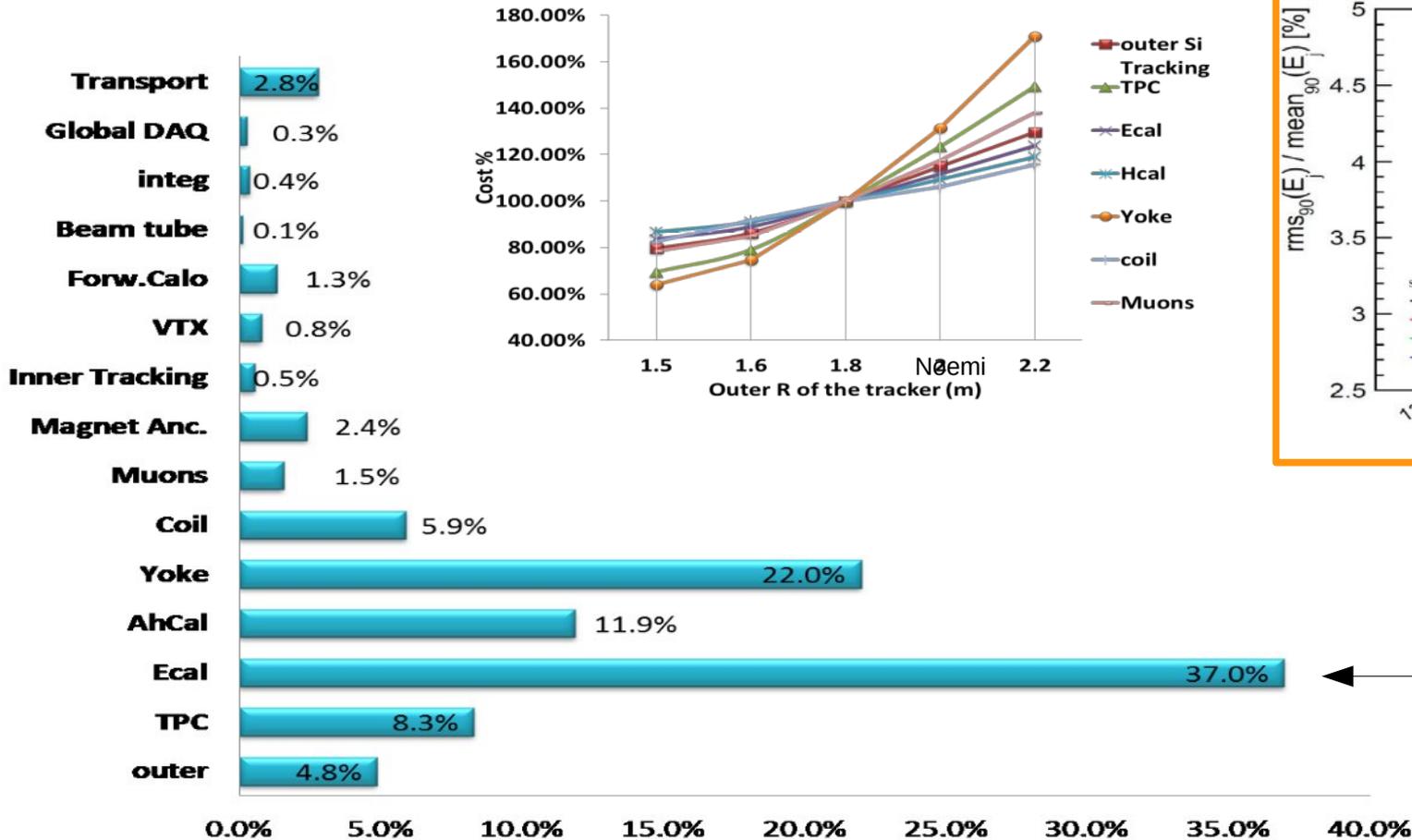
- Gain ➔ S/N ↗, $\sigma(t)$ ↘ + instabilities ?
- Wait experience from ATLAS HGTD, CALICE

See Timing in Calorimeters
Nural Akchurin

PSD = Position Sensitive Detector

- Reduces the number of channels, power (& costs ?)

Cost Structure of ILD



← Full Silicon option