

Panorama des architectures ADC

Journées de l'ingénieur IN2P3/CEA

Luan Le

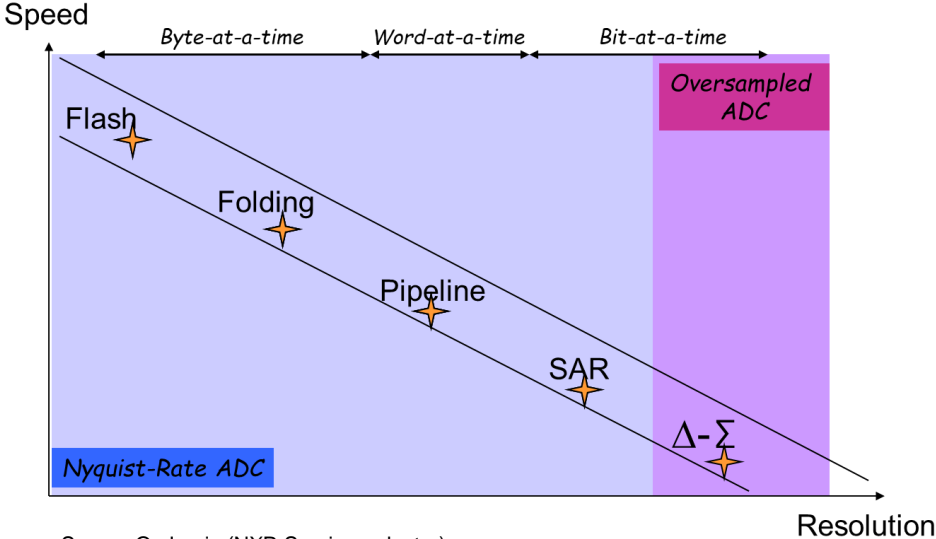
Juin 2023



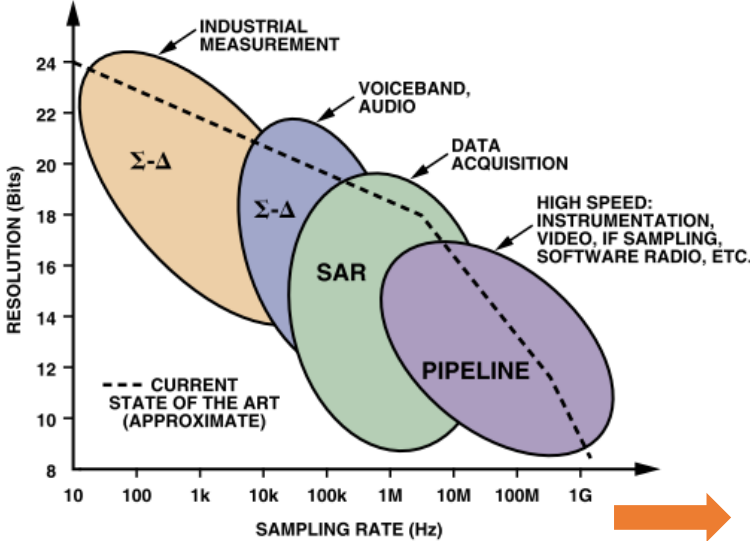
Agenda

- Panorama des architectures ADC
- ADC de SCALINX
- Démarche de conception d'un ADC

Panorama des architectures ADC

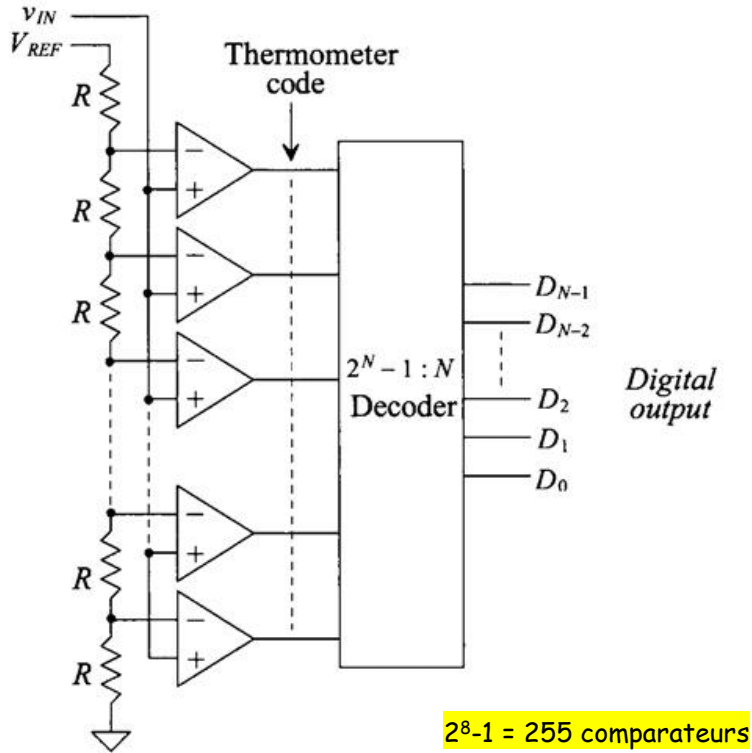


Source O. Jamin (NXP Semiconductor)



Source www.analog.com/en/analog-dialogue/articles/the-right-adc-architecture.html (2005)

Panorama des architectures ADC – Flash ADC



Avantage(s)

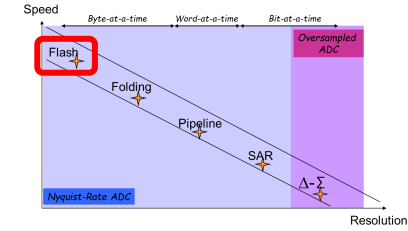
- Simple et (le plus) rapide
- Conversion en 1 coup d'horloge

Inconvénient(s)

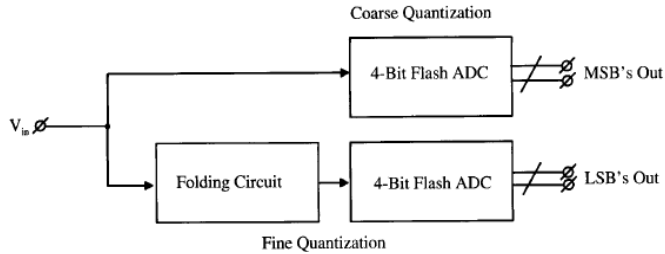
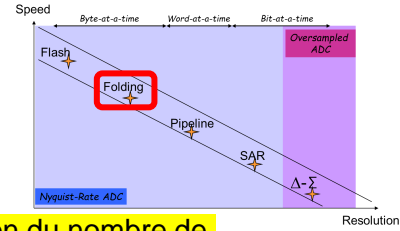
- Repliement spectral dû à l'échantillonnage du signal d'entrée

Facteur(s) de limitation

- **Résolution :**
 - Augmentation exponentielle de taille, consommation avec le nombre de bits ($2^N - 1$ comparateurs).
 - Bruit et offset du comparateur limitant la réduction du pas des réf références ($V_{ref} / 2^{N-1}$)
- **Vitesse**
 - Vitesse du comparateur
 - Charge capacitive d'entrée avec le nombre de bit ($2^N - 1$ comparateurs).



Panorama des architectures ADC – Folded ADC



$$2^L - 1 = 2^4 - 1 = 15 \text{ comparateurs}$$

$$2^M - 1 = 2^4 - 1 = 15 \text{ comparateurs}$$

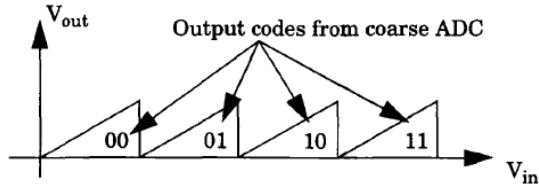


Figure 3-7 The transfer function of the folding circuit for N = 2.

Avantage(s)

- Similaire à Flash ADC avec réduction du nombre de comparateurs

Inconvénient(s)

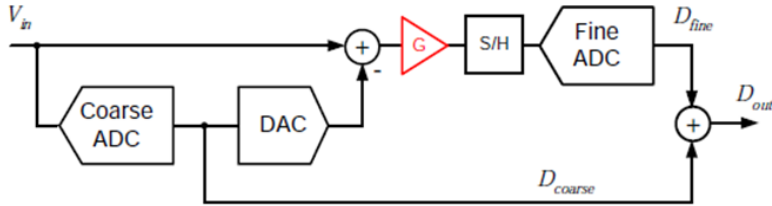
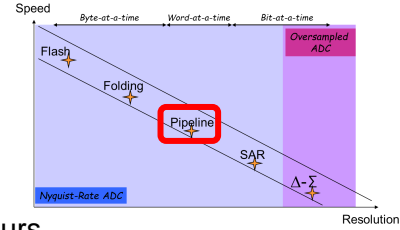
LSB's Out

- Similaire à ADC avec bénéfices de la réduction du nombre de comparateurs

Facteur(s) de limitation

- **Résolution**
 - Similaire à ADC Flash avec bénéfices de la réduction du nombre de comparateurs
- **Vitesse**
 - Similaire à ADC Flash avec bénéfices de la réduction du nombre de comparateurs

Panorama des architectures ADC – Pipeline ADC



Avantage(s)

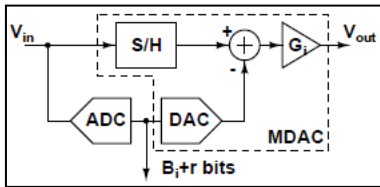
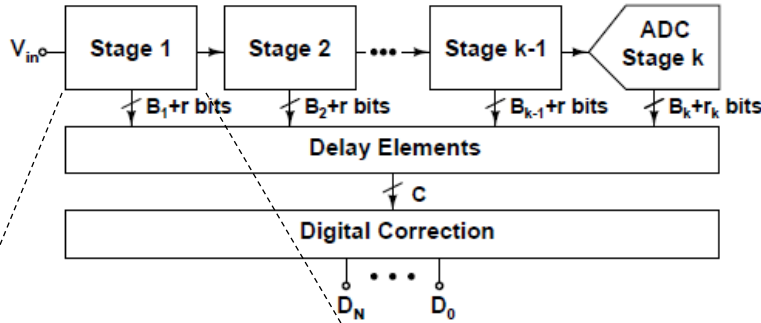
- Réduction du nombre de comparateurs
- **Meilleure résolution avec pas de référence plus grand (étage de gain G)**

Inconvénient(s)

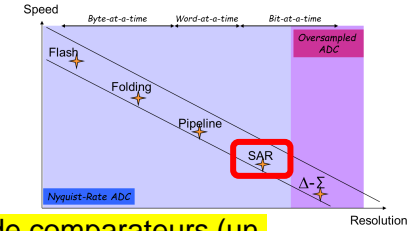
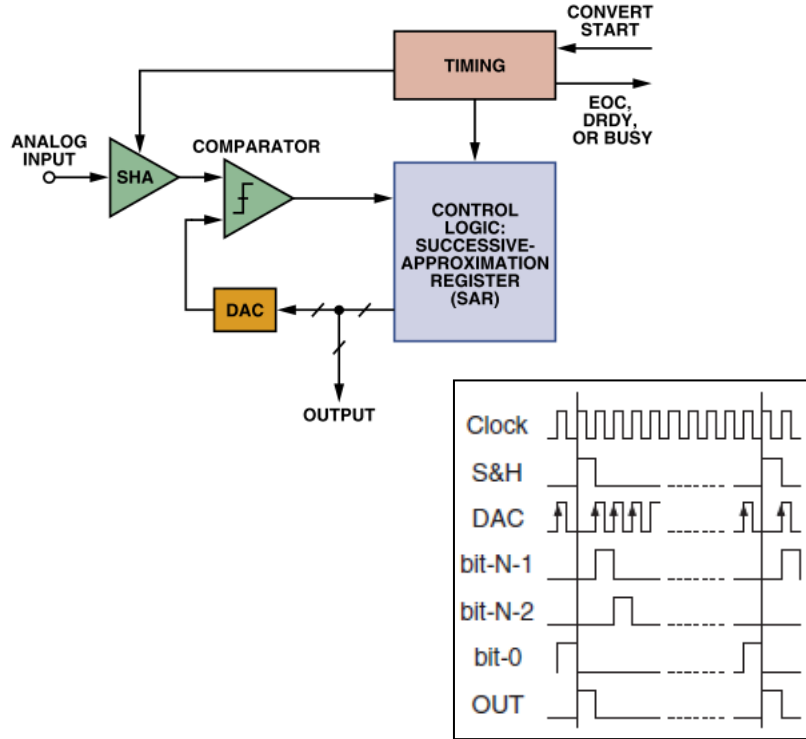
- **Latence de conversion** (1 coup d'horloge par étage supplémentaire)
- Augmentation de consommation avec des S/H supplémentaires

Facteur(s) de limitation

- **Résolution :**
 - Similaire à ADC Flash
- **Vitesse**
 - Similaire à ADC Flash avec **délat supplémentaire du DAC**



Panorama des architectures ADC – SAR ADC



Avantage(s)

- Réduction significative du nombre de comparateurs (un seul) (taille et consommation) permettant une augmentation de la résolution.

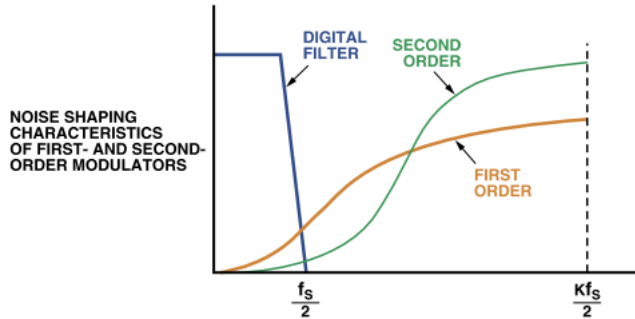
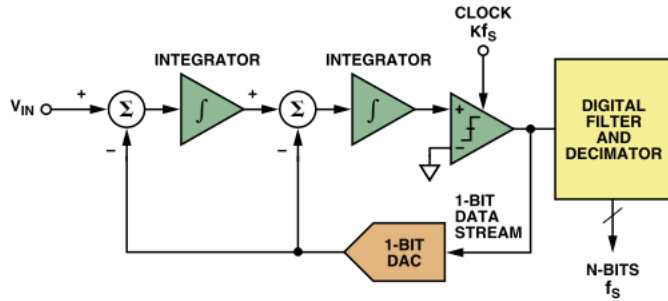
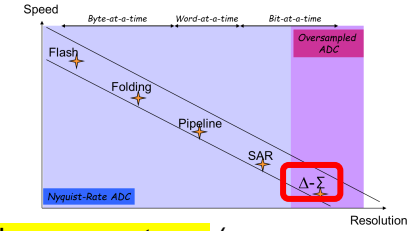
Inconvénient(s)

- Réduction significative de la vitesse de conversion (1 coup d'horloge supplémentaire par bit)

Facteur(s) de limitation

- **Résolution :**
 - Similaire à ADC Flash avec bénéfices de la réduction du nombre de comparateurs.
 - Précision du DAC (référence) et du comparateur
- **Vitesse**
 - Similaire à ADC Flash avec bénéfices de la réduction du nombre de comparateurs.
 - Nombre d'étapes de conversion (nombre de bits)

Panorama des architectures ADC – DS ADC



Avantage(s)

- Réduction significative du nombre de comparateurs (un seul).
- Pas de repliement spectral (réduction de la consommation globale du système)
- Bruit rejeté hors bande d'intérêt

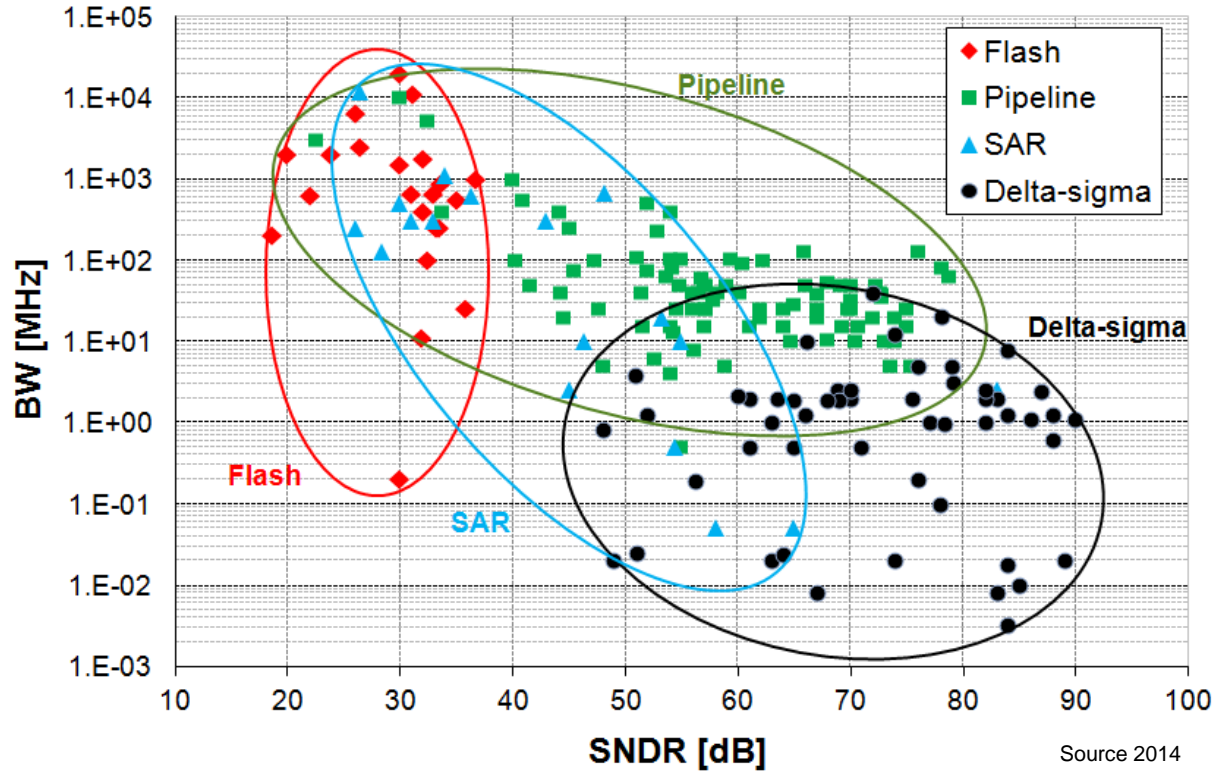
Inconvénient(s)

- Réduction très significative de la vitesse de conversion (doubler le nombre de coup d'horloge par bit supplémentaire)
- Reconfiguration du modulateur analogique plus complexe (e.g. Vitesse d'horloge)

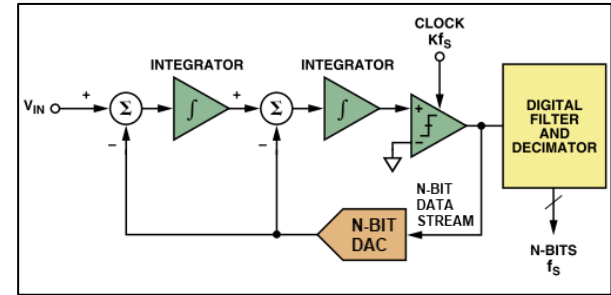
Facteur(s) de limitation

- Résolution :
 - Vitesse de conversion
- Vitesse
 - Nombre de bit

Panorama des architectures ADC - Comparative de performances

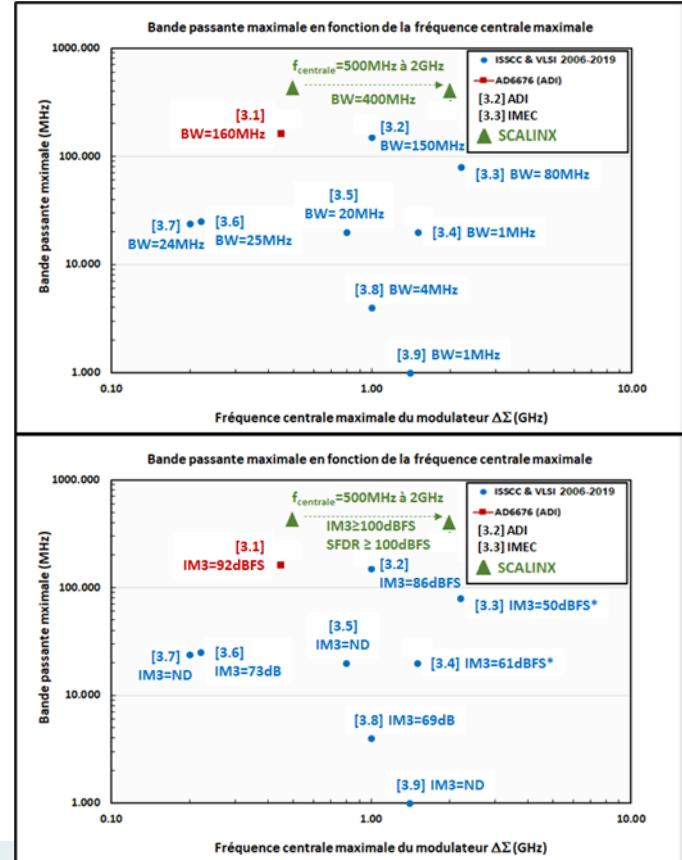


Augmentation de la vitesse de conversion avec des configurations multi-bits pour SAR et DS ADC.



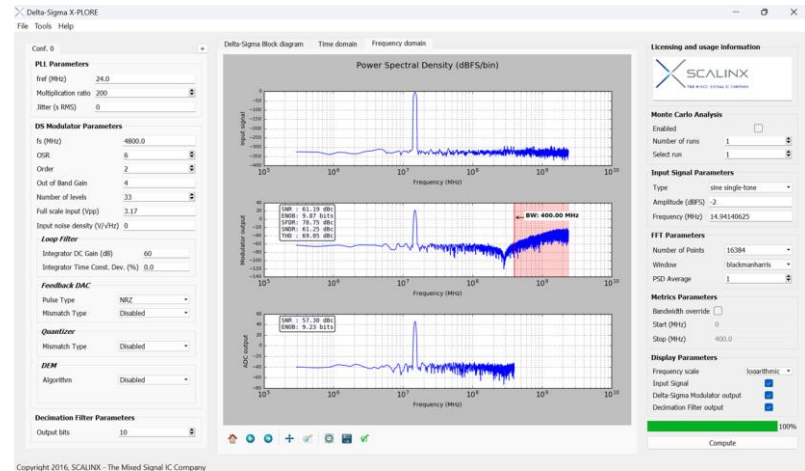
ADC de SCALINX

- Architecture Delta-Sigma pour la réduction de la consommation globale système et le niveau de performance SNDR (e.g. 65dB for 300MHz BW)
- Utilisation de la configuration multi-bit pour atteindre un facteur de suréchantillonnage désiré avec mise en place des systèmes de calibration pour compenser le dés-appariement statique et dynamique (brassage).
- Configuration des caractéristiques de conversion à travers le post traitement numérique (e.g. bande passante, débit...).
- Solution Passe-Bas et Passe-Bande.



Démarche de conception d'un ADC DS 1/4

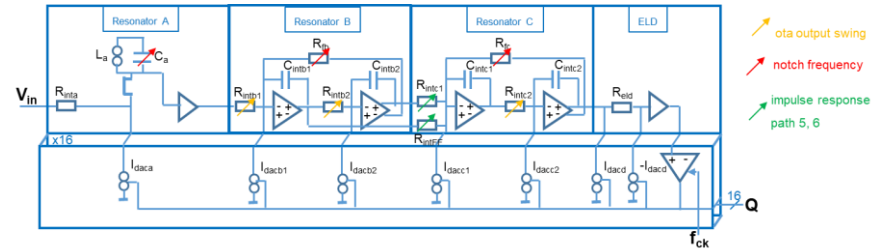
- Architecture :
 - Utilisation de modèle (e.g. Python) pour déterminer le nombre de bits, l'ordre des filtres et facteur de sur-échantillonnage en fonction des caractéristiques clés (e.g. SNR/SFDR).



Copyright 2016, SCALINX - The Mixed Signal IC Company

Démarche de conception d'un ADC DS 2/4

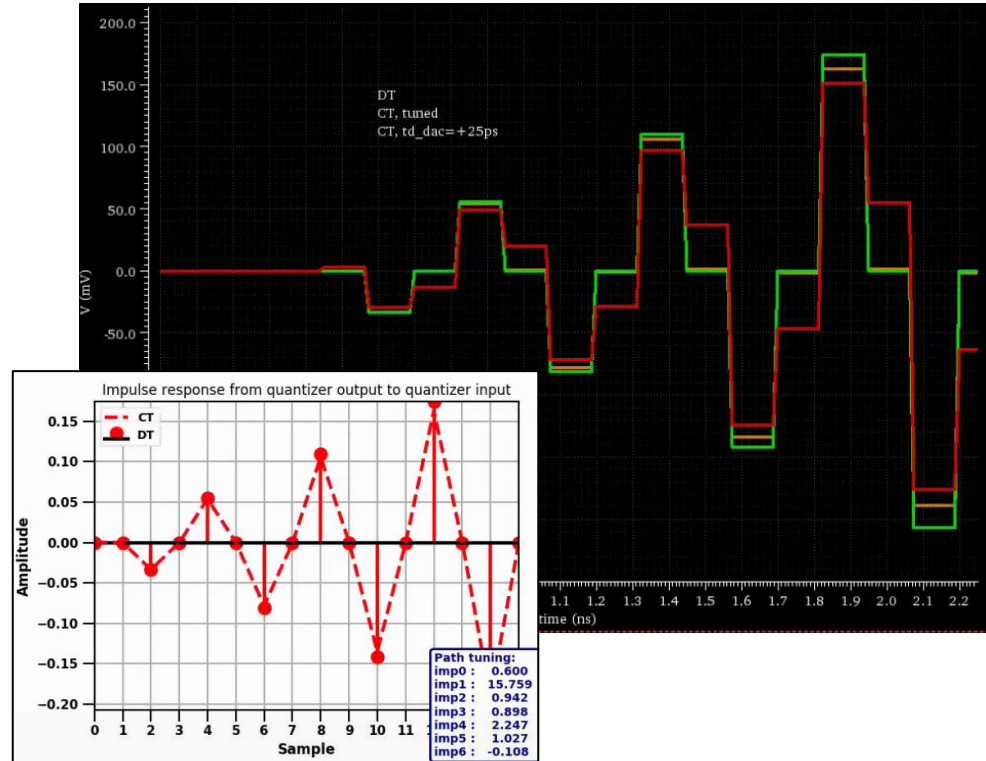
- Implémentation :
 - Utilisation de modèles proches de l'implémentation transistors pour déterminer les spécifications des blocs fonctionnels.



SFDR spec	idaca	idacb1	idacb2	idacc1	idacc2	td	tda
Non Harmonic	0.2%	0.7%	2%	3%	0.5%	200fs	300fs
Harmonic Distortion	0.03%	0.2%	0.4%	1%	0.2%	20fs	50fs

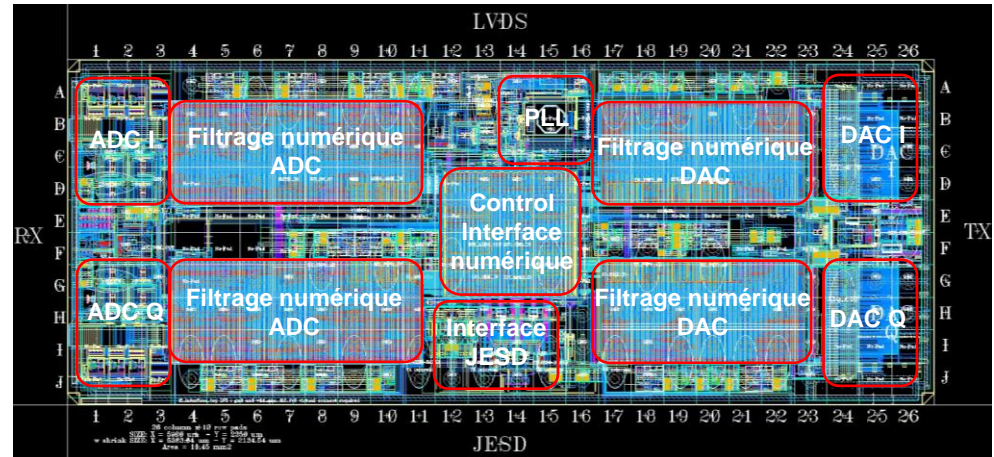
Démarche de conception d'un ADC DS 3/4

- Implémentation :
 - Ajustement de l'implémentation transistor pour obtenir la réponse impulsionnelle (réponse en fréquentielle en boucle ouverte) en prenant en compte les parasites de l'implémentation physique des composants et la variation de procédé silicium.



Démarche de conception d'un ADC DS 4/4

- Réalisation physique :
 - Réalisation finale de masques pour fabrication avec positionnement optimisé des modules en prenant en compte les effets parasites sur les performances.



Merci pour votre attention