

R&T BiCMOS



Journées des Métiers de l'Electronique Caen, Juin 2023

L. Alvado, E. Bechetoille, D. Charrier*, S. Chen, L. Leterrier,
J. Mesquida, D. Prêle, P. Russo

* : didier.charrier@subatech.in2p3.fr

Qui sommes nous ?



Si Chen, Jean Mesquida, Michel Piat, Damien Prêle , Bao Ton : 50% ETP



Edouard Bechetoille, Patrice Russo : 50% ETP



Samuel Manen : Le LPC n'est plus impliqué depuis le 31/12/2022



Ludovic Alvado, Laurent Leterrier : 15 % ETP



Didier Charrier, Dominique Thers : 50% ETP



L'environnement de la R&T

- La R&T BiCMOS est une composante du Workpackage **WP 1.1** "Technologies alternatives" de la **MI2I**
 - La technologie BiCMOS est l'axe de travail prioritaire : au moins une fonderie
 - **Et** les technologies CMOS pure $> 180\text{nm}$ sont aussi un axe de travail : au moins une comparaison des facteurs de mérite, très probablement une fonderie
- Signature de **licences globales** IN2P3 (12 laboratoires) avec :
 - Le fondeur IHP, technologie SiGe en 250nm et 130nm
 - Le fondeur XFAB, accès à toutes les technologies de la 350nm à la 180nm
- La R&T BiCMOS bénéficie de l'infrastructure matériel et logiciel du projet **OMMIC**
 - Connexion SSH au centre de calcul de l'in2p3 : conditions de travail satisfaisantes
 - Maintenance de Cadence et mise à jour des DK réactive et de qualité



Avantages d'un transistor Bipolaire

- Efficacité de transconductance, $g_m/I_c = 1/V_t \approx 40 \text{ V}^{-1}$ (@ 300K), **grand et indépendant de I_c**
- Gain intrinsèque $g_m \cdot r_{out} = I_c/v_t \cdot V_{EA}/V_t = V_{EA}/V_t \approx 4000$, **grand et indépendant de I_c**
- Gain-bande **très élevé** : $g_m \cdot r_{out} \cdot f_t$ avec $f_t \approx 250\text{GHz}$, même à faible I_c
- f_{corner} du **bruit en 1/f bas**
- Inconvénients :
 - Forte dépendance en température $V_t = kT/q$
 - Compensé par un grand gain en boucle ouverte car le produit gain bande $g_m \cdot r_{out} \cdot f_t$ est grand.



Bruit total en entrée avec un BJT

- Bruit total à la source du générateur de tension (Z_g)

$$v_n^2 = 4kTR_{bb'} + \frac{2qV_T^2}{I_c} + |Z_g|^2 \left(\frac{2qI_c}{\beta} + \frac{K I_c^2}{\beta^2 A_{ef}} \right)$$

- Bruit total à la source du générateur de courant (Y_g)

$$i_n^2 = \frac{2qI_c}{\beta} + \frac{K I_c^2}{\beta^2 A_{ef}} + |Y_g|^2 \left(4kTR_{bb'} + \frac{2qV_T^2}{I_c} \right)$$

- Bruit **série**, **parallèle**, sources décorrélées
- Hypothèse : $R_{bb'} \approx 0 \Omega$, $1/f$ négligeable
- SiGe : C $\Rightarrow R_{bb'} \searrow$

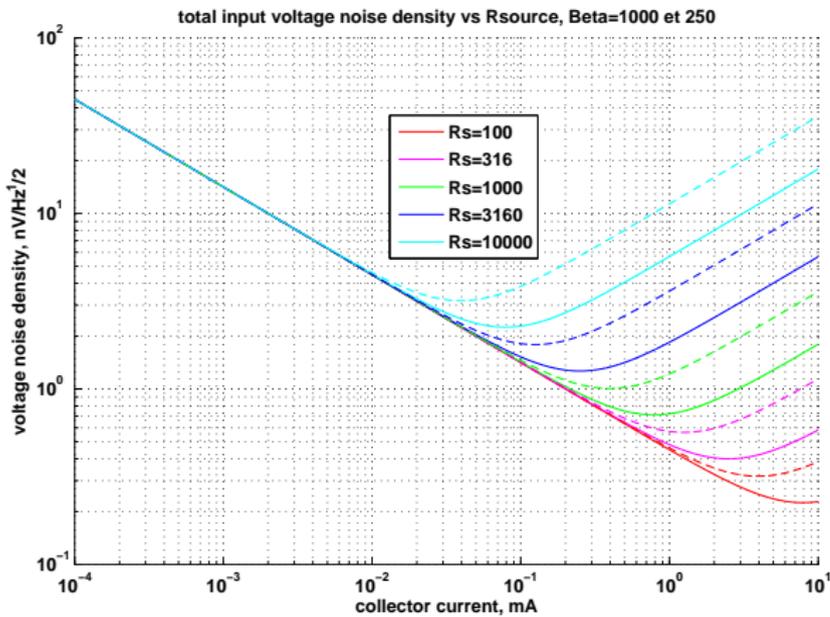
- Grand $\beta \Rightarrow$ bruit parallèle \searrow

$$v_n^2 = \frac{2qV_T^2}{I_c} + |Z_g|^2 \frac{2qI_c}{\beta} \text{ et } I_c^{opt} = \frac{V_T}{|Z_g|} \sqrt{\beta}$$

$$i_n^2 = \frac{2qI_c}{\beta} + |Y_g|^2 \frac{2qV_T^2}{I_c} \text{ et } I_c^{opt} = V_T |Y_g| \sqrt{\beta}$$

- Bruit série faible : $\frac{2qV_T^2}{I_c} = \frac{2qV_T}{g_m}$ car g_m grand
- Ampli de tension $\Rightarrow |Z_g| \searrow$, PAC $\Rightarrow |Y_g| \searrow$





pointillé $\beta=250$, plein $\beta = 1000$

- $R_s=100 \Omega$, $v_n \approx 0.2 \text{ nV}/\sqrt{\text{Hz}}$ à $\approx 6\text{mA}$ ($R_{bb'}$ négligé)
- $R_s=1000 \Omega$, $v_n = 1 \text{ nV}/\sqrt{\text{Hz}}$ avec seulement $700\mu\text{A}$



DéTECTEURS cibles

- DéTECTEURS très capacitifs (physique nucléaire)
 - Pixel à silicium Cd ≈ 600 pF, GANIL
 - Cellule photovoltaïque, NECTAR
- DéTECTEURS faiblement résistif cryogénisé (Astro), SQUID, TES sur ATHENA(X) et S4(CMB) $\approx 200 \Omega$
- DéTECTEURS à Xénon
 - Division de charge par fil résistifs sur R2D2 ($\approx 1000 \Omega$)
 - Upgrade de XEMIS II, techno alternative CMOS
- DéTECTEURS au CERN, Antonio Picardi(3), Lorenzo Paolozzi(2), université de Genève
 - For fast CSA **and** low consumption
 - For fast, low power timing measurement
 - Upgrade of the ATLAS RPCs
 - Upgrade of CMS RPCs and SiPm readout
 - Timing pixel sensor for FASER upgrade
 - Monolithic silicon pixel sensors for TOF PET project

(2) SiGe BiCMOS electronics for ultrafast particle detection, ACES workshop 2020

(3) Monolithic pixel sensor design for picosecond-level time resolution, TWEPP2022



La technologie IHP 130nm (SG13S)

- On aime
 - Design en 3.3V Bipolaire et CMOS
 - Des NPN HV et LV, des CMOS HV et LV, des NMOS isolés
 - Le grand β et f_t des NPN
 - La qualité du PMOS
 - 2 types de résistance dont une à faible bruit 1/f
 - 1 résistance high resistive poly
 - Capacité MIM
 - L'accès via europractice
 - Le support d'IHP
 - 3 run/an dont 3 en mini@sic
- On aime moins
 - Pas de PNP latéral (ni vertical)
 - Le NMOS
 - Pas de capacité CPOLY
 - Le prix 4410€/mm² mais ticket d'entrée à 3528€ pour 0.8 mm²
 - La légèreté de la documentation technique



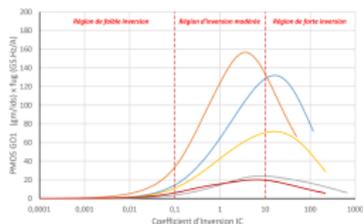
Axe "technologie alternative" de la R&T

- NDA globale signée entre l'IN2P3 et XFAB
- Technologie XT018 (capacité MIM et SOI) installée sur OMMIC
- Installation de la XH018 (CMOS) en cours sur OMMIC
- Un run XFAB en prévision

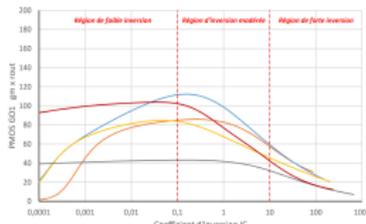


Facteurs de mérites

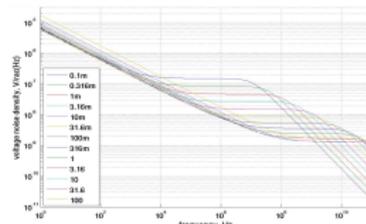
- Travail commencé et à poursuivre
- Objectif : produire un document permettant de comparer les performances des CMOS de divers fondeurs (AMS 350, ON semi 350, IHP 130 et 250, TSMC 130, TSI 180, ST 130)
- g_m/I_d , $g_m/I_d \cdot ft$, $g_m \cdot r_{out}$, $g_m \cdot r_{out} \cdot ft$, bruit total en entrée normalisé
- Extension de l'étude aux noeuds 65 et 28nm de TSMC ...



PMOS $g_m/I_d \cdot ft$ comparison



PMOS $g_m \cdot r_{out}$ comparison



NMOS IC normalized serial noise density



Briques de base

- IP2I ampli de transimpédance CMOS
- LPC-Caen :
 - Ampli de charge MOS d'entrée + cascode NPN
 - Ampli de charge NPN d'entrée (High C det ≈ 500 pF)
- APC
 - Sonde de température différentielle
 - Ampli de tension full différentielle, gain ≈ 160 V/V, low 1/f noise et input noise $\approx 1\text{nV}/\sqrt{\text{Hz}}$, BW ≈ 25 MHz
 - DAC 8 bits différentiel avec référence de courant
- SUBATECH
 - Ampli pour caractérisation bruit en 1/f
 - Ampli transimpédance \approx DC-10 MHz faible bruit en 1/f ≈ 4 pA/ $\sqrt{\text{Hz}}$ dès 100 Hz



Planning et budget

- Fonderie IHP 130 nm SG13S programmée pour Septembre 2023
- Budget fonderie de 22k€
 - 1.6 mm^2 de surface 'utile' (hors PAD ring) en IHP
 - 2 mm^2 de surface 'utile' (hors PAD ring) en XFAB SOI 180nm
- Banc de test à la rentrée
- ~ Mars 2024 : retour fonderie IHP
- 2024
 - Test et mesures
 - Production de la documentation
 - Fonderie XFAB , à priori en SOI (capacité MIM) 180 nm
 - Travail sur les facteurs de mérite et rédaction d'un document 'interne' de référence
- Décembre 2024 : fin de la R&T

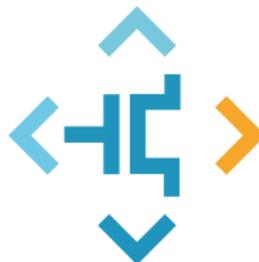


Communications et publications

- Ecole de nanoélectronique, Oléron 3-7 Septembre
- Journée R&T IN2P3, Lyon 17-19 octobre 2022
- Journées JME, Caen 13-15 Juin 2023
- Design revue pré fonderie IHP, Paris Début Juillet
- GDR DI2I, Nantes 10-12 Juillet 2023
- Journées R&T IN2P3, Strasbourg, 6-8 Novembre 2023
- Journées développement d'ASIC à l'IN2P3, Décembre 2023
- Document interne "facteurs de mérites"
- Publication IEEE « Transactions on Circuits and Systems »



Merci pour votre attention



mail : rt-sige-l@in2p3.fr

wiki : <https://forge.in2p3.fr/projects/rt-sige/wiki>

web : <https://caemi2i.in2p3.fr/index.php/les-groupes-et-cellules/>

