numériseur GHz+traitement du signal NEGMA+REActif

Abderrahman BOUJRAD
Charles HOUARNER
Luc LEGEARD
Maria BLAIZOT
Patrice BOURGAULT
Sébastien COUDERT

.

CNRS/IN2P3/GANIL/DPHY/GT**Acquisition**

13 juin 2023

Introduction

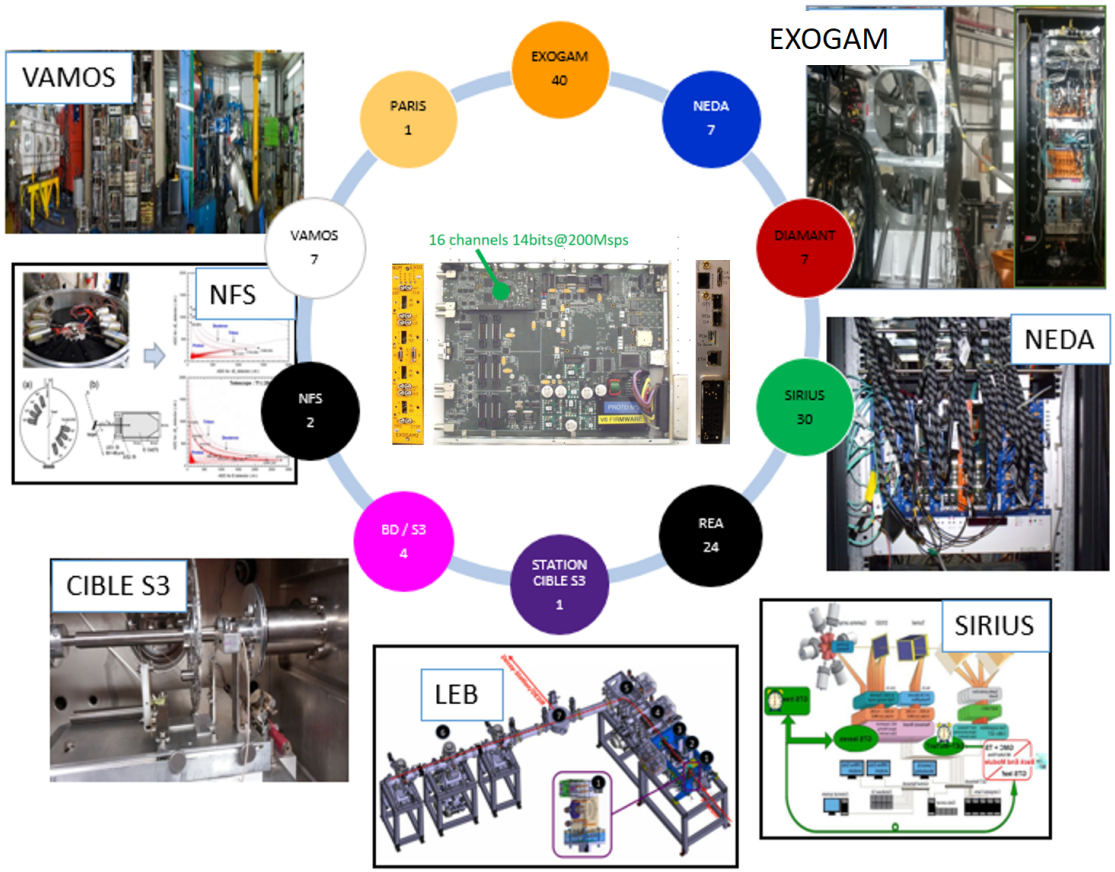
NUMEXO2: Numériseur généraliste

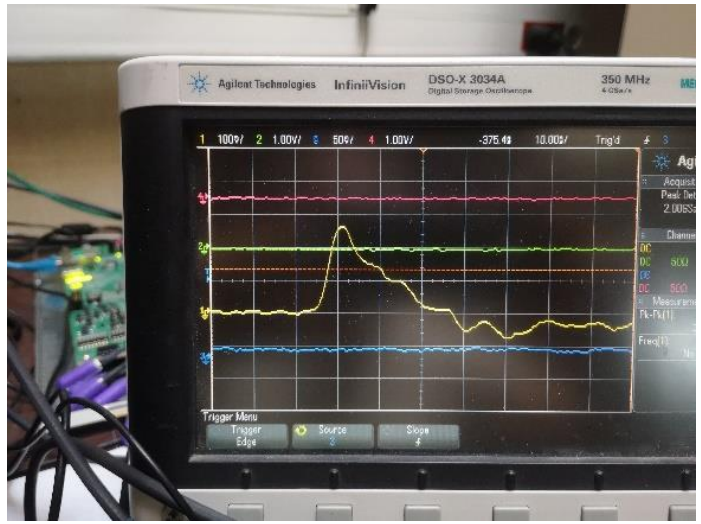
Caractéristiques générales

- ❑ Numériseur 14 bits / 200 Mhz (+/- 4 volt)
- ❑ 16 voies *(ADC,QDC, TDC/TAC) ou*

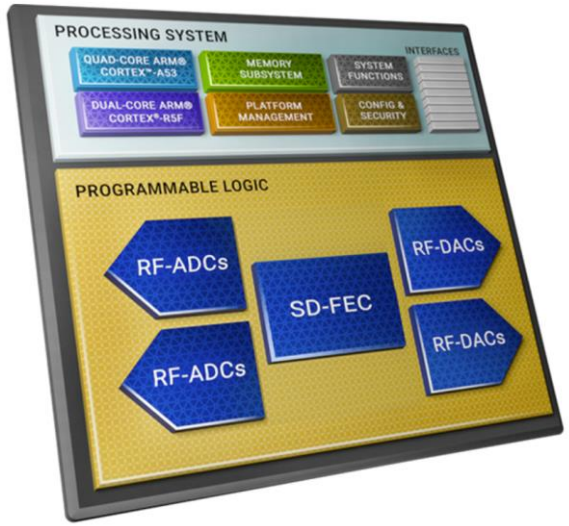
  2048 voies multiplexées (Chambres à fils /

  Chambres à dérives VAMOS)
- ❑ Mesure de temps
  - ❑ TDC numérique (1ns), TAC (qq10ps)
- ❑ Discrimination numérique (seuil < 20 KeV)
- ❑ Inspections logiques/ analogiques chaînables
- ❑ Système embarqué Linux
- ❑ Ethernet @ 6 Mo/s
- ❑ Time stamp (GTS)
- ❑ Fort taux de comptage (qq 10 Khz à qq 100Khz)





ZYNQ RFSoC



Le contexte

1- Besoin de mesure sur signaux rapides ***(qq ns)***
2- Des taux de comptage élevé ***(>100 kHz)***
3- Transmission rapides des données vers serveurs ***(qq GEth)***
4- Des algorithmes complexes déportés

Ce que nous proposons:

1- Des ADC *14b/2.5 GHz* (FPGA_RFSOC) & DAC *16b/10 GHz*
2- Processeurs Temps Réel intégré aux FPGA
3- Transmission optique (*jusqu'à10 Gbits*)
4- Time Stamp via SMART (*en développement au GANIL*)

Famille FPGA_RFSOC

Zynq® UltraScale+™ RFSoCs

	Device Name	ZU21DR	ZU25DR	ZU27DR	ZU28DR	ZU29DR	ZU39DR	ZU42DR	ZU43DR	ZU46DR	ZU47DR	ZU48DR	ZU49DR	ZU65DR	ZU67DR
		Gen 1					Gen 2	Gen 3						DFE	
PS		**Quad-core** Arm® Cortex®-A53 MPCore™ up to 1.3GHz, **Dual-core** Arm Cortex-R5F MPCore up to 533MHz													
RF Data Converter	12-bit RF-ADC w/DDC # of ADCs	0	8	8	8	16	16	–	–	–	–	–	–	–	–
RF Data Converter	12-bit RF-ADC w/DDC Max Rate (GSPS)	0	4.096	4.096	4.096	2.058	2.220	–	–	–	–	–	–	–	–
RF Data Converter	14-bit RF-ADC w/DDC # of ADCs	–	–	–	–	–	–	8 2	4	8 4	8	8	16	6	8 2
RF Data Converter	14-bit RF-ADC w/DDC Max Rate (GSPS)	–	–	–	–	–	–	2.5 5.0	5.0	2.5 5.0	5.0	5.0	2.5	5.9	2.95 5.9
RF Data Converter	14-bit RF-DAC w/DUC # of DACs	0	8	8	8	16	16	8	4	12	8	8	16	6	8
RF Data Converter	14-bit RF-DAC w/DUC Max Rate (GSPS)	0	6.554	6.554	6.554	6.554	6.554	9.85[3]	9.85[3]	9.85[3]	9.85[3]	9.85[3]	9.85[3]	10.0[4]	10.0[4]
RF Data Converter	SD-FEC	8	0	0	8	0	0	0	0	8	0	8	0	0	0
RF Data Converter	Digital Front-End (DFE)	–	–	–	–	–	–	–	–	–	–	–	–	✓	✓
RF Data Converter	Number of DDCs per RF-ADC[1]	0	1	1	1	1	1	1	2	1	1	1	1	1	1
RF Data Converter	RF input Freq max. GHz	4					5	6						7.125	
RF Data Converter	Decimation / Interpolation	1x, 2x, 4x, 8x					1x, 2x, 4x, 8x	1x, 2x, 3x, 4x, 5x, 6x, 8x, 10x, 12x, 16x, 20x, 24x, 40x						1x, 2x, 3x, 4x, 5x, 6x, 8x, 10x, 12x, 16x, 20x, 24x, 40x	
Programmable Logic (PL)	System Logic Cells (K)	930	678	930	930	930	930	489	930	930	930	930	930	489	489
Programmable Logic (PL)	CLB LUTs (K)	425	310	425	425	425	425	224	425	425	425	425	425	224	224
Programmable Logic (PL)	Max. Dist. RAM (Mb)	13.0	9.6	13.0	13.0	13.0	13.0	6.8	13.0	13.0	13.0	13.0	13.0	6.8	6.8
Programmable Logic (PL)	Total Block RAM (Mb)	38.0	27.8	38.0	38.0	38.0	38.0	22.8	38.0	38.0	38.0	38.0	38.0	22.8	22.8
Programmable Logic (PL)	UltraRAM (Mb)	22.5	13.5	22.5	22.5	22.5	22.5	45.0	22.5	22.5	22.5	22.5	22.5	45.0	45.0
Programmable Logic (PL)	DSP Slices	4,272	3,145	4,272	4,272	4,272	4,272	1,872	4,272	4,272	4,272	4,272	4,272	1,872	1,872
Programmable Logic (PL)	GTY Transceivers	16	8	16	16	16	16	8	16	16	16	16	16	8	8
Programmable Logic (PL)	PCIe® Gen3 x16	2	1	2	2	2	2	–	–	–	–	–	–	–	–
Programmable Logic (PL)	PCIeGen3 x16/Gen4 x8 / CCIX[2]	–	–	–	–	–	–	0	2	2	2	2	2	0	0
Programmable Logic (PL)	150G Interlaken	1	1	1	1	1	1	0	1	1	1	1	1	0	0
Programmable Logic (PL)	100G Ethernet MAC/PCS w/RS-FEC	2	1	2	2	2	2	0	2	2	2	2	2	1	1
Programmable Logic (PL)	System Monitor	2	2	2	2	2	2	2	2	2 2	2	2	2	2	2
Programmable Logic (PL)	Speed Grades	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-1E, -1I, -1LI, -2E, -2LE, -2I, -2LI	-2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1E, -1I, -1LI, -2E, -2I, -2LI	-1I, -1LI, -2I, -2LI	-1I, -1LI, -2I, -2LI
Package Footprint	Package Dimensions	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC	PSIO, HDIO, HPIO GTR, GTY RF-ADC, RF-DAC
D1156	35x35	214, 72, 208 4, 16 0, 0													
E1156	35x35		214, 48, 104 4, 8 8, 8	214, 48, 104 4, 8 8, 8	214, 48, 104 4, 8 8, 8			214, 24, 128 4, 8 10, 8	214, 48, 104 4, 8 4, 4		214, 48, 104 4, 8 8, 8	214, 48, 104 4, 8 8, 8		214, 24, 130 4, 8 6, 6	214, 24, 130 4, 8 10, 8
G1517	40x40		214, 48, 299 4, 8 8, 8	214, 48, 299 4, 16 8, 8	214, 48, 299 4, 16 8, 8				214, 48, 299 4, 16 4, 4		214, 48, 299 4, 16 8, 8	214, 48, 299 4, 16 8, 8			
F1760	42.5x42.5					214, 96, 312 4, 16 16, 16	214, 96, 312 4, 16 16, 16						214, 96, 312 4, 16 16, 16		
H1760	42.5x42.5									214, 48, 312 4, 16 12, 12					

1. This value applies when all RF I/O of an RF-ADC tile are used. 2. This block operates in compatibility mode for 16.0GT/s (Gen4) operation. See PG213. 3. For operation up to 10GSPS, contact your local Xilinx Sales Representative. 4. 10GSPS RF-DAC operation is available in -2I speed grade.

Caractéristiques

Featured Xilinx Devices

Featuring the Zynq UltraScale+ **XCZU49DR-2FFVF1760** RFSoC

14-bit, 2.5GSPS RF-ADC	16
14-bit, 9.85GSPS RF-DAC	16
Max. RF input Frequency (GHz)	6
System Logic Cells (K)	930
Memory (Mb)	60.5
DSP Slices	4,272
33G Transceivers	16
Maximum I/O Pins	408

Modules et Kits commerciaux

PENTEK
Now Part of Mercury

vadatech
THE POWER OF VISION

HITECH GLOBAL

Abaco SYSTEMS

Zynq® UltraScale+™ RFSoC Boards & Kits Portfolio

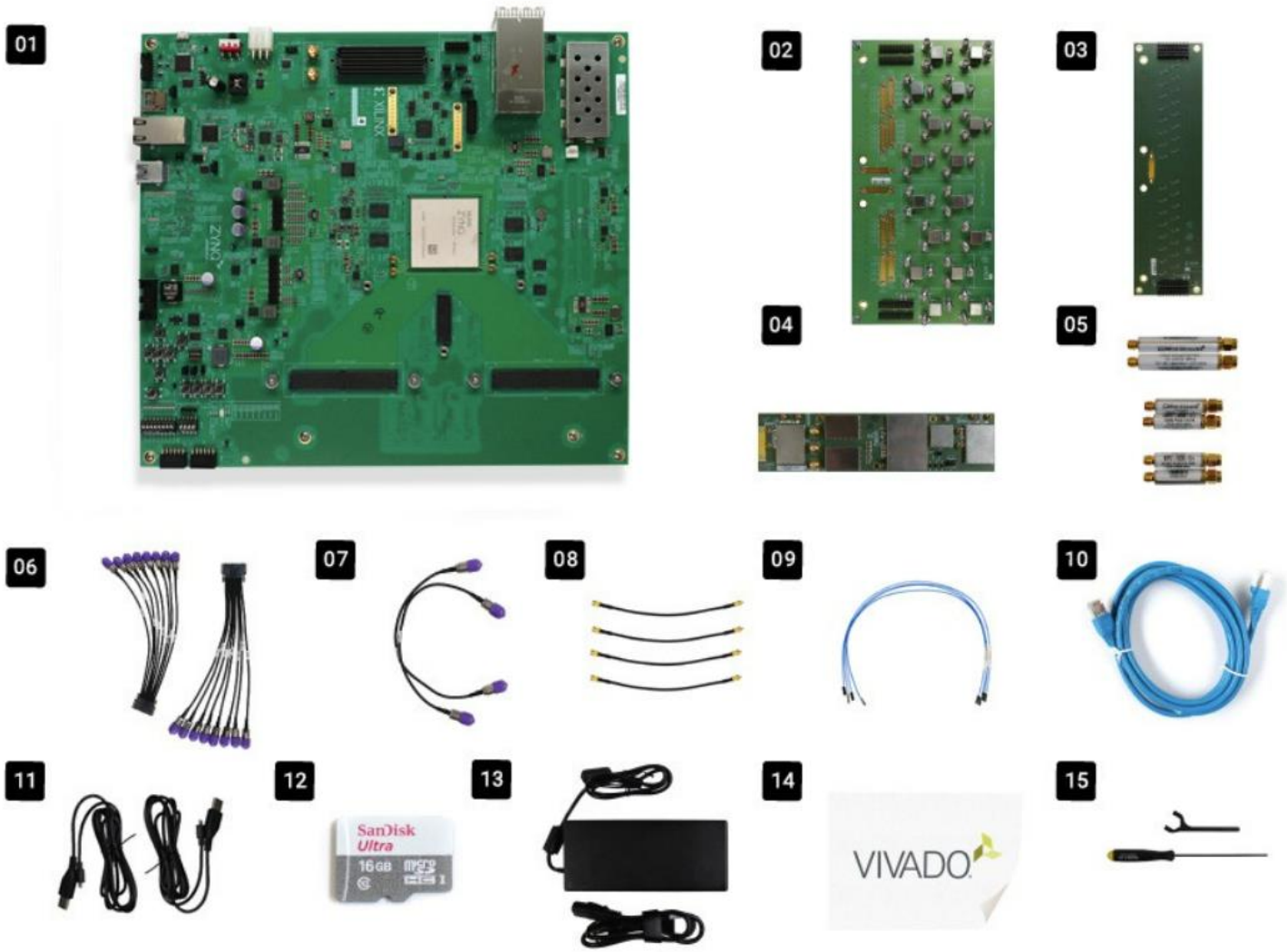
Gen 1 4GHz			Gen 2 5GHz	Gen 3 6GHz	
ZCU111 Evaluation Kit	Avnet RFSoC Kit Development Kit	ZCU1275 Characterization Kit	ZCU1285 Characterization Kit	ZCU208 Evaluation Kit	ZCU216 Evaluation Kit
					
ZU28DR	ZU28DR	ZU29DR	ZU39DR	ZU48DR	ZU49DR
Application Development and Performance Evaluation of: **ADCs**: 8x 12-bit 4.096GSPS **DACs**: 8x 14-bit 6.554GSPS **SD-FEC**: 8	**Wireless Application Development Leveraging:** **Xilinx** ZCU111 Evaluation Kit **Avnet** Qorvo 2x2 Small Cell RF Front End 1.8GHz Card **Avnet** RFSoC Explorer with MATLAB and Simulink	**Ideal for Tone Testing and Data Sheet Verification of:** **ADCs**: 16x 12-bit 2.058GSPS **DACs**: 16x 14-bit 6.554GSPS	**Ideal for Tone Testing and Data Sheet Verification of:** **ADCs**: 16x 12-bit 2.220GSPS **DACs**: 16x 14-bit 6.554GSPS	**Application Development and Performance Evaluation of:** **ADCs**: 8x 14-bit 5.0GSPS **DACs**: 8x 14-bit 10.0GSPS **SD-FEC**: 8	**Application Development and Performance Evaluation of:** **ADCs**: 16x 14-bit 2.5GSPS **DACs**: 16x 14-bit 10.0GSPS
XILINX	AVNET	XILINX	XILINX	XILINX	XILINX

AVNET®

KNOWLEDGE RESOURCES
Switzerland GmbH

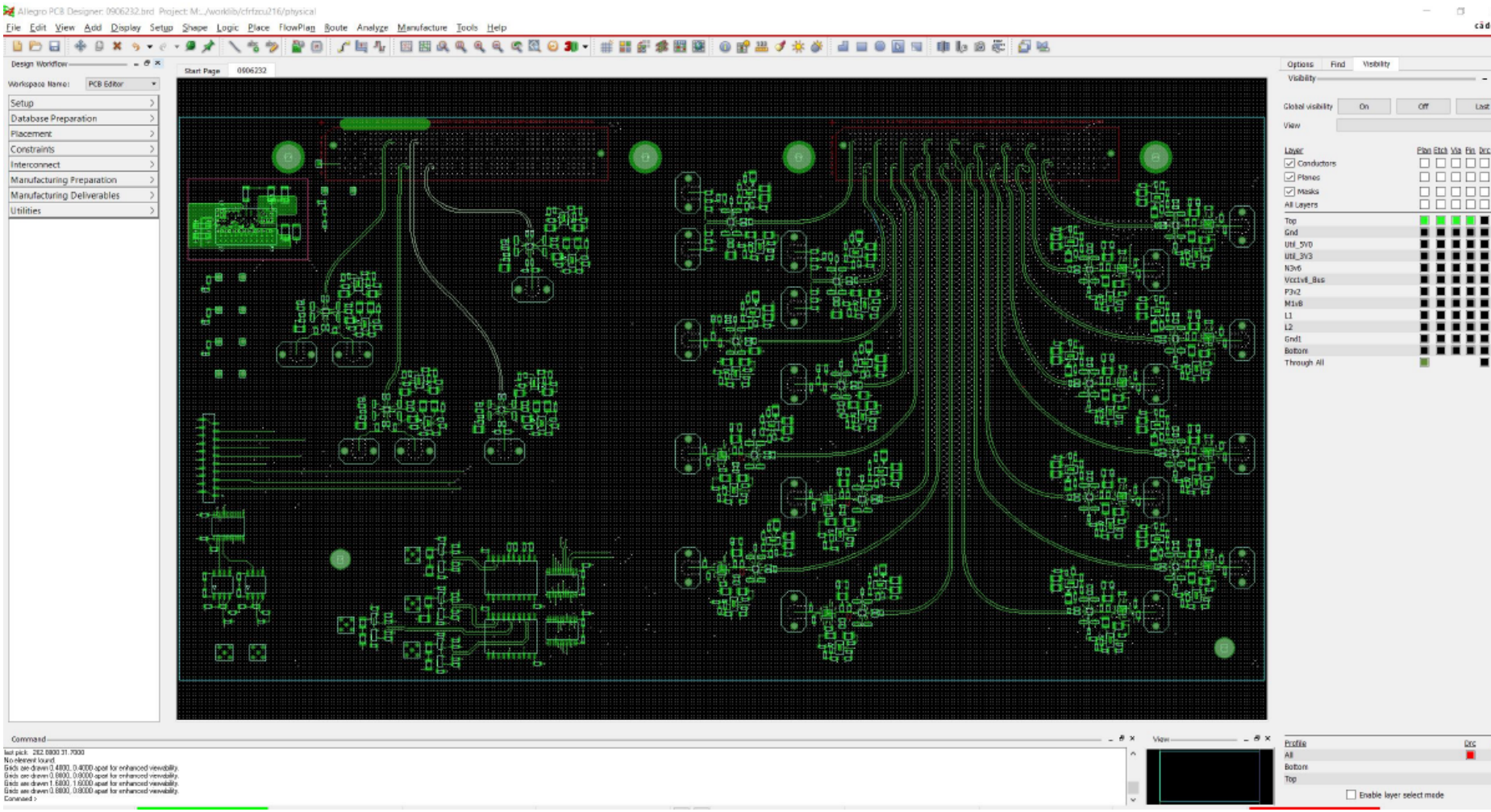
ZCU216
les élements du kits

Featuring the Zynq® UltraScale+™ XCZU49DR-2FFVF1760 RFSoC

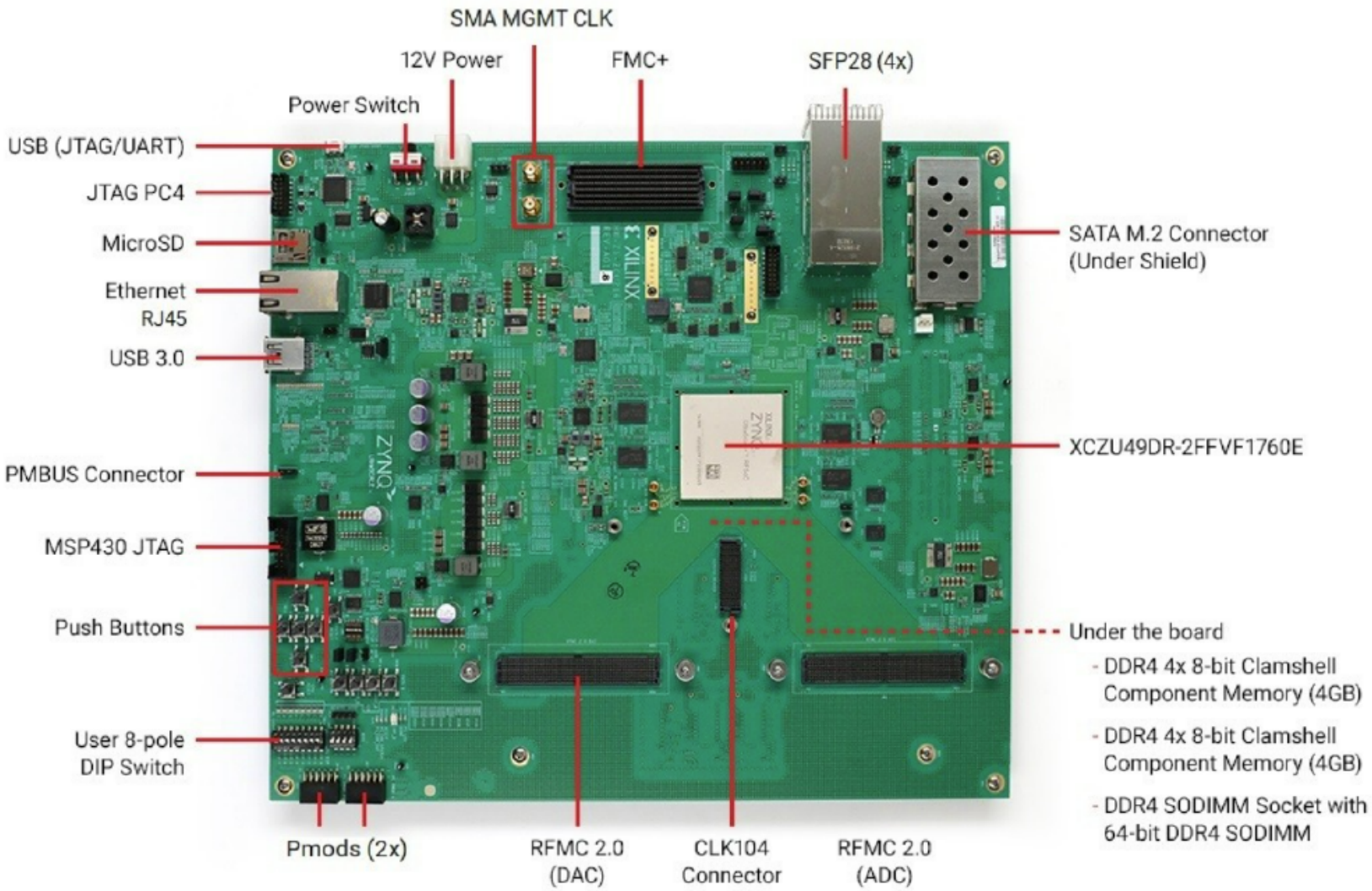


01	**ZCU216 Evaluation Board**
02	**XM655 16T16R Breakout Add-On Card**
03	**XM650 16T16R N79 Band Loopback Add-On Card**
04	**CLK104 RF Clock Add-On Card**
05	**6 Filters** 2 Low Pass: DC-2500MHz 2 Mid-Band Pass: 3000-4300MHz 2 High-Band Pass: 4900-6200MHz
06	**2 Carlisle SMA 8 Cable Assemblies**
07	**2 SMA Cables**
08	**4 SSMP to SSMP Cables**
09	**4 Joy Signal Jumper Cables**
10	**Ethernet Cable**
11	**2 Micro USB Cables**
12	**MicroSD Card**
13	**Power Cords and Adapters**
14	**Vivado® Design Suite: System Edition Voucher**
15	**Hand Tools**

Front-end NEGMA (⊿ Charles HOUARNER, Maria BLAIZOT)

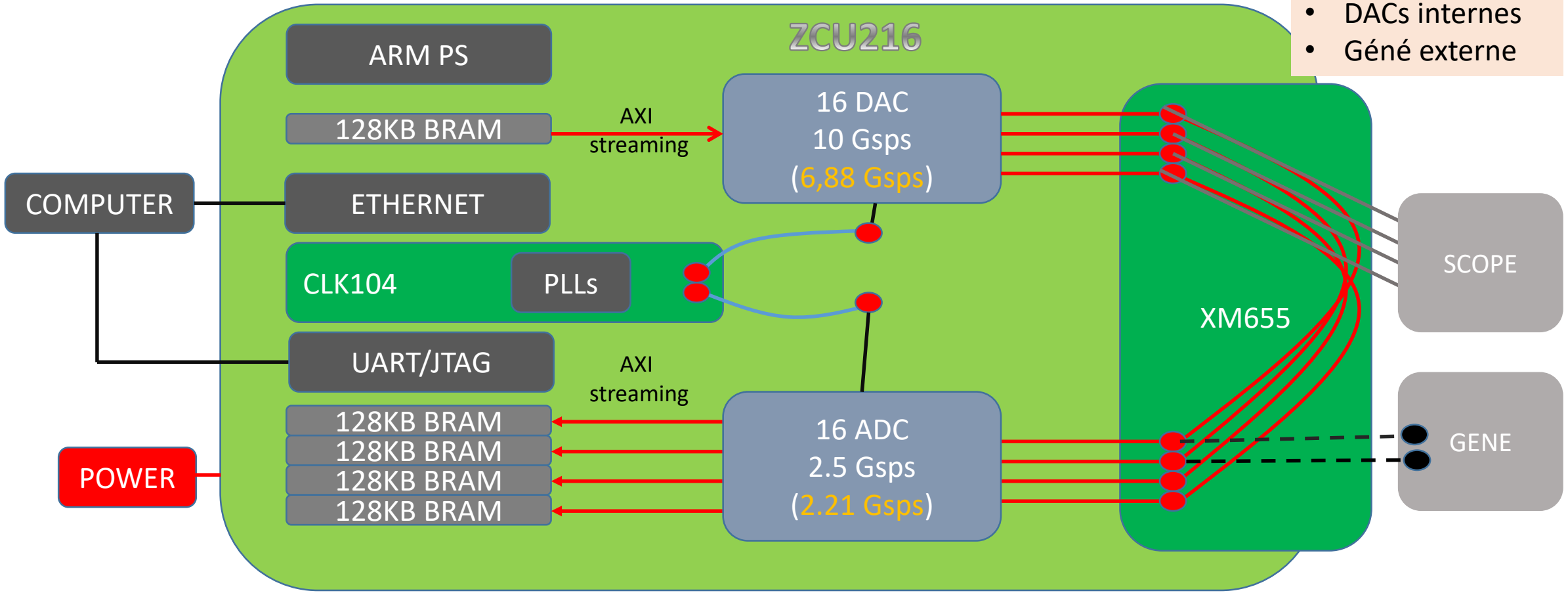


Premiers pas



ZCU216
Synoptique banc de test

Choix des signaux
- DACs internes
- Géné externe



RF Data Converter Evaluation User Interface EUI

PC/Win10

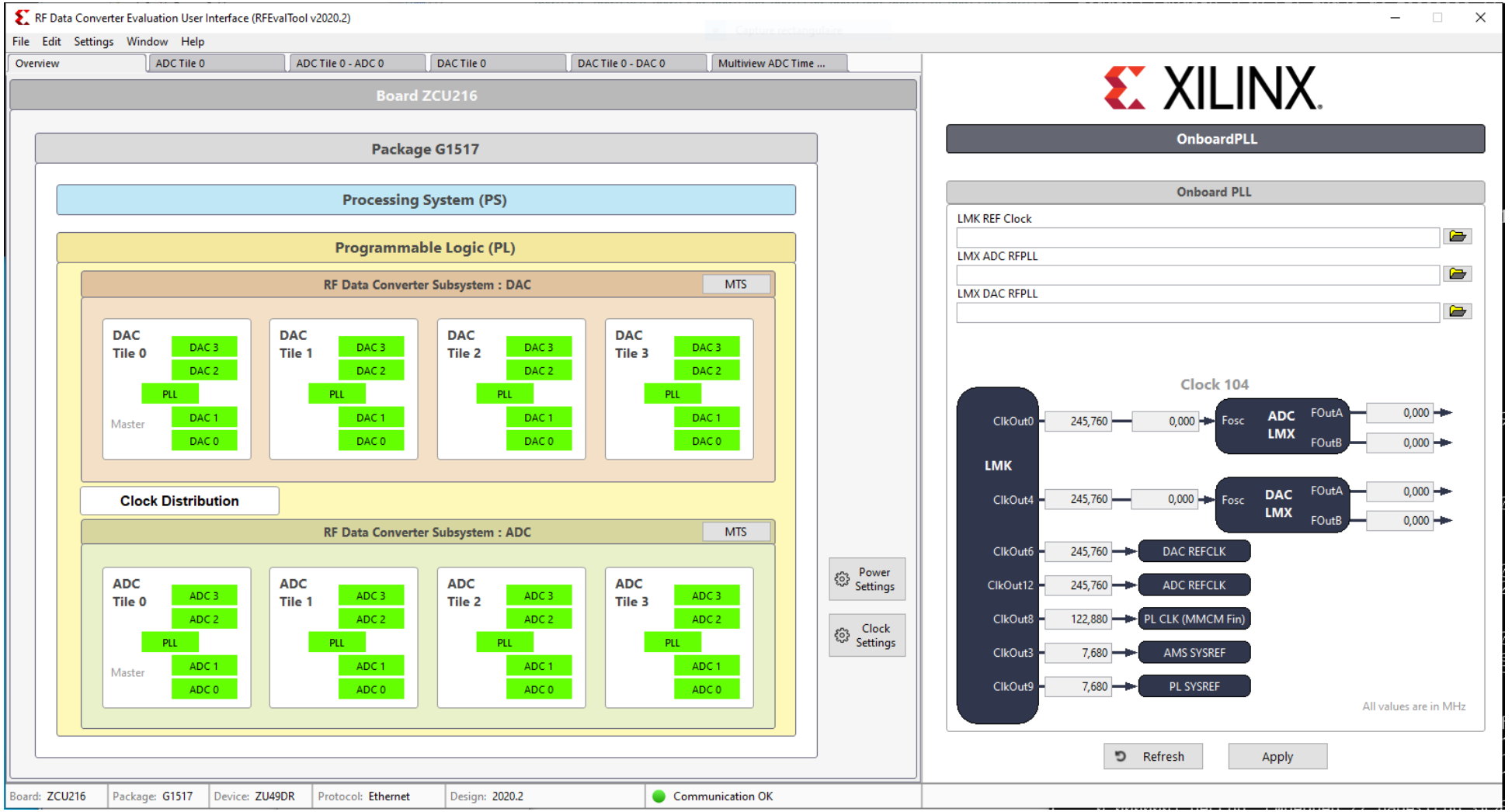
EUI Client

Ethernet

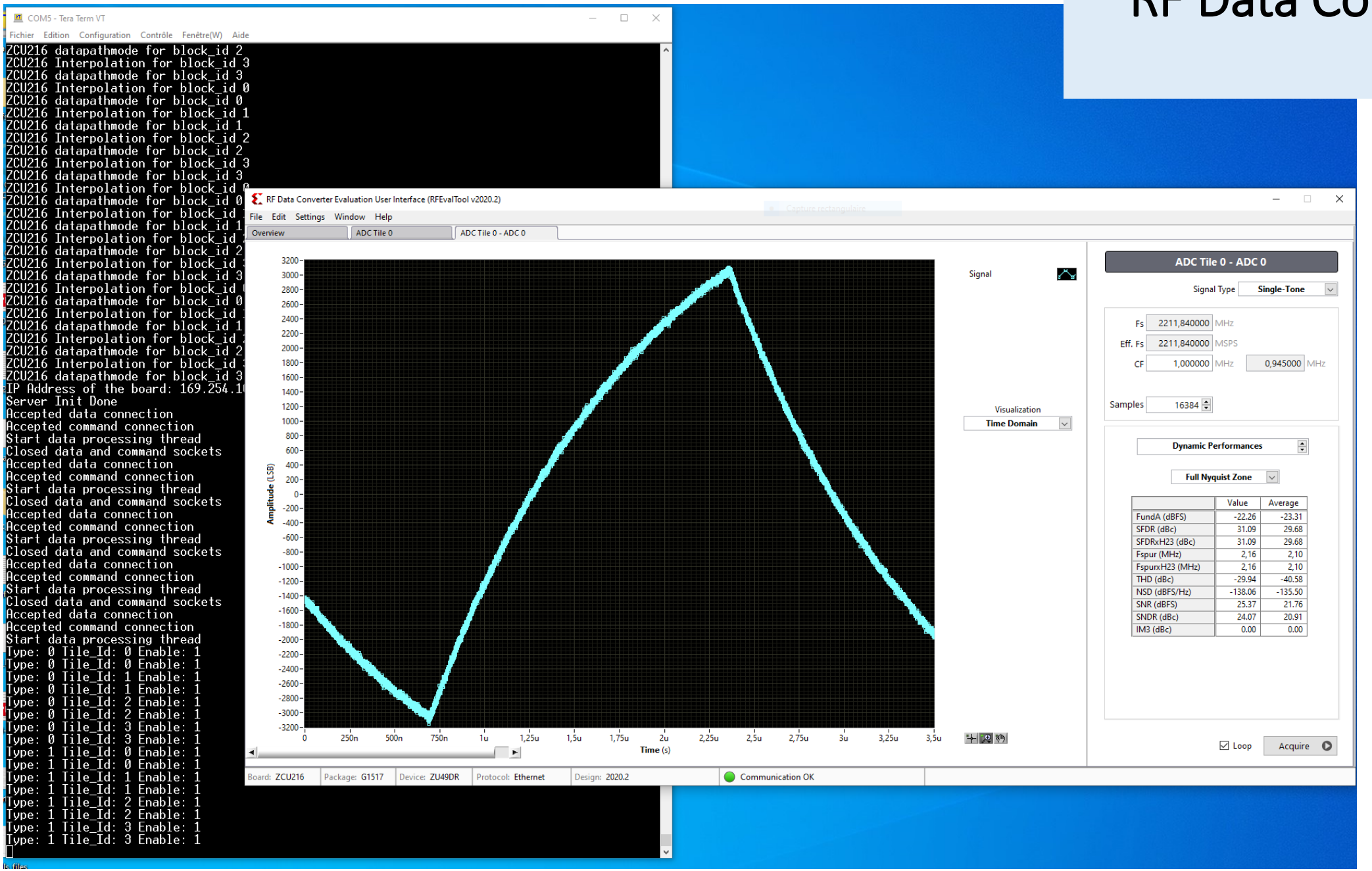
ZCU216 RFTOOL (Server)

Configuration des ADCs et des DACs

Paramètrage des PLLs

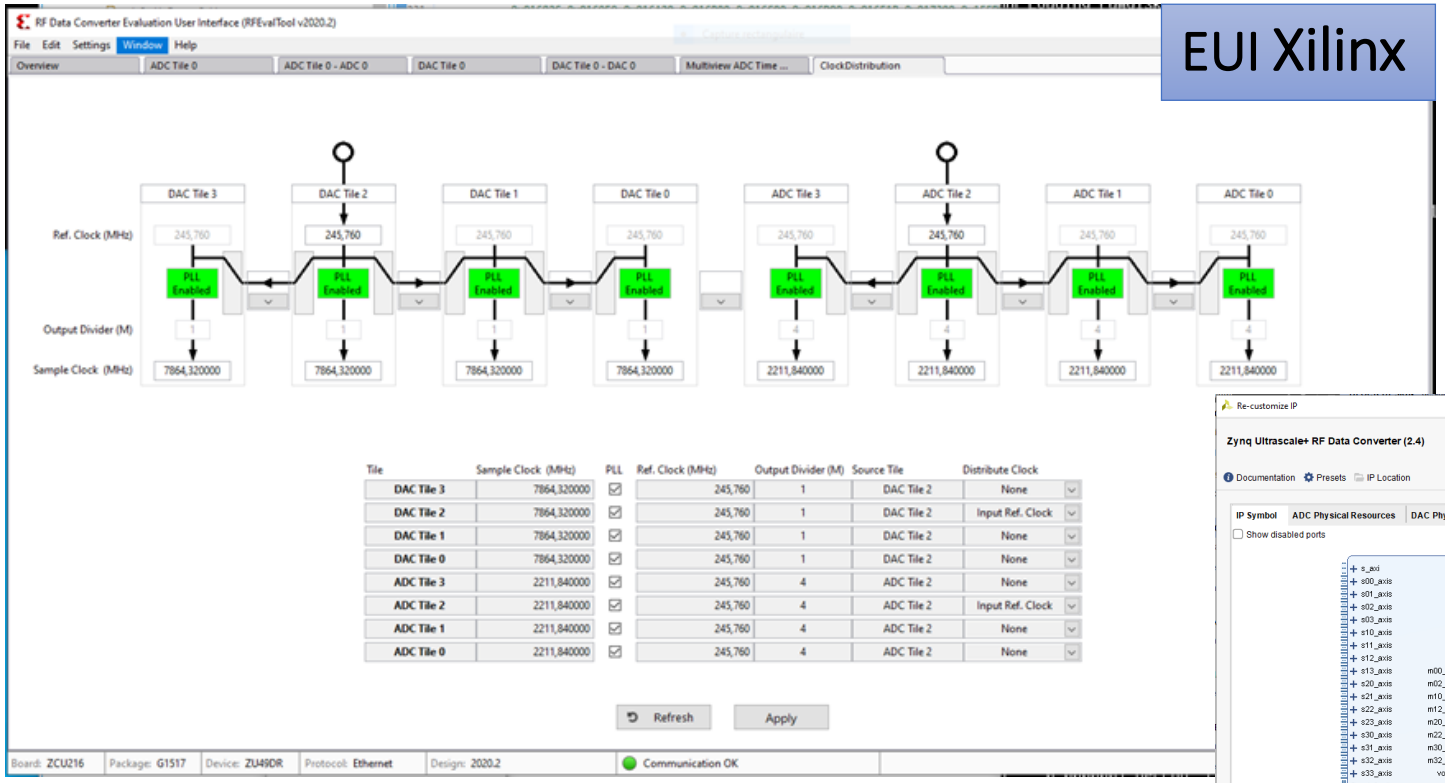


RF Data Converter EUI

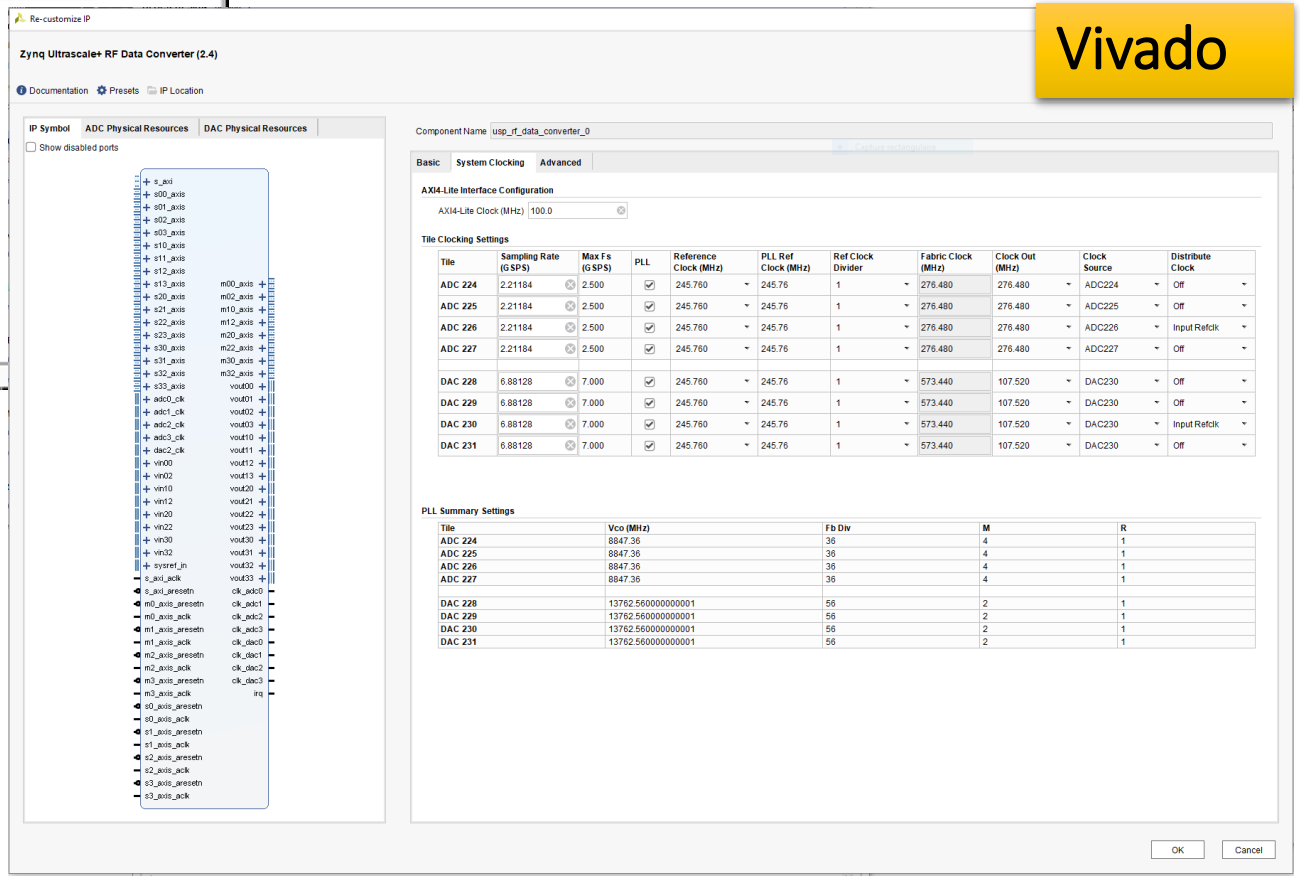


Réglage des Horloges

EUI Xilinx



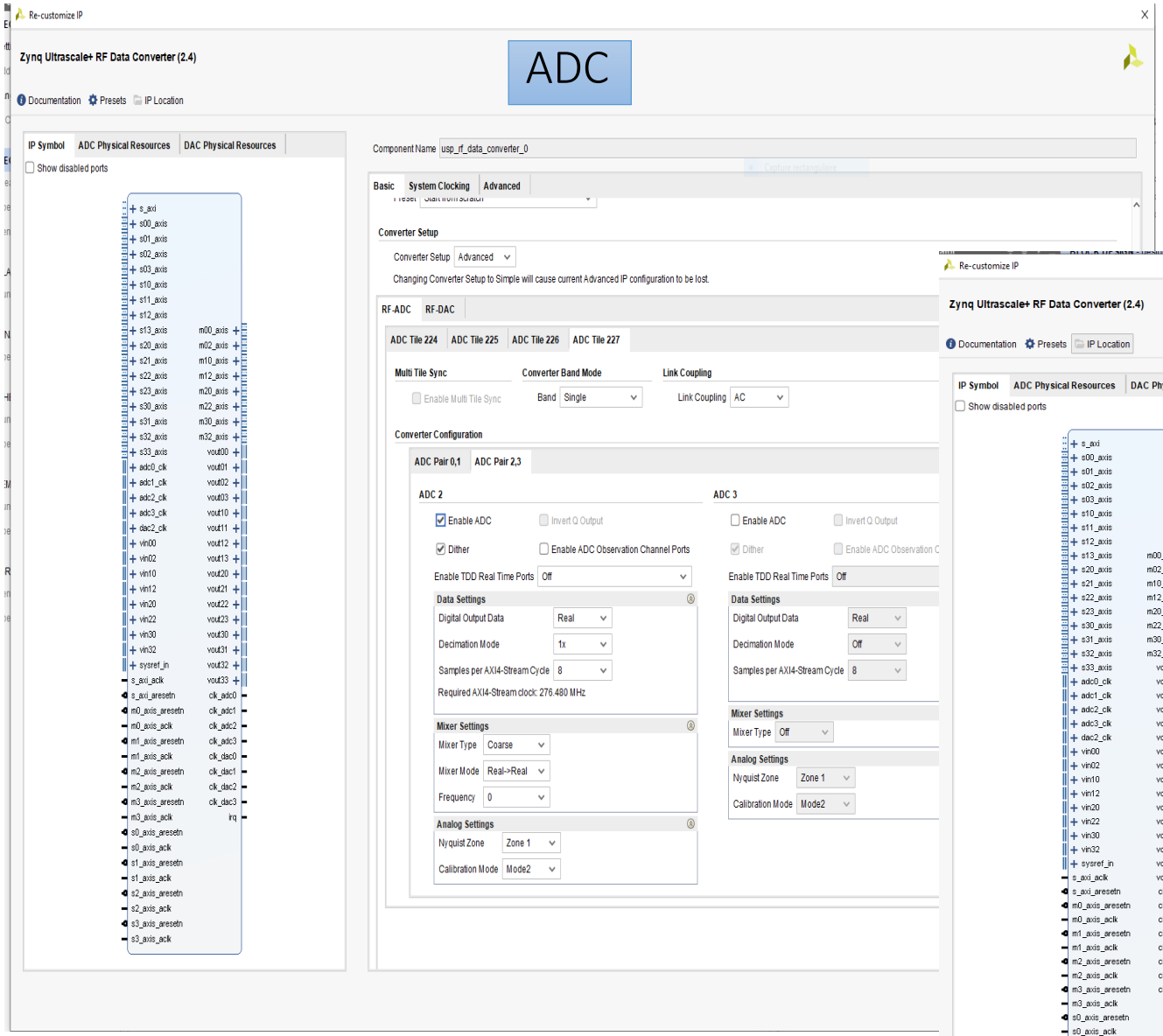
Vivado

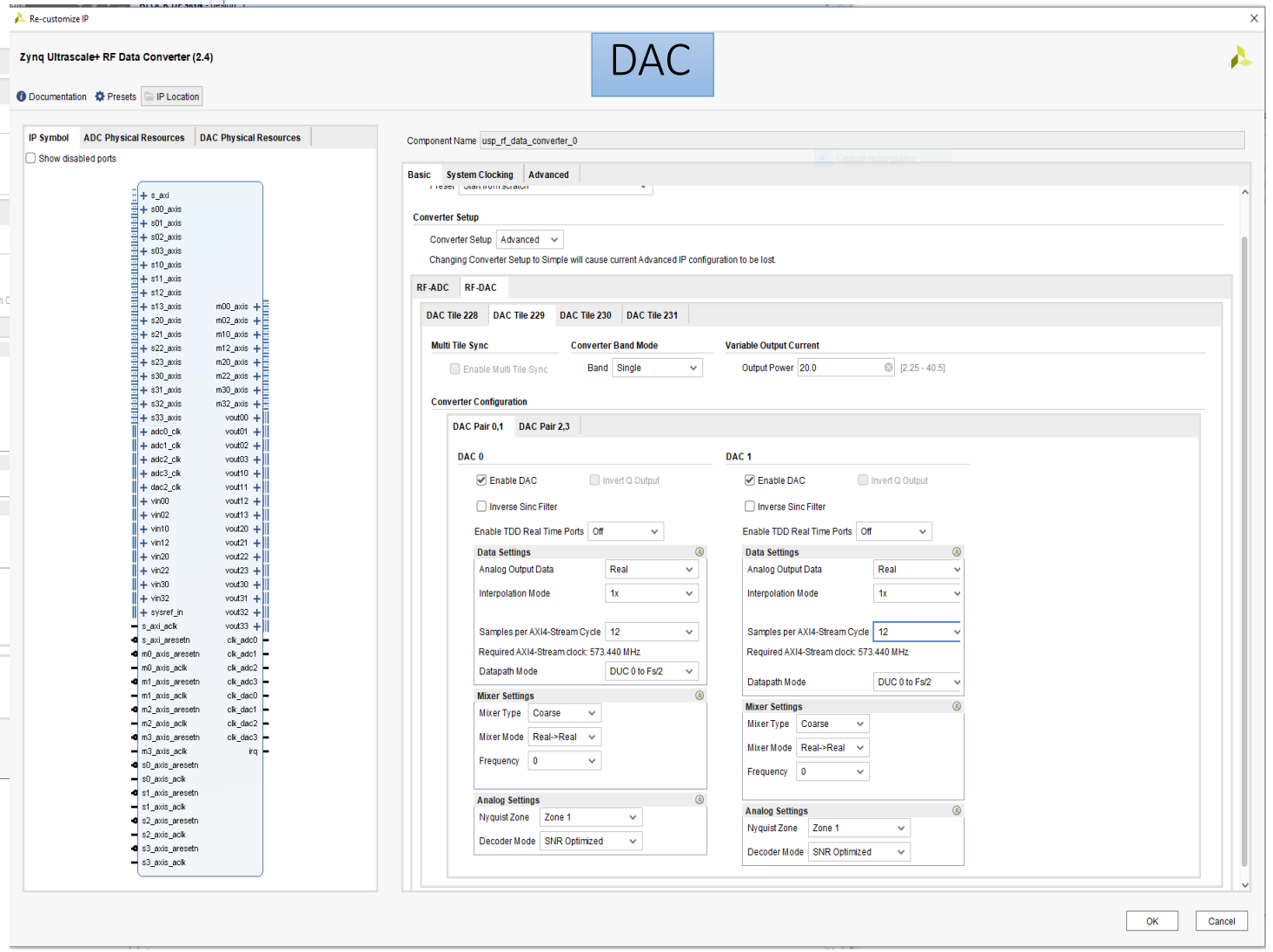


Reverse Engineering:
Transposition des paramètres EUI dans Vivado

Configuration ADC/DAC

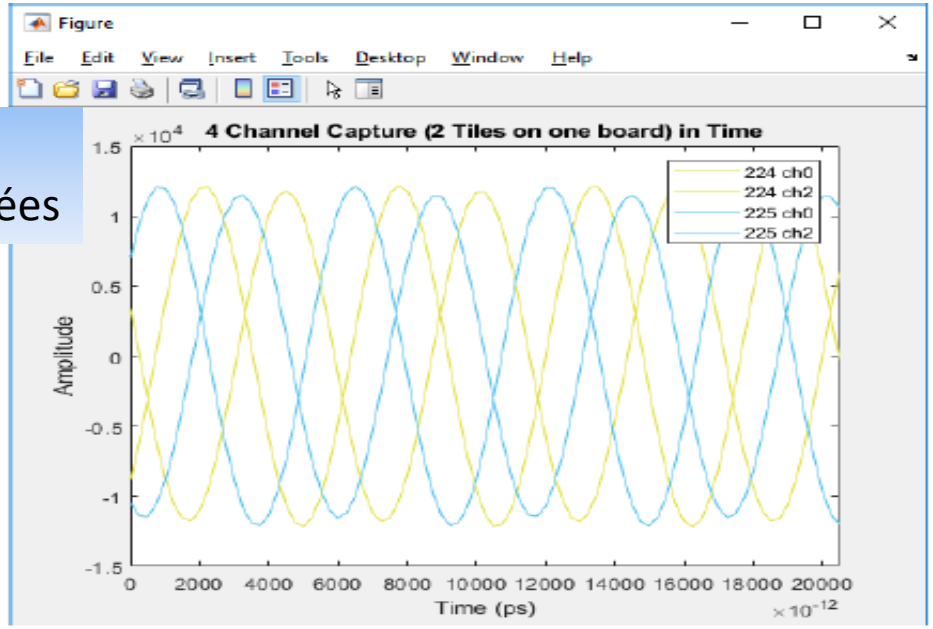
Reverse Engineering:
Transposition des paramètres EUI dans Vivado





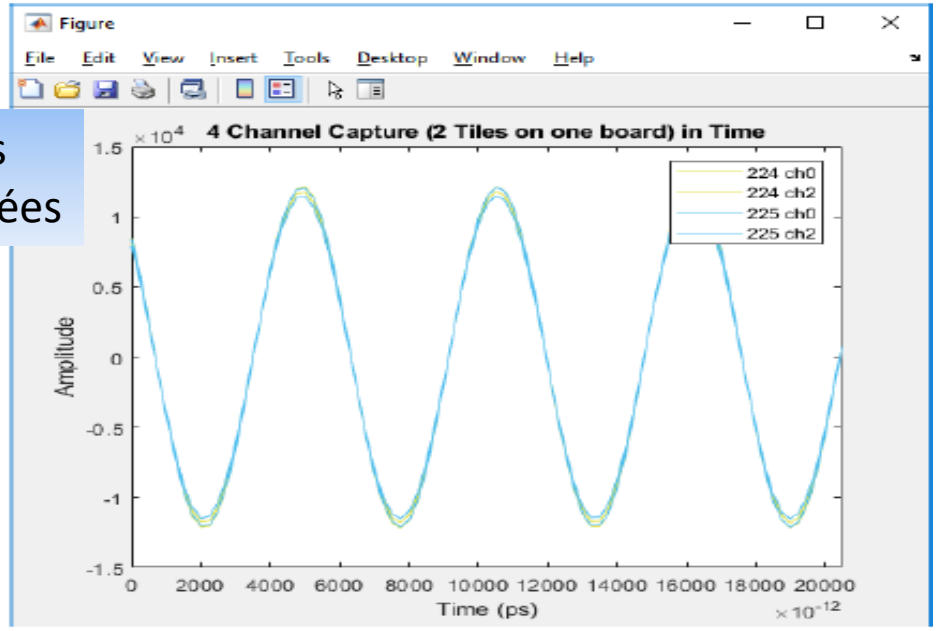
Capture ADC après MTS *Multi Tile Synchronization*

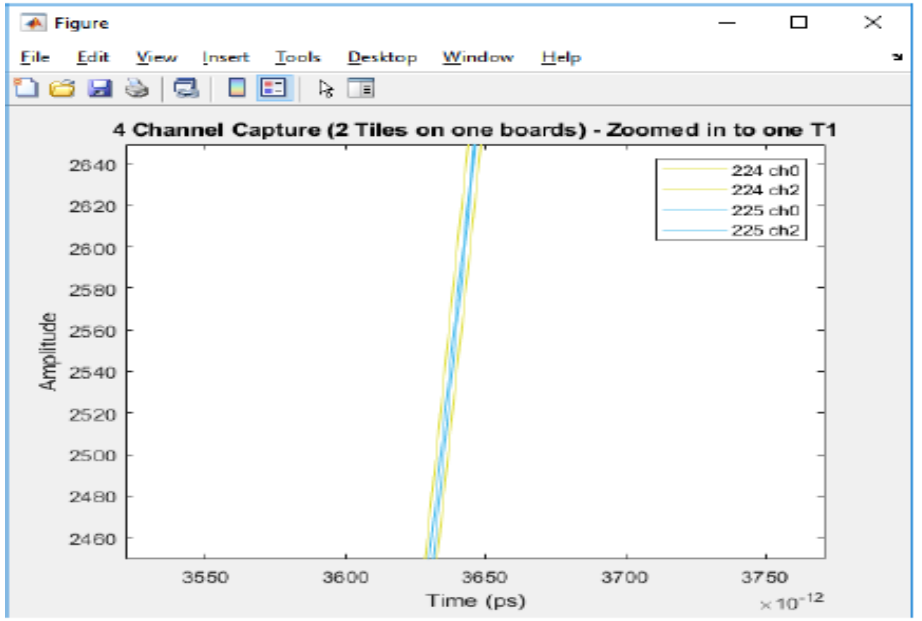
Voies non alignées



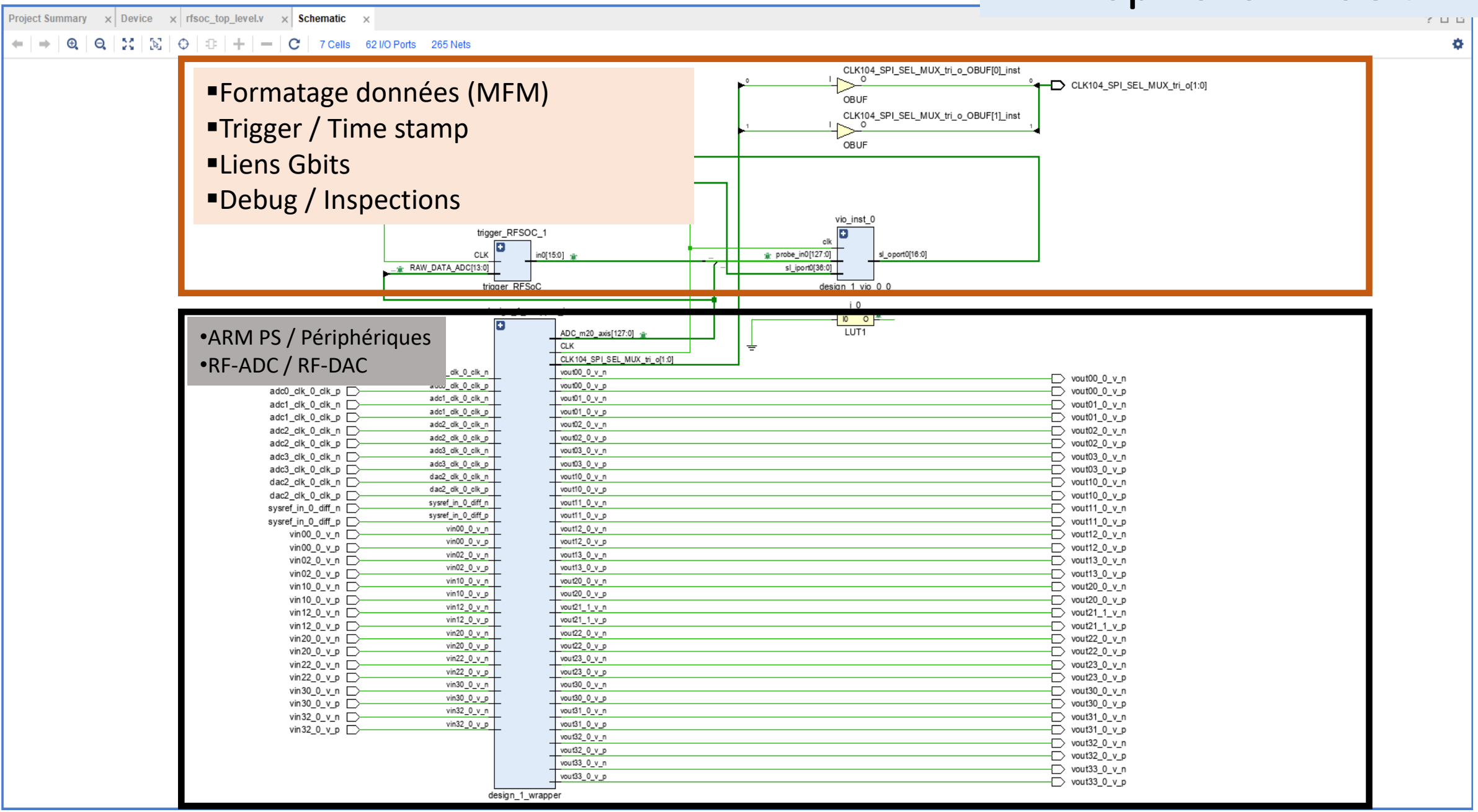
Octave
Alignement des voies

Voies alignées

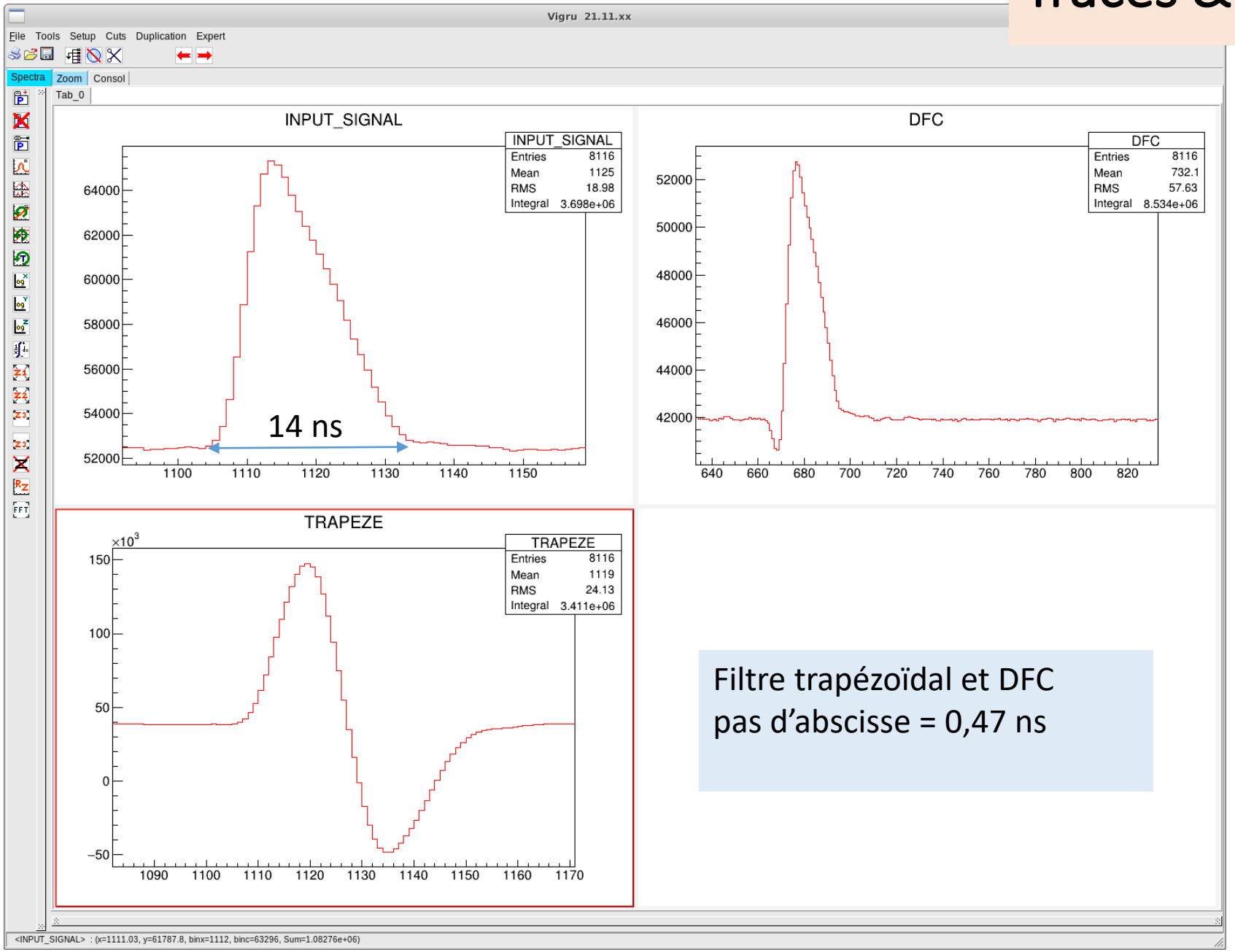




Top Level RFSOC Trigger



Traces & TNS VIGRU



Filtre trapézoïdal et DFC
pas d'abscisse = 0,47 ns

Déroulement

Phase 1

- Finalisation des programmes soft
- Fimware:
  - Time Stamp : prêt pour des tests avec SMART
  - Trigger : quelques ajustements en cours
  - Transmission optique : tests en cours
- Carte Front-End (Amplis d'entrées): routage de la carte en cours
- Mécanique du démonstrateur
- Validation du démonstrateur (ZCU216)

Phase 2

- Lancement et réalisation du projet final NEGMA
  - Nombre de modules, standard, partenaires...

Equipe actuelle (Démonstrateur)

Déroulement

Phase 1

- Finalisation des programmes soft
- Fimware:
- Carte Front-End (Amplis d'entrées): routage de la carte en cours
- Mécanique du démonstrateur
- Validation du démonstrateur (ZCU216)

Phase 2

- Lancement et réalisation du projet final NEGMA
  - Nombre de modules, standard, partenaires...

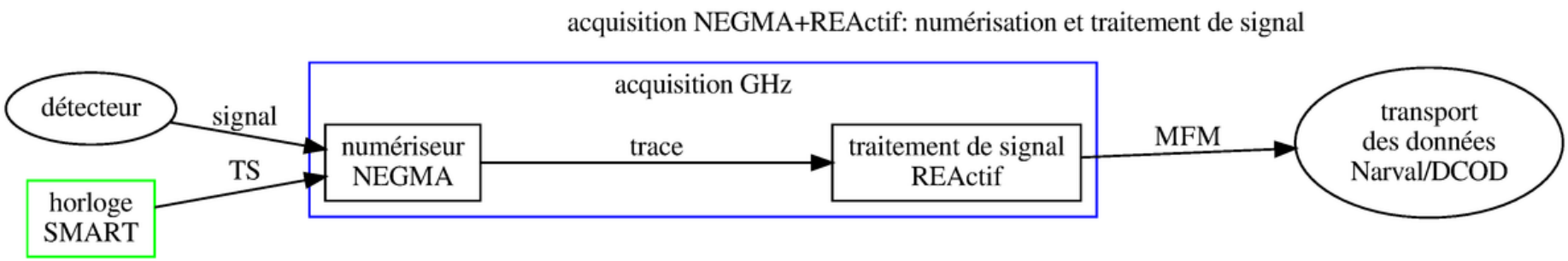
Equipe actuelle (Démonstrateur)

- **Hard** : A. Boujrad, C. Houarner, M. Blaizot, P. Bourgault
- **Soft** : L. Legeard, S. Coudert

flux d'acquisition

NEGMA + REActif

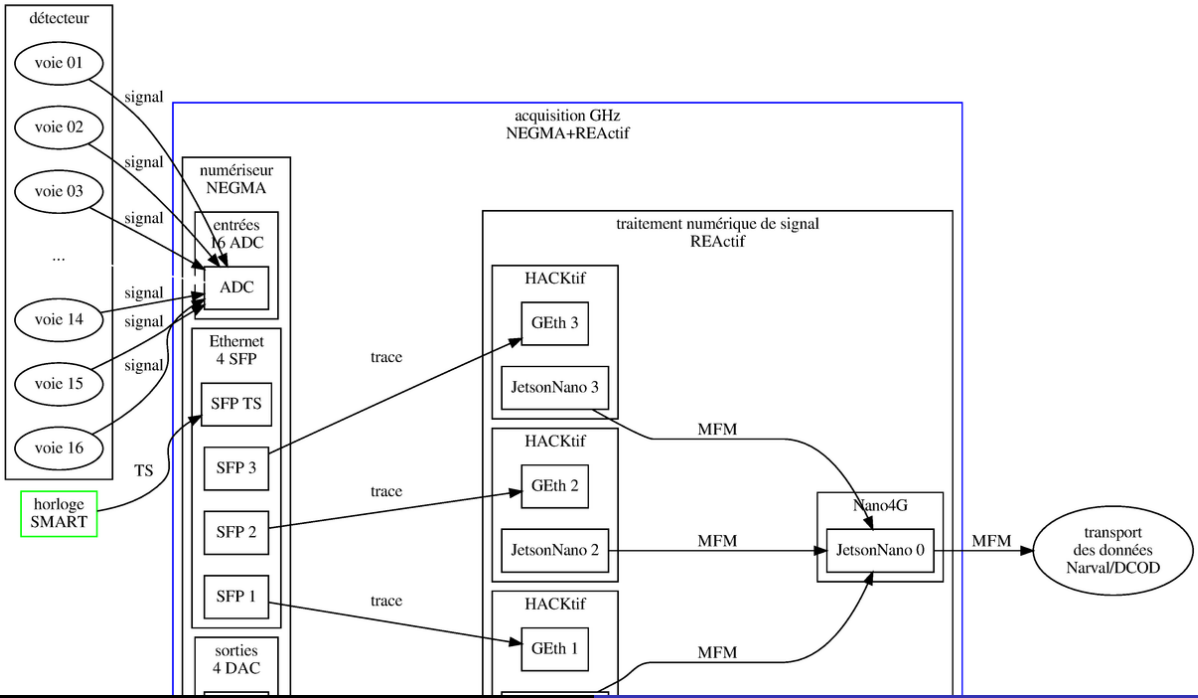
- NEGMA: numérisation + horodatage
- REActif: traitement du signal



matériels d'acquisition

NEGMA + REActif

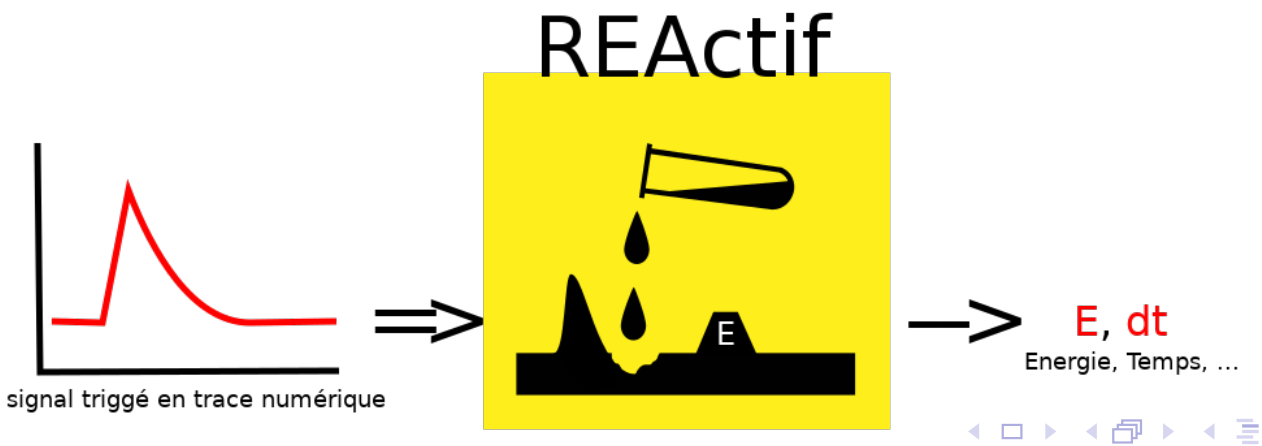
- NEGMA: 1 kit de développement RF-SOC ZCU-216 (Xilinx)
- REActif: 3 cartes HACKtif (GTA -open source-), 1 kit de dév.



REActif: traitement informatique du signal

REActif

- réaliser le traitement du signal de manière ⊕souple et ⊕rapide dans un co-processeur facilement programmable
- traitement du signal triggé en provenance du numériseur sur co-processeur en langage informatique (C++)
- plateforme embarquée afin d'être ⊕proche du numériseur avec un encombrement minimal et ⊖énergivore
- transfert NEGMA => REACtif en GEthernet (16kB MFM)



REAction: traitement du signal sur co-processeur

code informatique

- traitement du signal sur GPU en language informatique (CUDA=C++) 1 coeur par trace (ex. calcul d'énergie)
- plusieurs traces en parallèle (ex. 128 traces sur JetsonNano)

calcul de l'énergie d'un signal: code de filtrage trapèzoidal (CUDA)

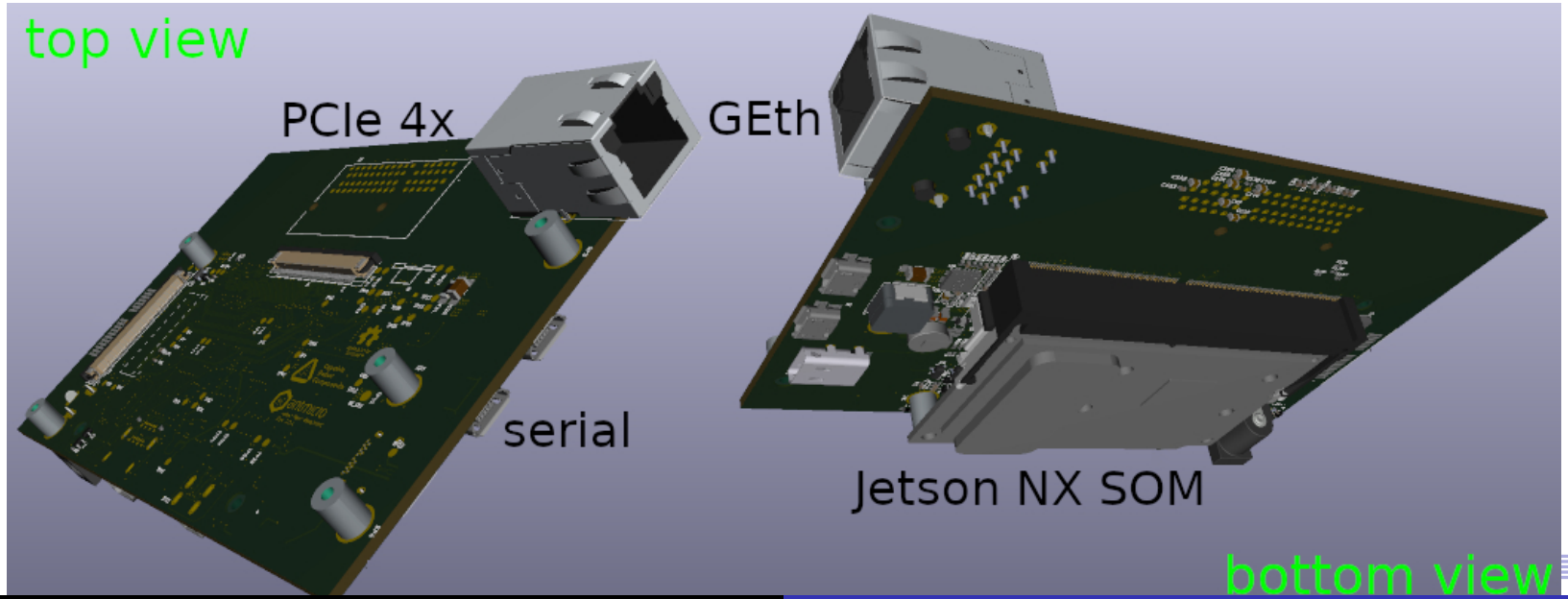
```
__global__ void trapezoidal_filter(const float *e, *s , int dimX, dimY
, const int ks, const int ms, const float alp, const int decalage)
{
const int si = threadIdx.y*dimX, ei = si+dimX, pi = si+decalage-1;
//create a filter
for(int n=pi;n<ei;++n)
s[n]=2*s[n-1]-s[n-2] + e[n-1]-alp*e[n-2] -e[n-(ks+1)]
+alp*e[n-(ks+2)]-e[n-(ks+ms+1)]+alp*e[n-(ks+ms+2)]
+e[n-(2*ks+ms+1)]-alp*e[n-(2*ks+ms+2)];
}
```

carte HACKtif (◿ Patrice BOURGAULT)

dim. 120x85mm pour les chassis NIM, μTCA, ... ou sur table.

matériel

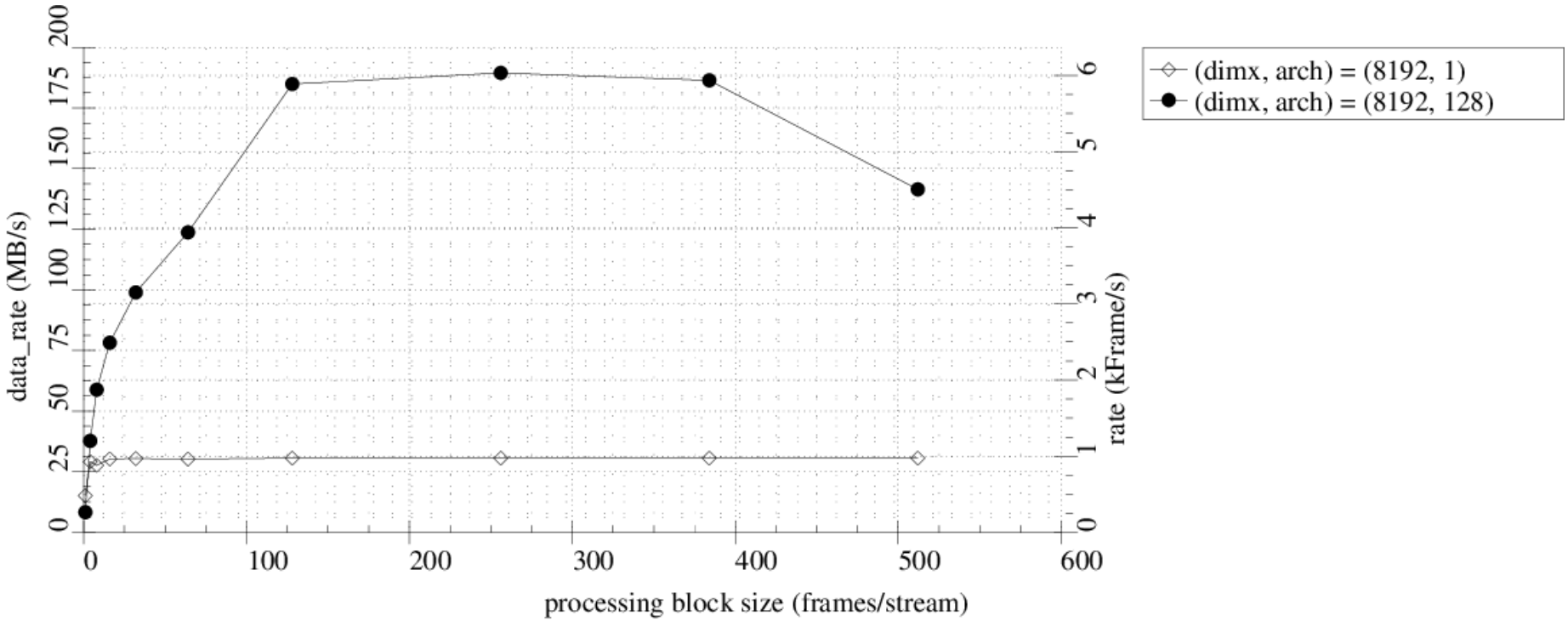
- carte mère open source (GANIL/DPHY/GTA)
  - dessin sous KiCAD (projet open source)
  - SOM Jetson NX sur connecteur SODIMM: Nano, TX2 ou xNX
- carte fille GEthernet PCIe 4x



performance JetsonNano

calcul d'énergie: Jetson Nano

perf.: 6k frame/s, 200 MB/s, >1GEth (16kBoF=8kS on 128 GPU cores)

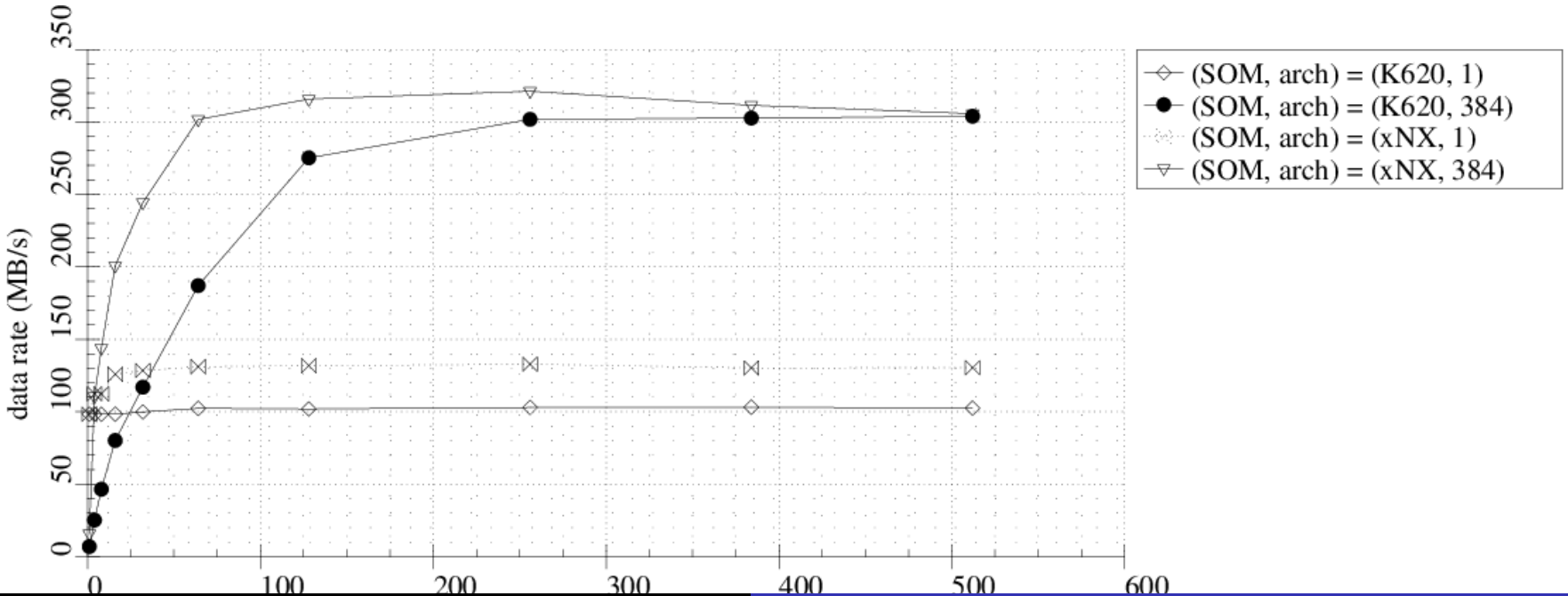


data rate (and frame rate) vs. 8kS frames per stream (1 str. on 128 cores in mode 10W) arch.=Nano

performance énergétique et encombrement

calcul d'énergie sur 384cores: Jetson xNX vs i5+K620

- performance identique entre embarqué/PCIe
- 10 fois moins de consomation électrique (10W vs 100W)
- 10 fois moins d'encombrement (1L vs 10L)



conclusion et perspectives

NEGMA

- numériseur GHz+TS (carte RF-SOC)
- carte front-end DC (au lieu de RF)
- traces triggées sur 3 liens SFP

REActif

- traitement du signal en langage simple, souple et REActif
- tests préliminaires convainquants en parallèlisation naive
- gains en prix, énergie et encombrement (carte HACKtif)

NEGMA+REActif

- rassemblement de RF-SOC + HACKtif via lien SFP
- tests, tests, tests.